

# 160 canali per IC240

di Maurizio Accorsi I4ACO

Downloaded by ☐  
RadioAmateur.EU

L'IC240 nasce attorno agli anni 1978/79 e viene ampiamente diffuso nel mercato europeo grazie al suo costo contenuto ed alla possibilità di impostare qualsiasi frequenza, nell'ambito dei 144/146 MHz svincolandosi dai quarzi, indispensabili negli apparati precedenti.

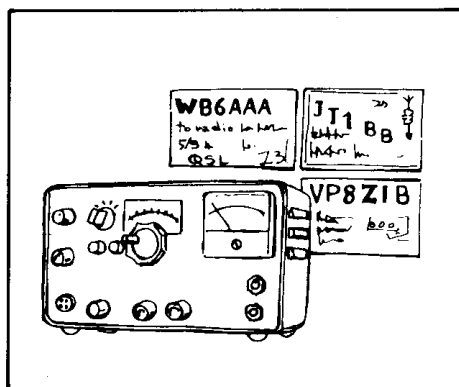
È in fondo il primo passo verso l'attuale generazione degli apparati per UHF ed UHF.

Un sistema PLL mantiene la stabilità al pari dei quarzi e permette tramite un'impostazione binaria del divisore, la scelta di canali distanti almeno 25 kHz.

Una matrice di diodi, opportunamente impostata, permette 22 combinazioni ad 8 bit, che corrispondono ai 22 canali accessibili tramite il commutatore esterno.

Oggi, con la spaziatura ormai standardizzata di 12,5 kHz, l'apparato diventa obsoleto e rapidamente ha subito un deprezzamento che, molte volte, lo ha confinato in qualche cassetto dimenticato dall'OM. Osservando attentamente le caratteristiche dichiarate dal costruttore ho ritenuto opportuno pensare ad alcune semplici modifiche che ringiovanissero questo transceiver al pari di quelli che sono stati immessi successivamente nel mercato.

Ritengo che le modifiche apportate all'IC 240 possano essere trasferite, in linea di massima, anche su altri apparati



commercializzati negli stessi anni. Per tale motivo richiamo il funzionamento del sistema PLL dell'IC 240 cercando di chiarirlo anche in funzione delle modifiche effettuate.

La frequenza di riferimento, 12,5 kHz viene ottenuta per divisioni successive, da una frequenza fondamentale di 6.4 MHz.

In questi stadi sono impiegati gli integrati IC3 ed 1/2 di ICB.

Il primo integrato mette in oscillazione il quarzo di 6.4 MHz ed offre all'uscita una frequenza divisa per 2 alla 8 volte, successivamente l'integrato IC6 divide per due tale frequenza ottenendo i 12.5 kHz richiesti.

Il VCO oscilla liberamente controllato in tensione dal diodo varicap D3 che gli permette un range di frequenza di 2 MHz ed esattamente tra 133.3 e 135.3 MHz.

In ricezione, la frequenza in uscita dal VCO viene inviata ad un mixer che permette la prima

conversione a 10.7 MHz.

In trasmissione la frequenza in uscita dal VCO viene miscelata con l'oscillatore quarzato a 10.7 ottenendo il valore desiderato tra 144 e 146 MHz. Costantemente la frequenza del VCO viene inviata alla catena del PLL nel blocco convertitore che provvede a miscelarla con quella dell'oscillatore locale quarzato a 43.9 MHz (131.7 MHz in terza armonica).

Ora il range di frequenza di 2 MHz,  $133,3 - 131,7 = 1,6$  e  $135,3 - 131,7 = 3,6$  MHz attraverso una serie di filtri passa basso e di squadratori prima di essere applicato all'ingresso dell'integrato IC6 che provvederà a dimezzare ulteriormente le frequenze comprese tra 0,8 e 1.8 MHz.

Tramite il transistor Q8, questa frequenza, viene mandata al divisore programmabile IC1 che la divide per numeri interi compresi tra 1 e 255, prefissati dalla matrice di diodi, selezionati in 22 posizioni dal commutatore frontale.

Quando all'uscita del divisore sono presenti i 12.5 kHz allora il comparatore, avendo nei suoi 2 ingressi la stessa frequenza effettua il lock del VCO mantenendolo alla frequenza desiderata.

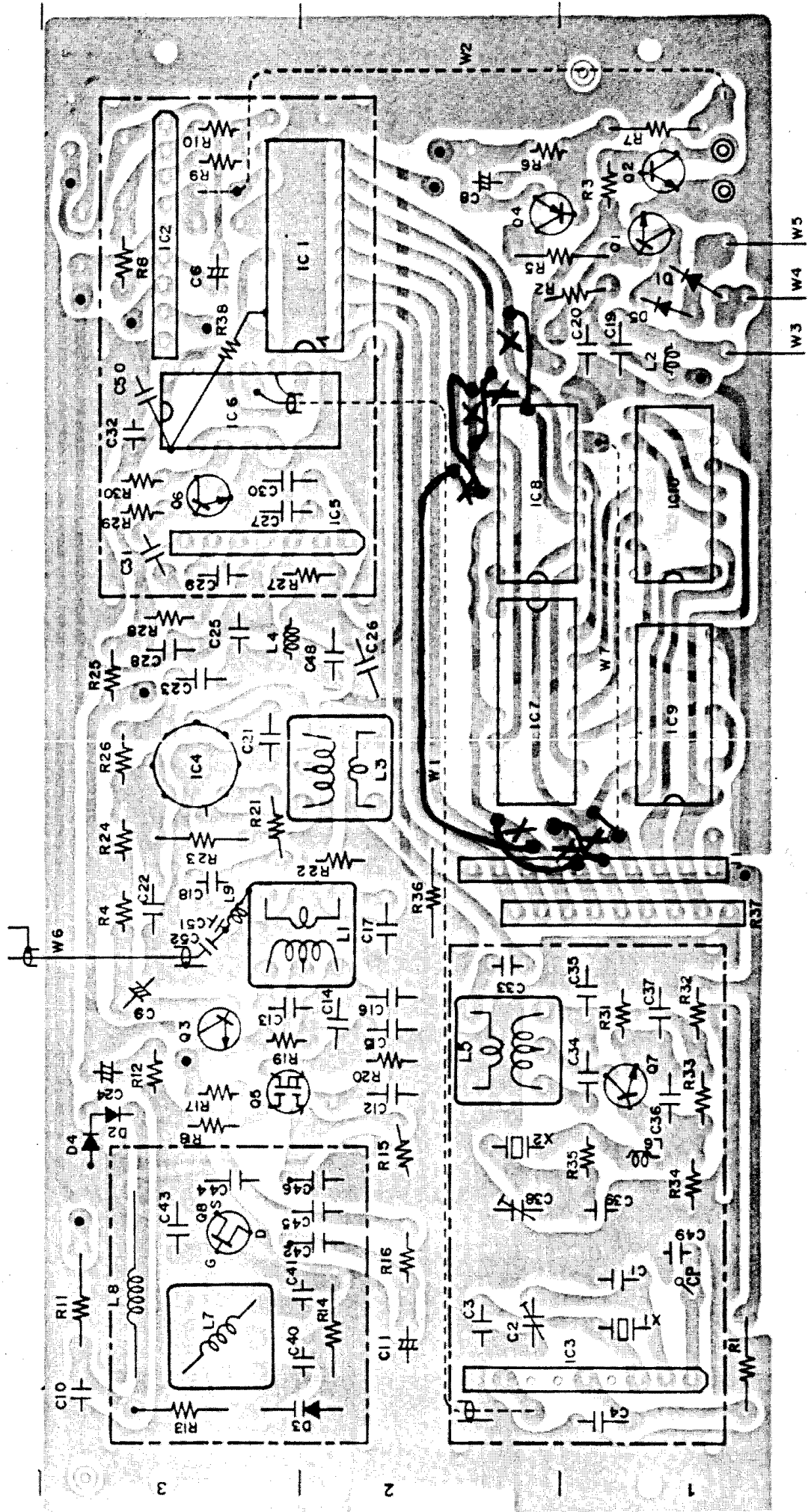
Un esempio chiarirà meglio il meccanismo.

Supponiamo di voler sintonizzare il ricevitore a 144.0 MHz.



PLL UNIT (TOP VIEW)

A B C D E F



Il VCO dovrà oscillare a  $144.0 - 10.7 = 133.3$  MHz.

Il mixer del Loop PLL mescolerà i 133.3 MHz provenienti dal VCO con i 131.7 MHz dell'oscillatore locale ottenendo 1.8 MHz. La frequenza ottenuta per somma non interesserà gli stadi successivi in quanto verrà eliminata dal filtro p.b. Il divisore ICB divide per due gli 1.6 MHz applicandoli al transistor Q6 che piloterà il divisore programmabile IC1. Ora bisognerà calcolare il fattore di divisione in modo tale che all'uscita di IC1 vi siano i 12.5 kHz che bloccheranno il VCO alla frequenza di 133.3 MHz.

L'equazione risulta molto semplice:  $800 / 12.5 = n$ .

Impostando  $n$  in BCD a 8 bit otteniamo all'ingresso del divisore: 01000000.

I 12.5 kHz si confronteranno con il riferimento, anch'esso a 12.5 kHz e bloccheranno alla frequenza di 133.3 MHz il VCO che consentirà di sintonizzare il ricevitore a:

$$133.3 + 10.7 = 144.0 \text{ MHz.}$$

Da questo esempio appare evidente che i numeri interi compresi tra 1 e 63 non vengono sfruttati perché porterebbero la sintonia del transceiver al di sotto dei 144.0 MHz.

Supponiamo ora di voler sintonizzare l'apparato a 146.0 MHz.

Seguendo le stesse considerazioni fatte precedentemente otterremo che il numero intero per cui dovremo dividere la frequenza in ingresso ad IC1 è 144, in codice BCD: 10010000.

Supponiamo che la frequenza in ingresso ad IC1 sia di 800 kHz (144.0 MHz precedenti) che divisa per il numero 144 porta a 5.5 kHz i quali, applicati all'ingresso di IC2, creano, ad opera dello stesso integrato una tensione che, portata al diodo D3, inizia a spostare, in alto, il VCO. Quando la frequenza di quest'ultimo arriverà a 135.3 MHz, l'uscita del divi-

sore andrà a 12.5 kHz che, comparati in IC2, con il riferimento, bloccheranno il VCO a questa frequenza che sommata con la prima conversione a 10.7 MHz, sintonizzerà l'apparato a 146 MHz come desiderato. Vediamo ora perché non è possibile nell'IC240 la canalizzazione a 12.5 kHz. Se vogliamo sintonizzare i 144.1125 MHz l'oscillatore del VCO deve fornire:  $144.1125 - 10.7 = 133.4125$  MHz e così all'ingresso del divisore programmabile saranno applicati:  $(133.4125 - 131.7)/2 = 0.85625$  MHz i quali divisi per 12.5 kHz debbono fornire il numero intero da programmare con la matrice di diodi per sintonizzare la frequenza voluta. Ma quale è il risultato di questa divisione?

È il numero 68.5; non è intero, quindi non si può impostare nel modo normalmente adottato nel circuito. Una prima strada per risolvere il problema potrebbe essere quella di duplicare la risoluzione del divisore ma ben presto ci si accorgerebbe della necessità di dover accedere a numeri divisori maggiori di 255 per cui l'impossibilità di gestirli con solo 8 bit.

Rimane come unica scelta semplice ed economica, quella di spostare la frequenza dell'oscillatore locale a 132.5 MHz.

Infatti avendo un oscillatore a tale frequenza la banda in ingresso al divisore programmabile varia da 1 a 2 MHz e precisamente da 0.8 a 2.8 MHz. Si può così duplicare il numero di canali fino al massimo divisore 224 che è possibile rappresentarle in BCD a 8 bit.

Se originariamente usando il divisore 144 si otteneva il lock del VCO a 135.3 MHz, ora lo si otterrà a 134.3 pari a 145.0 MHz di sintonia.

Analogamente si ricava che per sintonizzare i 146.0 MHz sarà necessario impostare il divisore a 224 come già accenna-

to.

Sarebbe stato possibile ottenere steps di 10 kHz ma ciò avrebbe comportato anche la sostituzione del quarzo di riferimento; steps di 5 kHz non sono possibili in quanto avrebbero comportato la sostituzione del divisore ad 8 bit con uno a 9 bit dovuta al fatto che i canali sarebbero saliti a 400 quindi non rappresentabili in BCD con soli 8 bit. Ricercando dei quarzi di uso commerciale ho puntato l'occhio sulla produzione CB ed esattamente il quarzo per il canale 1A in ricezione e cioè 26.5 MHz.

Pur avendo una frequenza fondamentale differente dal quarzo originale sono riuscito a farlo oscillare nello stesso circuito ottenendo una frequenza finale di 132.515 MHz.

Lo scostamento dai 132.5 MHz richiesti è dovuto alla scarsa precisione del quarzo ed alle capacità del circuito; in effetti la fondamentale di 8.834 MHz moltiplicata per 15 dovrebbe portare ai 132.5 MHz desiderati.

Ho provato allo scopo diversi quarzi CB ma il risultato è stato deludente per cui ho optato per la soluzione drastica di fare tagliare un quarzo, con identiche caratteristiche a quello originale, con frequenza fondamentale di 44.167 MHz.

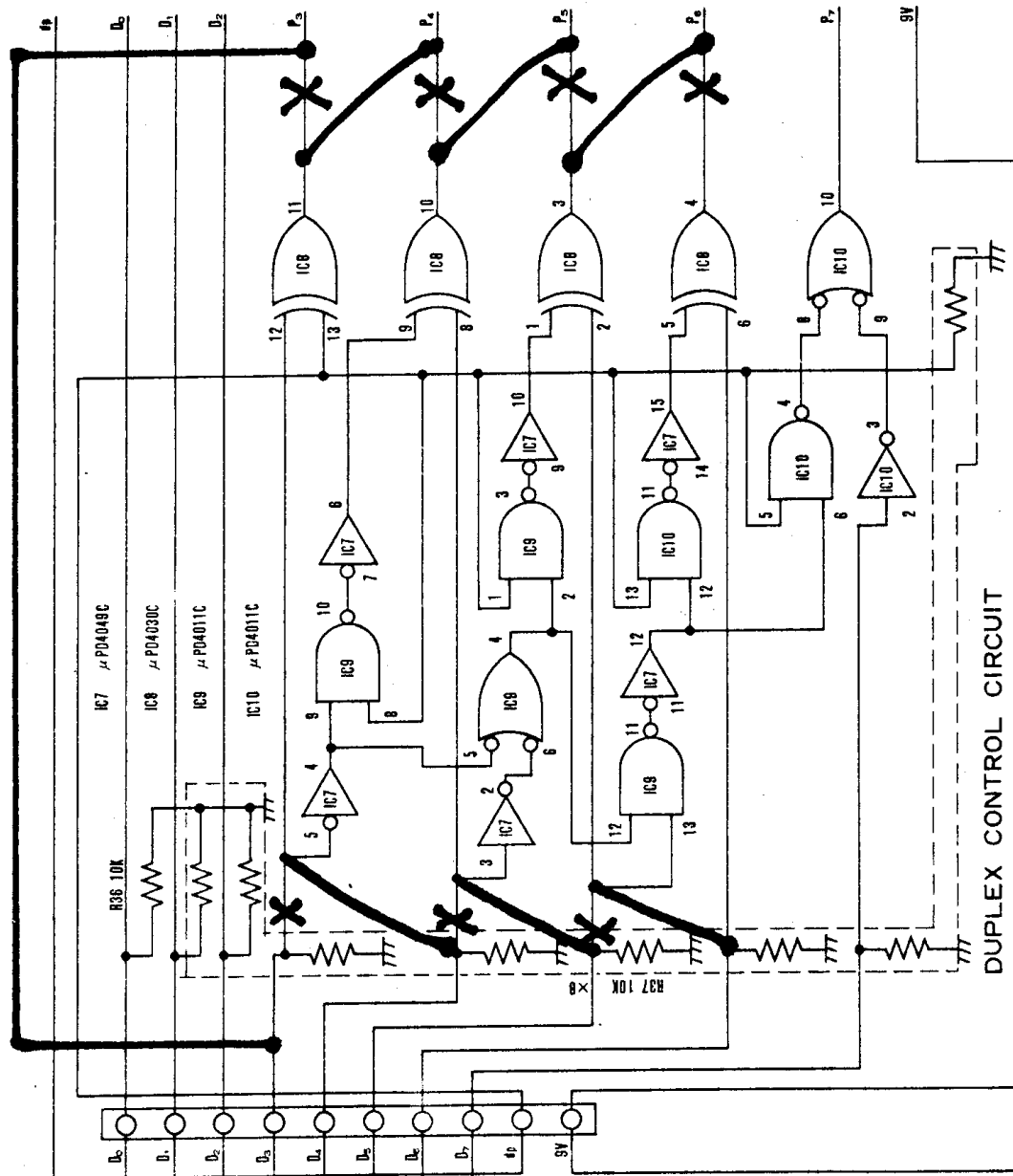
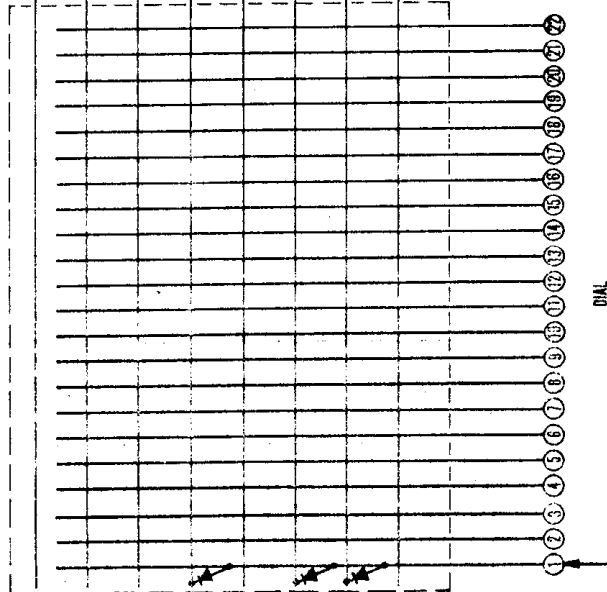
Tale soluzione non risulta eccessivamente costosa e sicuramente offre vantaggi sulla taratura finale che risulta meno critica ed alla portata di tutti.

Naturalmente va dissaldato il quarzo originale e sostituito con quello opportunamente realizzato per la modifica.

Sconsiglio ai non esperti di manomettere la taratura della bobina dell'oscillatore locale in quanto risulta praticamente idonea a trasferire il segnale a 132.5 MHz. Sarà però necessario ritoccare il compensatore C38 per centrare la frequenza di 132.5 MHz aiutandosi con un

# IC-240

## TONE CALL UNIT



DUPLEX CONTROL CIRCUIT

(Located on PLL circuit board)



frequenzimetro digitale.

Il segnale lo si preleverà in parallelo alla resistenza di 100 ohm posta al di sotto del circuito stampato iniettandolo nel probe dello strumento.

Il secondo intervento è rivolto a bypassare il divisore IC6 fornendo il segnale all'ingresso del divisore IC1 direttamente dal collettore di Q6.

Anche questo intervento è semplice in quanto sarà sufficiente dissaldare il capo della resistenza R38 che va al piedino 1 di IC6 assieme al condensatore C50 di cui un capo è saldato allo schermo.

Ora si dissalderà R30 che dal collettore di Q6 va al positivo e la si sostituirà con un'altra resistenza di identico valore ma con i terminali non verniciati.

La si monterà con il reoforo più lungo in direzione del collettore di Q6 praticamente in modo contrario a quello originale.

Si salderà su tale reoforo sia il capo della resistenza R38 che quello del condensatore C50.

A questo punto possediamo già un canalizzato a 12.5 kHz.

Resta comunque un ultimo problema da risolvere e cioè lo shift a -600 kHz nell'uso duplex.

La combinazione ad 8 bit, scelta con la matrice a diodi, prima di giungere all'ingresso del divisore programmabile, passa attraverso una rete logica definita con il nome di ADDER (sommatore BCD).

Nell'uso in simplex il sommatore somma il numero 0 a quello impostato con i diodi mentre nell'uso duplex somma il numero 24.

Perché proprio 24?

Perché  $24 \times 25 = 600$  kHz, che è lo shift richiesto per i ponti FM.

Avendo, con la modifica apportata, duplicato il numero dei canali, dovremo sommare il numero 48 che moltiplicato per 12.5 kHz ritorna i 600 kHz ri-

chiesti.

Esaminiamo in BCD ad 8 bit come sono rappresentati i numeri 24 e 48:

24 - 00011000

48 - 00110000

Appare subito chiaro che è sufficiente fare scorrere a sinistra un bit per passare da 24 a 48.

Come riportare questa conclusione nel circuito ADDER?

Riferendomi allo schema «duplex control circuit» dell'IC240 bisognerà eseguire le seguenti operazioni: Tagliare la pista di circuito stampato in prossimità del connettore J1 che va al piedino 5 di IC7.

Tagliare la pista che dal piedino 11 di IC8 va al piedino 4 di IC1, collegare con un filo sottile il moncone di pista che parte dal connettore con quello che va al pin 4 di IC1.

Questa operazione ha realizzato il collegamento diretto del punto D3 di J1 con il punto P3 che va al pin 4 di IC1.

Interrompere successivamente il c.s. prima del pin 3 di IC7, sempre dalla parte di J1, e la pista, tra l'uscita di IC8 (pin 10), ed il pin 5 di IC1.

Collegare con dei piccoli spezzoni di filo il moncone di c.s. vicino a J1 (appena interrotto) con il pin 5 di IC7 e l'uscita di IC8 (pin 11) con il moncone di pista che va al pin 5 di IC1.

Questa operazione ha realizzato la connessione del punto D4 con l'ingresso di IC7 e quella di IC8 (pin 11) con il pin 5 del divisore IC1.

Proseguiamo interrompendo il c.s. che parte dal connettore J1 e va al pin 13 di IC3 parimenti interrompere la pista tra l'uscita di IC8 (pin 3) e l'ingresso di IC1 (pin 6).

Collegare il moncone di pista che parte dal connettore J1 con il pin 3 di IC7 e l'uscita di IC8 (pin 10) con il pin 6 di IC1.

Quest'ultima modifica ha permesso il collegamento del

punto D5 del connettore J1 con l'ingresso di IC7 (pin 3) e quello dell'uscita di IC8 (pin 10) con il pin 6 di IC1.

Proseguiamo interrompendo la pista tra l'uscita di IC8 (pin 4) ed il pin 7 di IC1 poi collegando il punto D7 del connettore J1 con il pin 13 di IC9 ed infine il piedino 3 di IC8 con il moncone di pista che va al piedino 7 di IC1. Abbiamo così completato lo spostamento a sinistra di un bit nel sommatore.

Prima di accingervi a fare realmente le operazioni descritte è bene che vi rendiate conto delle esatte posizioni da interrompere aiutandovi con lo schema che ho allegato.

In un prossimo articolo completerò le modifiche per consentire la sintonia a passi di 12.5 kHz con l'uso di 3 contraves e due soli integrati, di poco costo, che andranno a rimpiazzare la matrice di diodi originali.

Tuttavia già con le modifiche precedentemente descritte è possibile impostare i 22 canali ricordandosi che il numero 64 corrisponde alla frequenza di 144.0 ed il numero 224 a quella di 145.9875 MHz.

Buon lavoro e raccomando molta pazienza nell'eseguire le ultime operazioni descritte.

Downloaded by   
RadioAmateur.EU

MILANO Punto vendita   
ERMEI ELETTRONICA  
Via Corsico 9 - Tel. 02/8356286

CATANIA Punto vendita   
CRT ELETTRONICA  
Via Papale 49 - Tel. 095/441596

SESTRI LEV. Punto vendita   
TEKNOCENTER  
P.za A. Moro 16 - Tel. 0185/41377