

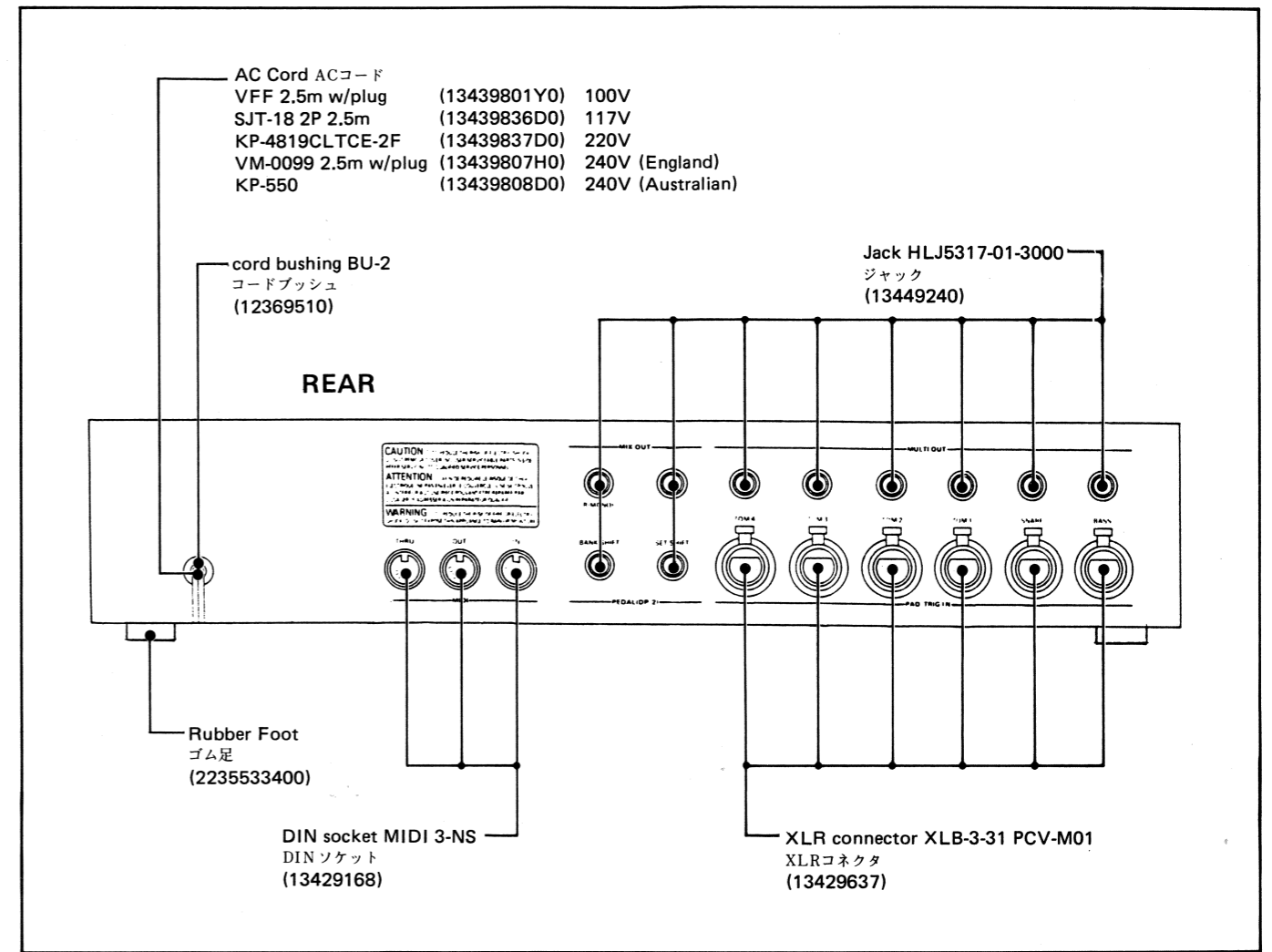
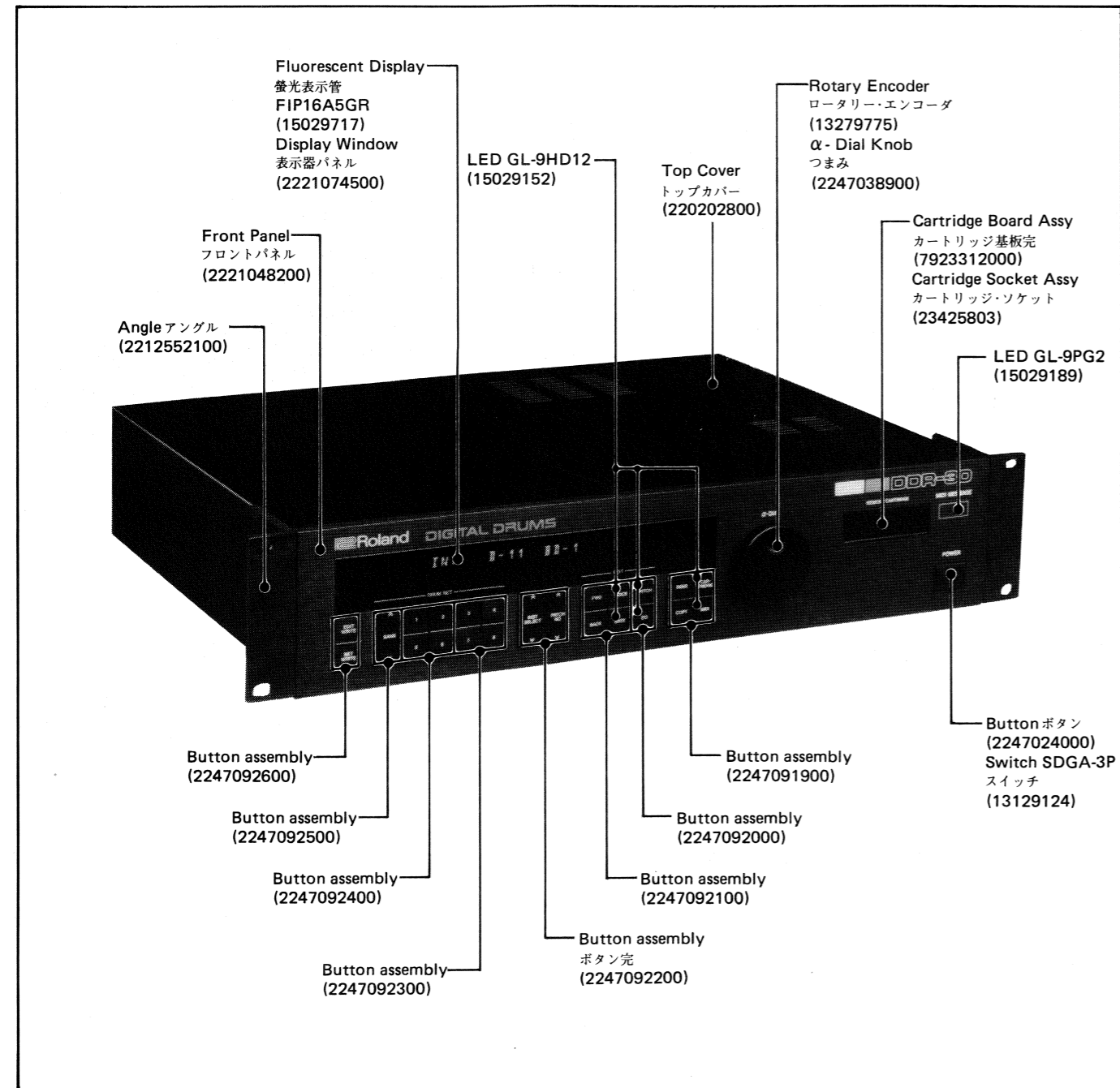
DDR-30

SERVICE NOTES

First Edition

SPECIFICATIONS

- PAD TRIG IN : 13kΩ
- PEDAL (DP-2) : 470Ω
- MULTI OUT : 1.5kΩ
- MIX OUT : 1kΩ
- S/N Ratio : DIN 80dB
- Power Consumption : 24W
- Dimensions : 483(w) x 88(h) x 300(d)mm
19" x 3 7/16" x 11 13/16"
- Weight : 5kg 11lb 6oz
- Accessories : Connection Cable II-250



PARTS LIST

CASING ケース

2221048200	Front Panel		フロントパネル
2202028000	Top Cover		トップカバー
2202028100	Bottom Cover		ボトムカバー
2221074500	Display Panel		表示器パネル
2212552100	Angle Bracket	2U rack, R L	アングル
2281050000	Side Chassis		サイドシャーシ
2281050100	Sub Chassis		サブシャーシ
2235533400	Foot		ベース

KNOB, BUTTON ツマミ, ボタン

2247091900	SENSE, COPY		ボタン
2247092100	VOICE, GATE, FWD, BACK		ボタン
2247092200	INST SELECT, PATCH NO.		ボタン
2247092300	3, 4, 7, 8		ボタン
2247092400	1, 2, 5, 6		ボタン
2247092500	BANK		ボタン
2247092600	EDIT WRITE, SET WRITE		ボタン
2247092000	PITCH, EQ		ボタン
2247038900	ENCODER		ツマミ
2247024000	POWER		ボタン

SWITCH スイッチ

13169621	SKEFAF 009A	key	
13129124	SDGA-3P	power	

ROTARY ENCODER ロータリーエンコーダ

13279775	LA226		
----------	-------	--	--

SCOKET ソケット

13429527	ICC05-028-360T	IC	IC
23425165	PBR5-28U-T01-S	Memory Cartridge	メモリーカートリッジ
13449240	HLJ5317-01-3000	jack	ジャック
13429168	MIDI 3-NS	DIN	MIDI
13429637	XLB-3-31 PCV-M01	XLR	XLR
23425803	Cartridge socket assy		カートリッジ・ソケット組立品

TRANSFORMER, COIL トランス, コイル

22450426N0	PEE66-35	100V, 117V	トランス
22450427D0	PEE66-35	200V, 220V	トランス
12449251	LC-15 S-147-059	DC/DC converter	DC-DCコンバータ
12449229	FKOB160MH15	line filter	チョーク

CERAMIC RESONATOR セラミック発振子

12389719	KMFC1007T-31 12MHz		
12389725	CSA4.00MT		セラロック
12389738	CSB400P		

PCB ASSY 基板完成品

7923308000	CPU Board (pcb 2292019800)		CPU基板
7923310001	Voicing Board (pcb 2292020001)		音源基板
7923311000	Jack Board (pcb 2292020001)		ジャック基板
7923309000	Panel Board (pcb 2292019700)		パネル基板
7923306000	Power Supply Board (pcb 2292019900)		電源基板
7923312000	Cartridge Board w/socket (pcb 2291391400)		カートリッジ基板

IC

15179176	UPD7811G-037-036	CPU	
15179201	UPD7537C-014	CPU	
15179640	M5M2764P250NS	EPROM	
15179667H0	HN4827128G-25	EPROM	
15179710	TC531000P-7452	(TOM TOM) MASK ROM	
15179106	HN613256P-CG4	(Bass Drum) MASK ROM	
15179107	HN613256P-CG5	(Snare Drum) MASK ROM	
15179317	TC5517APL	S RAM	
15179322	HM6116P-4	S RAM	
15179239	UPD8253C-2	programmable counter	MOS LSI
15229825	MB63H114PF	gate array	
15159503	TC40H000P	quad 2-input NAND gate	H CMOS
15159505	TC40H004P	hex inverter	H CMOS
15159507	TC40H273P	octal D-type flip flop	H CMOS
15159508	TC40H373P	octal D-type latch	H CMOS
15159113H0	HD14051BP	analog switch	CMOS
15159114H0	HD14093BP	quad 2-input NAND schmitt triggers	CMOS
15159133H0	HD14174BP	hex D-flip flop	CMOS
15159301H0	HD14520BP	dual binary UP counter	CMOS
15159303H0	HD14584B	hex schmitt trigger	CMOS
15169522	TC74HC4050	hex buffers	H CMOS
15159115T1	TC4066BP (Toshiba only)	quad analog switch	CMOS
15219155	TC9156	tone control	CMOS
15169102H0	HD7406P	hex inverter buffers	TTL
15169319H0	HD74LS139P	dual 2-line to 4-line decoders	TTL
15169327H0	HD74LS367AP	hex bus drivers	TTL
15169334H0	HD74LS05P	hex inverters	TTL
15169339H0	HD74LS32P	quadruple 2-input positive OR gates	TTL
15169365H0	HD74LS253P	dual 4-line to 1 multiplexers	TTL
15169324X0	SN74LS245N	3-state non-inverting	TTL
15219129	CEM3360	dual voltage controlled amplifier	
15189102	NJM4558DD	OP amp	
15189152	NJM5534DD	OP amp	
15189168X0	NE-5532P	OP amp	
15189118	TL-082CP	OP amp	
15199106F0	UA7805UC	voltage regulator	

TRANSISTOR トランジスタ

15149113	M54516	Transistor array	
15149123	M54561	Transistor array	
15129114	2SC1815-GR	NPN	
15129412	2SC1384-Q	NPN	
15129704	2SC2238-Y	NPN	
15129136	2SC2878-A	NPN	
15129601	2SD666	NPN	
15129303	2SD1207-S	NPN	
15119105	2SA733	PNP	
15119106	2SA733-Q only	PNP	
15119701	2SA968Y	PNP	
15119113	2SA1015GR	PNP	
15119602	2SB647C	PNP	
15139103	2SK30A-GR only	FET	

DIODE ダイオード

15019120	1S-2473		
15019125	1SS-133		
15019143	1SS-116		
15019201	1N4002		
15019270	10DF1		
15019236	W-02	bridge	ブリッジ
15019275	3B4B41	rectifier	整流
15019525	RD-5.6EB2	zener	ツェナー
15019541	RD-9.1EB3	zener	ツェナー
15019505	RD-36EB2	zener	ツェナー
15029152	GL-9HD12	LED (red)	(赤)
15029189	GL-9PG2	LED (green)	(緑)

OPTOISOLATOR フォト・カプラ

15229712	PC-900		
----------	--------	--	--

VACUUM FLUORESCENT DISPLAY 蛍光表示管

15029717	FIP16A5GR		
----------	-----------	--	--

FUSE, FUSE HOLDER ヒューズ, ヒューズホルダ

12199552	UF0005-02	clip	
12559356	SGC-1A	100/117V	
12559509	CEE T315mA	220/240V	

RESISTOR 抵抗

13910101	RGSD8 x 472J	array	アレイ
13910102	RGSD8 x 273J	array	アレイ
13910103	RGSD8 x 103J	array	アレイ
13910113	RGSD4 x 103J	array	アレイ
13919138	RGSD5 x 273J	array	アレイ
13913146	RMK14L503F	ladder	アレイ
13919157	RMK10L103F	ladder	アレイ

CAPACITOR コンデンサ

13639155J0	SM16VB2200		電解
13639154J0	SM16VB1000		電解
13639195J0	SME35VB2200		電解

AC CORD ACコード

13439801Y0	VFF 2.5m w/plug 100V		
13439836D0	SJT-18 2P 2.5m 117V		
13439837D0	KP-4819CLTCE-2F 220V		
13439807H0	VM-0099 2.5m w/plug 240V (England)		
13439808D0	KP-550 240V (Australian)		

CONNECTOR コネクタ

13439119	5045-03A		
13439123	5045-07A		
13439125	5045-09A		
13439155	5045-12A		
13439164	5045-14A		
13439128	5045-15A		
2341049700	3P	w/wiring	リード付き
2341052200	12P	w/wiring	リード付き
2341052300	15P	w/wiring	リード付き
2341052000	7P	w/wiring	リード付き
2341052100	10P(3+7)	w/wiring	リード付き

WIRING ASSY ワイヤリング完

23465726	14P	wiring C	
----------	-----	----------	--

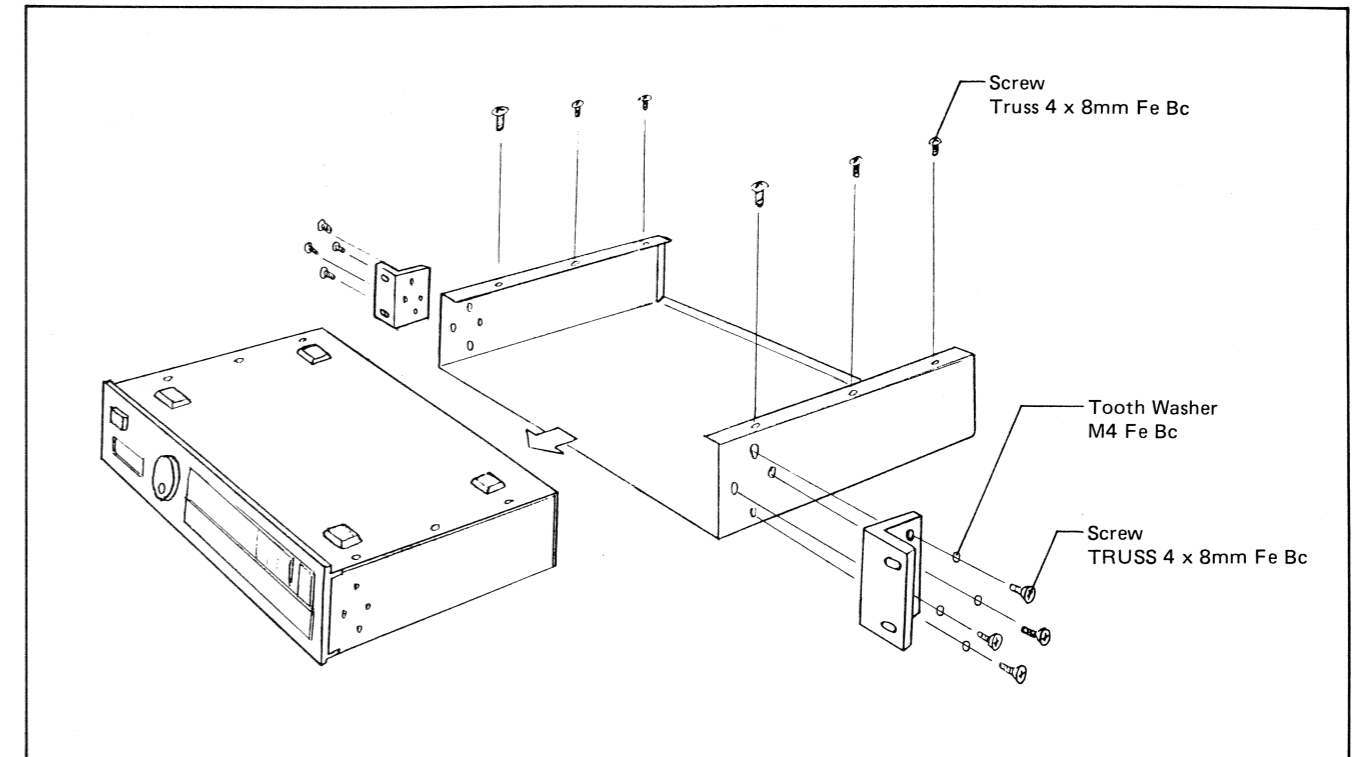
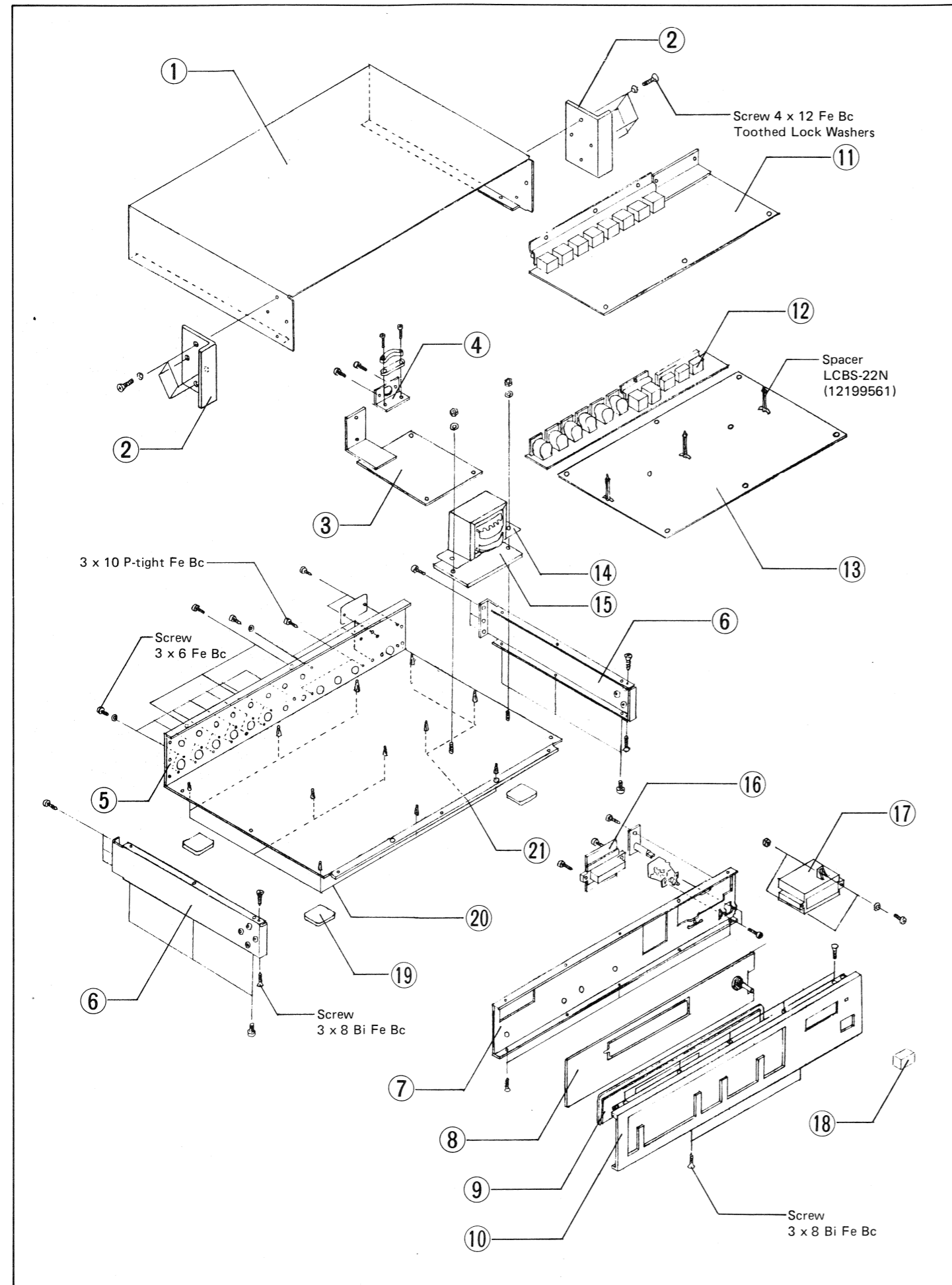
SPACER スペース

12199557	KGLS-8R (black)	bottom cover 8pcs, sub chassis 3pcs	
12199562	KGLS-10R (black)	bottom cover 3pcs	
12199561	LCBS-22N	CPU Board 3pcs	
12199559	KGPS-8R (white)	sub chassis 3pcs	

MISCELLANEOUS その他

2219079300	Jack Holder	Jack Board	ジャック・ホルダ
2219079400	Jack Holder	Voicing Board	ジャック・ホルダ
*****	HLJ997-01-480	snap plate	
12369410	1702B	line cord bushing	コード・バンド
2212019000	Trans. Plate		トランス・プレート
2219078400	Cord Clamp (holder)		コード・ホルダ
12369510	BU-2	cord bushing	コードブッシュ
2246013501	Heat sink A	Voicing Board	ヒートシンクA
2246013601	Heat sink B	Power Supply Board	ヒートシンクB
12569111	CR-1/3N 3-volt	lithium battery	リチウム電池
2343074700	II-250 (blk) Connection Cable		接続コード (黒)

DDR-30
EXPLODED VIEW 分解図



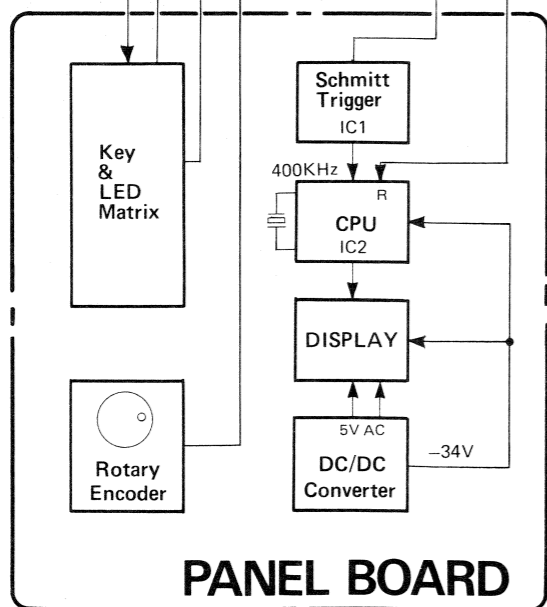
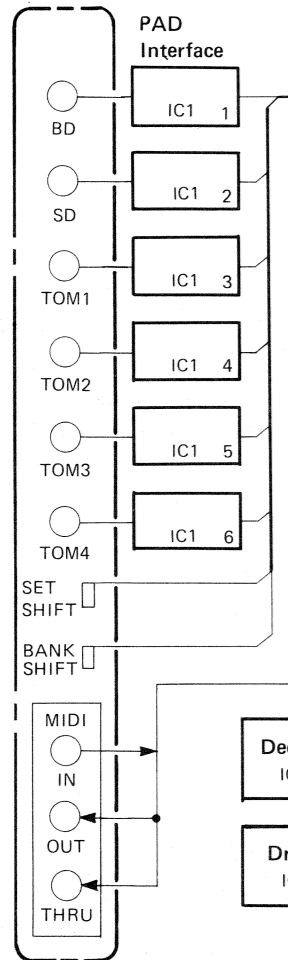
①	Top Cover	(2202028000)	トップカバー
②	Rack Mount Angle	(2212552100)	ラックマウントアングル
③	Power Supply Board Assy	(7923306000)	電源基板
④	AC Cord Holder	(2219078400)	ACコードホルダ
⑤	Bottom Cover	(2202028100)	ボトムカバー
⑥	Side Chassis	(2281050000)	サイドシャーシ
⑦	Sub Chassis	(2281050100)	サブシャーシ
⑧	Panel Board Assy	(7923309000)	パネルボード完
⑨	Display Panel	(2221074500)	表示器パネル
⑩	Front Panel	(2221048200)	フロントパネル
⑪	Voicing Board Assy	(7923310000)	音源ボード完
⑫	Jack Board Assy	(7923311000)	ジャックボード完
⑬	CPU Board Assy	(7923308000)	CPUボード完
⑭	Transformer	(22450426N0)	トランス 100/117 V
		(22450426D0)	トランス 220/240 V
⑮	Trans Plate	(2212019000)	トランスプレート
⑯	Cartridge Board Assy	(7923312000)	カートリッジボード完(ソケット付)
⑰	Cartridge Socket Assy	(23425803)	カートリッジソケット完
⑱	Button black	(2247024000)	ボタン黒
⑲	Rubber Foot	(2235533400)	ゴム足
⑳	Spacer KGLS-8R black	(12199557)	ロッキング・カード・スペーサ
㉑	Spacer KGLS-10R black	(12199562)	ロッキング・カード・スペーサ

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40

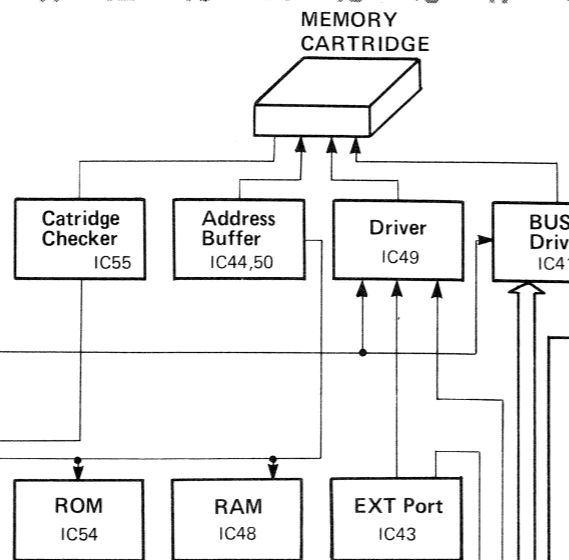
GENERAL BLOCK DIAGRAM

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V

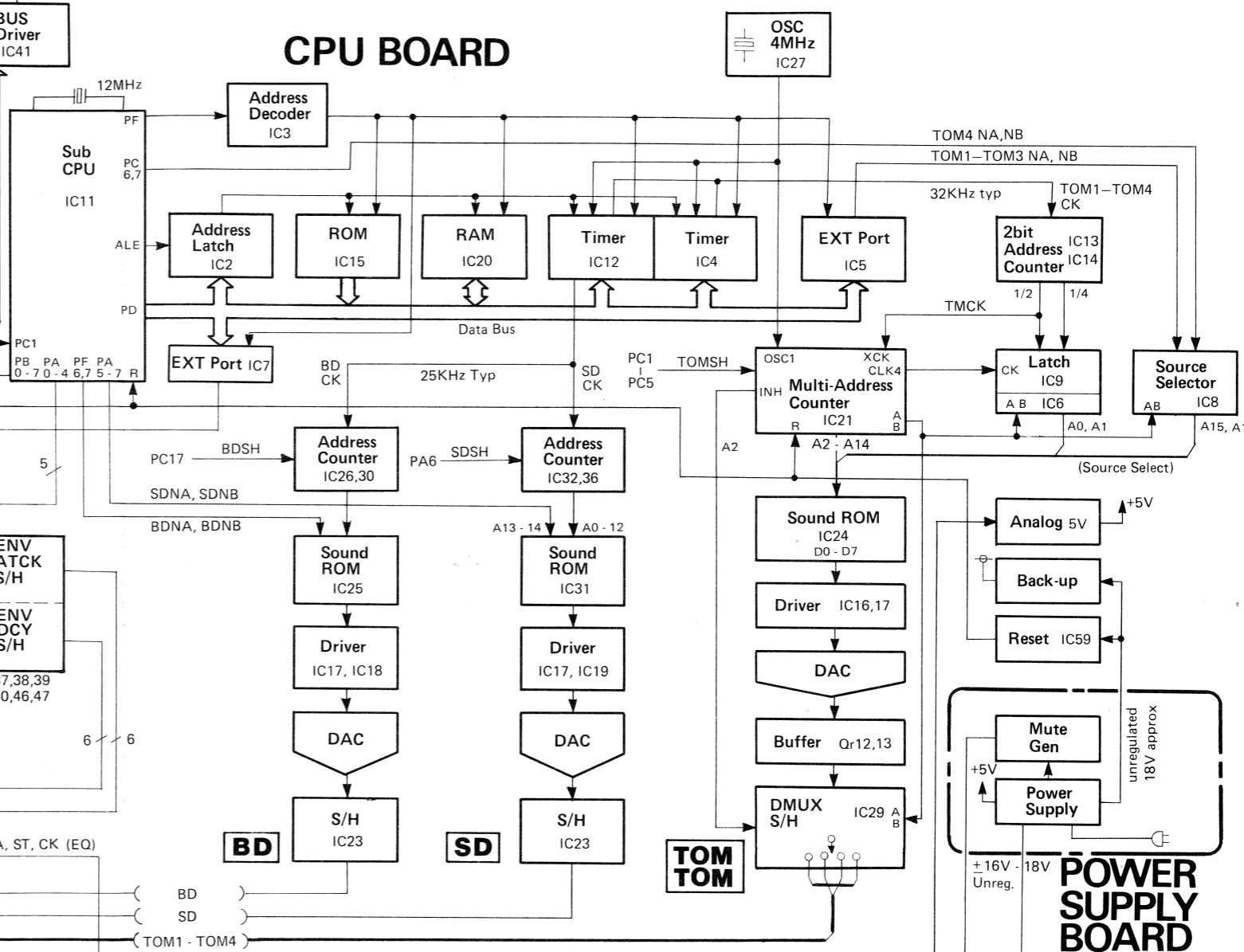
JACK BOARD



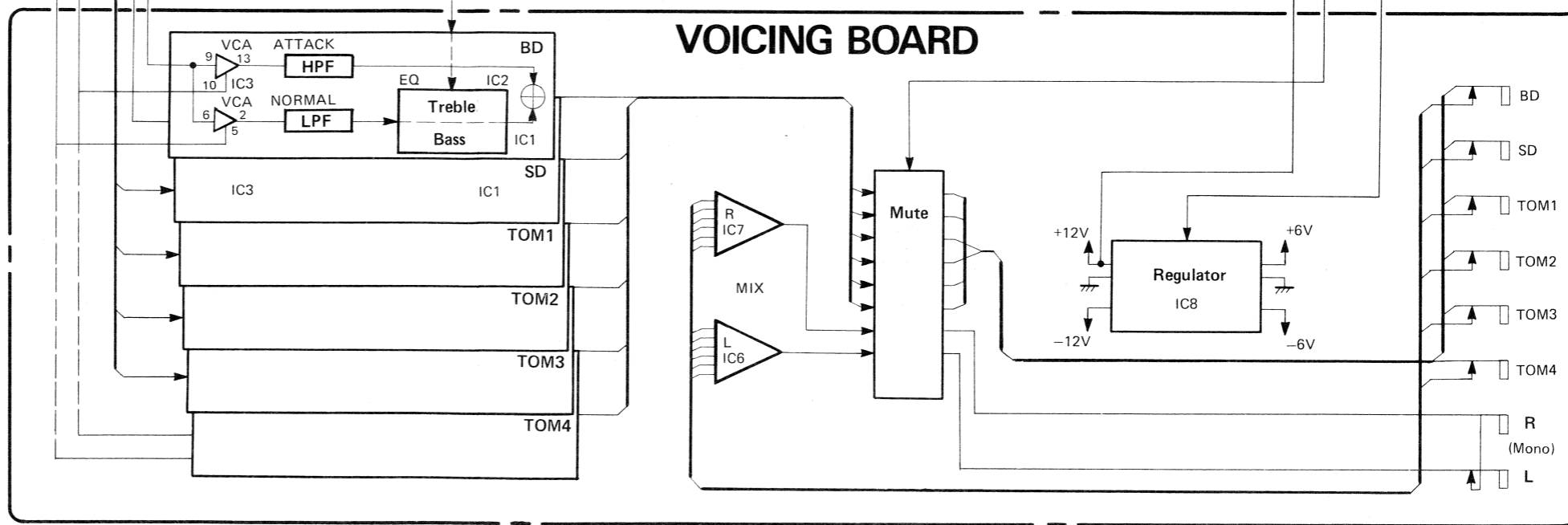
PANEL BOARD



CPU BOARD



VOICING BOARD



POWER SUPPLY BOARD

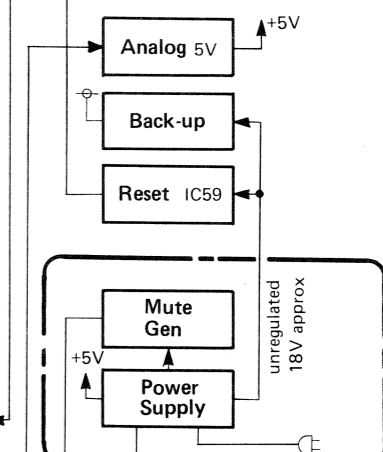
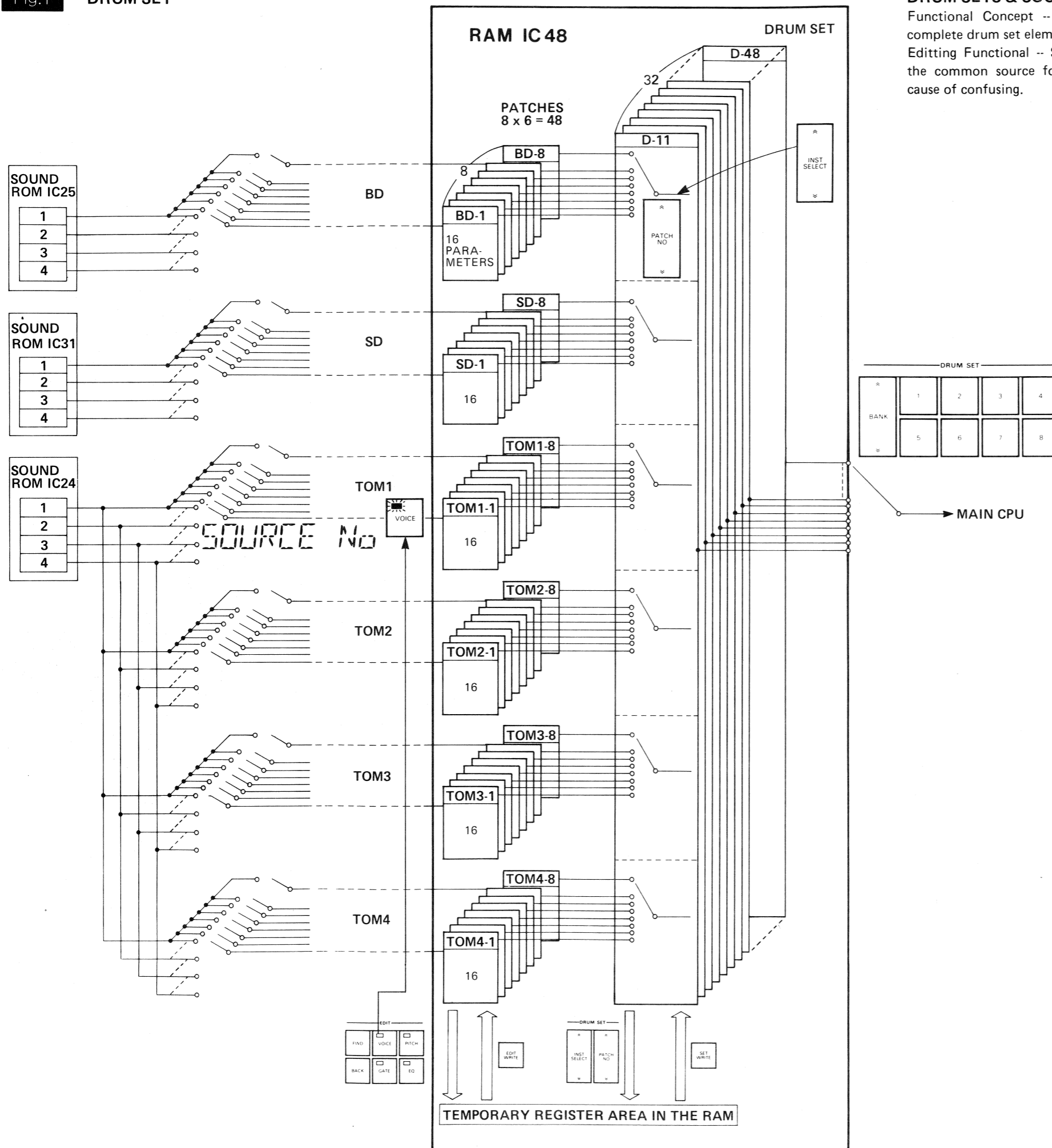


Fig.1 DRUM SET



DRUM SETS & SOUND SOURCES

Functional Concept -- Does not exactly illustrate complete drum set elements.

Editing Functional -- Shows Source No. only since the common source for all TOM TOMs may be a cause of confusing.

ドラムセット及び音源ROM

本図はドラムセットの構成要素を概念的に表わしたもので、実際の機能とは必ずしも一致しません。

また、パラメータはサウンドソースのみを掲載していますが、これはTOM TOM音源が共通使用されている点を明確にするためです。

MAIN CPU IC57

DESIGNATION	PIN	DESCRIPTION	I/O	
AN ANO	34	PAD TRIG BD	I	
(Analog Input)	1 35	PAD TRIG SD	I	
	2 36	PAD TRIG TOM1	I	
	3 37	PAD TRIG TOM2	I	
	4 38	PAD TRIG TOM3	I	
	5 39	PAD TRIG TOM4	I	
	6 40	Pedal sw BANK SHIFT	I	
	7 41	Pedal sw PATCH SHIFT	I	
PORT A PAO	1	Panel switch reading	I	
	2		I	
	3		I	
	4		I	
	5		I	
	6		I	
	7		I	
	8		I	
PORT B PBO	9	Panel switch/LED scanning	O	
	10		O	
	11		NC	I
	12		LED Driving	O
	13			O
	14			O
	15			O
	16		SCK) Display Data (data)	O
	17	SI) (clock)	O	
PORT C PCO	17	Serial Data to SUB CPU	O	
	18	Serial Data from MIDI	I	
	2	Serial Out Strobe SUB CPU	O	
	3	Serial Out Strobe MIDI	O	
	4	Memory Cartridge IN Sense	I	
	5	Memory Cartridge PROTECT Sense	I	
	6	Rotary Encoder (direction)	I	
	7		I	
PORT D PDO	55	Data/Address 3 EQ (TRE, BASS) Data	I/O	
(Data Bus)	1 56		I/O	
	2 57		I/O	
	3 58		I/O	
	4 59		I/O	
	5 60		I/O	
	6 61		to EXT Port IC43	I/O
	7 62		I/O	
PORT F PFO	47	ROM IC54 0 RAM IC48 0 Cartridge Address 0	O	
	1 48		O	
	2 49		O	
	3 50		O	
	4 51		O	
	5 52		O	
	6 53		O	
	7 54	O		
INTI	26	Memory Selection between INTNL (IC48, IC54) and Cartridge	O	
MODE0	29	Rotary Encoder (direction)	I	
MODE1	27	ROM INT/EXT Mode Selection EXT	I	
Va ref	42	Internal ADC Vref	I	

SUB CPU IC11

DESIGNATION	PIN	DESCRIPTION	I/O	
PORT A PAO	1	ENV DMUX CH SELCT	O	
	2		O	
	3		O	
	4		O	
	5		SDNB) SD Sound Source Select	O
	6		SDNA)	O
	7		SDSH) SD Address Counter Start	O
	8			O
PORT B PBO	9	ENV DATA MSB	O	
	1		O	
	2		O	
	3		O	
	4		O	
	5		O	
	6		O	
	7		O	
PORT C PCO	17	BDSH BD Address Counter Start	O	
	1	Serial Input from MAIN CPU	I	
	2	TOM1SH) TOM TOM Address Counter Start	O	
	3	TOM2SH)	O	
	4	TOM3SH)	O	
	5	TOM4SH)	O	
	6	TOM4NA) TOM4 Sound Source Select	O	
	7	TOM4NB)	O	
PORT D PDO	55	TIMERS(IC4,12) COUNTER Address) ROM IC15 TOM1NA TOMS 1-3 RAM IC20 TOM2NA) Sound Data to Address TOM2NB) ROM, RAM LSB TOM3NA) Source TIMERS, TOM3NB) Select EXT PORT	I/O	
(Data Bus)	1 56		I/O	
	2 57		I/O	
	3 58		I/O	
	4 59		ENV	O
	5 60		DATA	I/O
	6 61		LSB	I/O
	7 62			I/O
PORT F PFO	47	ROM 1) TIMERS RAM) IC4, IC12 Address) Chip Select	O	
	1 48		O	
	2 49		O	
	3 50		O	
	4 51		O	
	5 52		O	
	6 53		BDNA) BD Sound Source Select	O
	7 54	BDNB)	O	
MODE 0	29	ROM INT/EXT MODE SELECT 1) EXT	I	
MODE 1	27	ROM INT/EXT MODE SELECT 0)	I	

Fig.2 SOUND REPRODUCTION CONTROL SIGNALS

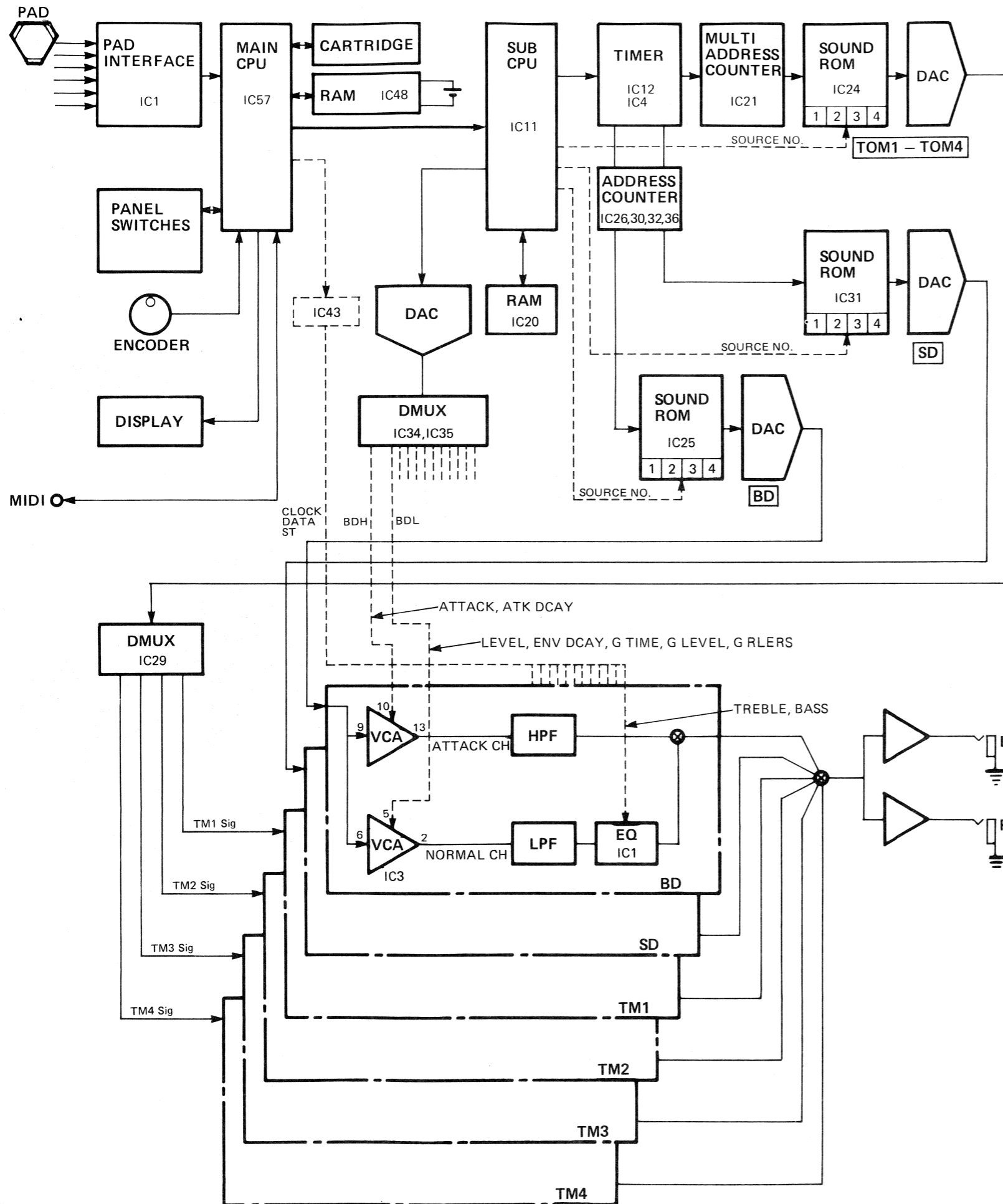
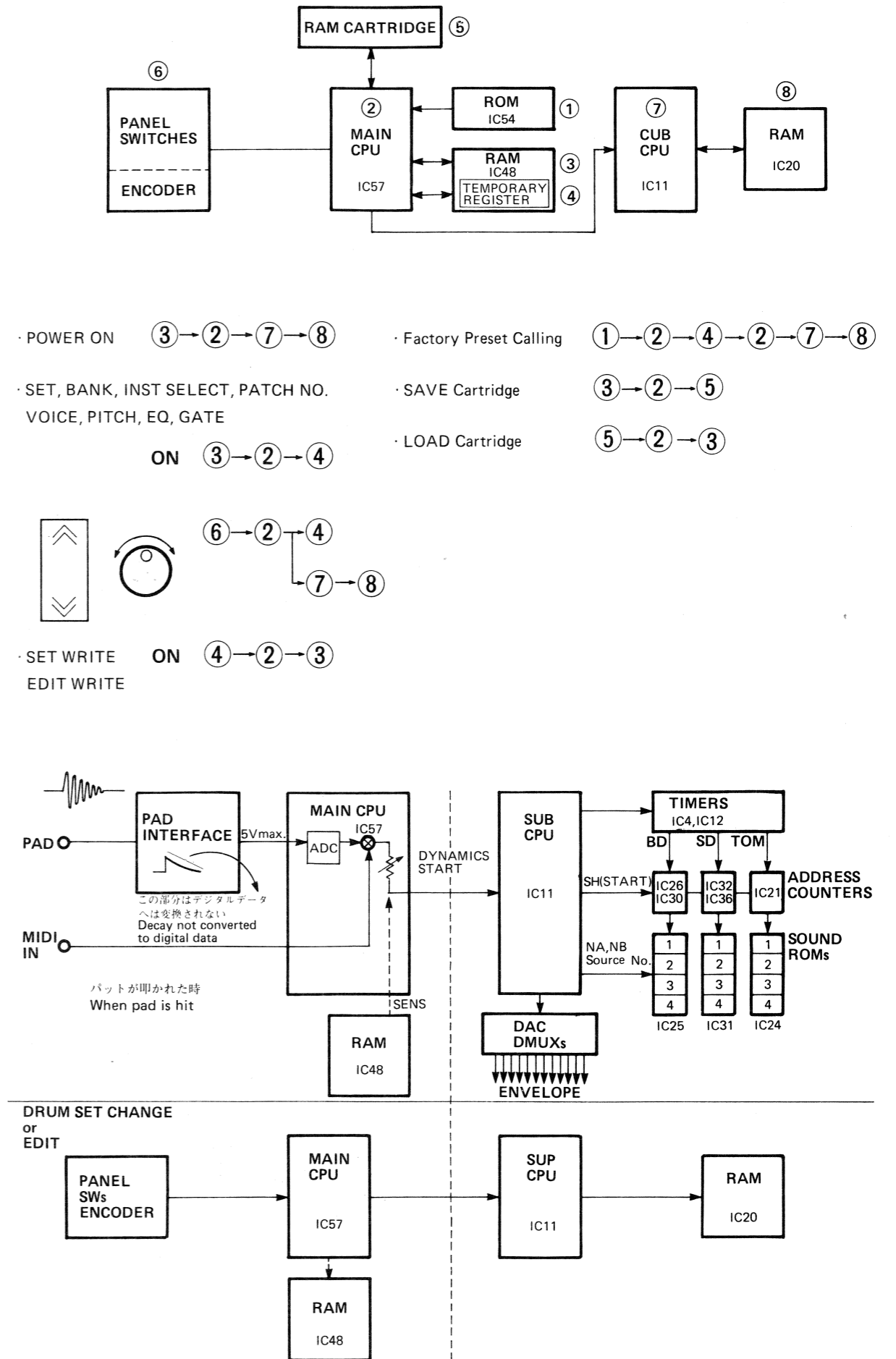


Fig.3 DATA FLOW AT VARIOUS EVENTS



CIRCUIT DESCRIPTIONS

GENERAL The DDR-30 circuitry is divided into ■MAIN CPU section, ■SUB CPU AND SOUND ROM section and ■VOICING CIRCUITS. In reading this section mainly refer to Figs. 1, 2 and 3.

MAIN CPU

The main CPU processes various inputs and provides basic drum sound construction data accordingly. It stores the data of drum sets and of the parameters included in each drum set.

The main CPU sends information or data to the sub CPU and MIDI OUT jack, in MIDI format, on three events, 1) Upon power on, 2) Upon receiving PAD IN (or MIDI NOTE ON) and 3) Upon panel switching (EDIT). Also sends necessary data to the voicing board via DAC and DMUX.

The main CPU reads the default drum set (D-11) among 38 sets stored in the back-up RAM IC48 and routes the set and associated parameters (14:16 minus two EQ) to the sub CPU. Also sends two EQ parameters to the voicing modules.

See Fig. 3

When a PAD is stricken, the main CPU converts the maximum amplitude of the pad interface output coming to an AN pin into digital equivalent at the internal A/D converter (ADC). The effective amplitude data being the product of this and the setting of SENS derived from the RAM IC48.

The CPU also generates "START" signal from this PAD input, which causes the sub CPU to initiate drum sound reproduction. The amplitude data (drumming strength) and start signal are sent to the sub CPU together.

Note that the "envelope" formed at the PAD Interface has no relation with the reproduced drum sound envelope which is based on ENVs and ATTACKs parameters.

回路解説

概論 DDR-30の回路構成を大きく分けると ■メインCPU部, ■サブCPU及び音源ROM部, ■ボイシング部 となります。前ページ図1,2,3を主に参照して下さい。

メインCPU部

入力関係、ならびに、音づくりの基本データ(ドラムセット及びドラムセットを構成している各ドラム音のパラメータ)を管理し、必要に応じて音源、並びにエンベロープに関するパラメータをサブCPU(MIDIフォーマットで)及びボイシングボードへ転送します。また、パッドが叩かれた時やMIDI NOTE ONが入力された時、あるいはエディット操作がなされた時は、リアルタイムでサブCPUへその情報を送ります。

メインCPUはRAM IC48内にバックアップされている38組のドラムセット内の、各ドラムのパラメータ(16種類)の内、EQパラメータをボイシングボードへ、残りのパラメータをシリアル形式でサブCPUへ送ります。

AN端子へ入力されたパッドからの信号を、1) 内部のA/Dコンバータによりデジタル値に変換します。さらにこの値は、RAM(IC48)に記憶されているSENSの設定値に応じて再変換されます。2) メインCPUはこのPAD入力から"スタート"信号も得た後、この2つの情報を同時にサブCPUへ送ります。

SUB CPU AND SOUND ROMS

The sub CPU directly controls the sound ROM reading and subsequent drum sound reproduction processes. The data required by the sub CPU is stored in the RAM IC20 and is always the duplication of that in RAM IC48 for the main CPU: Any change occurring in IC48 on the components of the drum being selected is immediately reflected on the RAM IC20 for updating.

// ON POWER-UP //

The sub CPU writes into RAM IC20 (unbacked up) the one drum set data (except for EQ) sent from the main CPU, preparing itself ready for reproducing the drum sound—at any moment a start signal comes from the main CPU.

// UPON STRIKING PAD (OR MIDI NOTE ON IN) //

Upon receiving the start signal and drumming strength data for a particular drum sound, the sub CPU delivers the following data according to the data stored in the RAM IC20.

- Source No. that specifies one memory area out of four in the sound ROM.
- Dividing Data (including PITCH, PITCH BEND, DYN SENS values) that affects the frequency of timers' outputs, which in turn controls the ROM reading speed. The pitch of the drum sound changes as the speed varies.
- A Start signal for the ROM Address Counter
- Parameter Values of ATTACKs, ENVELOPEs and GATEs to the voicing section through ENV DAC and ENV DUXs. These data make the voicing circuit to condition the as-converted-to-analog drum sound in terms of volume, shape and harmonic contents.

// 電源オン時 //

サブCPUは、ドラムセットの初期設定パラメータをメインCPUから受け取り、RAM IC20(ノン・バックアップ)へ書き込みます。従って、スタート信号(PADを叩いた時、或はMIDI NOTE ON時)がメインCPUから送られてくれば、何時でも音を出せる態勢になって居ます。

// PADが叩かれた時(又はMIDI NOTE ON受信時) //

サブCPUは、予めRAM IC20に記憶されているデータやパラメータに基づき、音源ROMからのドラム音読み出し、及びそれ以降の作業を開始します。

- サウンドROM中の、4つの音源(サンプリングデータ)から1つを選ぶソース選択信号(SOURCE NO.)の出力。

注 TOM1-TOM4は、音源を共有する。

● その音源ROMを読み出すスピードを決定する分周データを、タイマーへ出力する。このタイマーからのクロックの周波数によって、ドラム音の音程が決定するので、このデータはPITCH、BEND、DYN SENS等のパラメータの設定に応じて変化します。

- サウンドROM用のアドレスカウンタへ、スタート信号を出力する。

● アタック、エンベロープに関するデータをENV DAC、DMUXを通じて、ボイシングボードへ出力する。これはドラムの音量や、エンベロープを決定するもので、ATTACK、ATTACK DECAY、及びGATEパラメータの値によって変化します。

DRUM SET AND PARAMETER CHANGES

Pressing panel switches for drum set change or parameter change (EDIT) causes the main CPU to transfer associated data from the RAM IC48 permanent memory area to the temporary register. The CPU modifies the register contents as panel switch(s) or encoder is manipulated on patch No., parameter, etc. At the same time the main CPU sends register contents to the sub CPU which immediately updates the data in the RAM IC20. Parameter data in the permanent memory area in RAM IC48 will not be replaced by the new data unless WRITE (SET WRITE, EDIT WRITE) button is depressed.

VOICING BOARD

A drum sound reconstituted from a sound ROM has all the harmonic contents for being cated for by a voicing circuitry: some of them should be emphasized (in ATTACK Channel) and some attenuated (in NORMAL Channel). Normal channel and Attack channel sounds are mixed before being routed to the output jack(s).

Attack Channel Deals with the sound of Attack and Initial decay portion and sets the maximum sound level. The HPF can accommodate complex harmonic series.

Normal Channel The LPF filters out high frequencies that are necessary only during attack. Then, the EQ section boosts or cuts some harmonics for a particular coloration.

DETAILED DESCRIPTION

PAD INTERFACE Voicing Board IC 1

The sensor on a drum pad (PD-10, PD-20, etc.) has a wider output range; its output voltages threaten to exceed the levels the subsequent stages can handle. Such voltages are compressed at this interface enough below the levels. The interface is capable of changing its configuration: As long as its output does not forward bias the diodes, the interface keeps higher gain as shown in Fig. 4A. Once the output swings above the diode conduction levels, the diodes reconnect the feedback network as shown in Fig. 4B, lowering the gain. The interface output is connected to the A/D converter in the main CPU through an AN pin and is converted to an 8-bit digital data which is controlled by the SENS setting stored in the RAM IC47. The data represents the stroke strength applied to the pad and is used by the sub CPU as the reference in calculating parameters of LEVEL, ATTACK, ATTACK LEVEL and DYNAMIC SENS. The same interface output is also converted to a start signal in the main CPU, enabling the sub CPU to initiate generation of the drum sound.

ドラムセット、及びパラメータ変更時(エディット)

ドラムセットやパラメータ変更のためのスイッチ操作が行なわれた場合、メイン CPU は、まず該当データを RAM IC 48 のテンポラリレジスタエリアへ移動させます。その後スイッチやエンコーダからの情報に応じてレジスタの内容を変更します。同時に変更内容をサブ CPU へも転送します。

テンポラリレジスタのデータは名前(テンポラリ、仮の)が示す通り一時的なものです。セットライトやエディットライトが押された時点で、この内容が RAM IC 48 のバックアップエリアへ転送されます。サブ CPU は変更データを受取ると、RAM IC 20 のデータを更新します。

ボイシングボード

音源 ROM から読み出され、アナログ値に変換されたドラム音には、DDR-30 で再生し得る全ての高調波成分を含んでいます。これらは(ボイシング回路において)パラメータに応じて削除されたり、強調されたりします。ドラム音はアタック部分とノーマル部分に分けて処理された後、再び混合されます。

アタックチャンネル

アタック部分の複雑な倍音成分を忠実に再現できる様、HPF を備えています。

ノーマルチャンネル

アタック部分以外の音域を受持ち、不要高調波を LPF で取除いた後、EQ データに応じて音質を補正します。

詳細

PAD INTERFACE

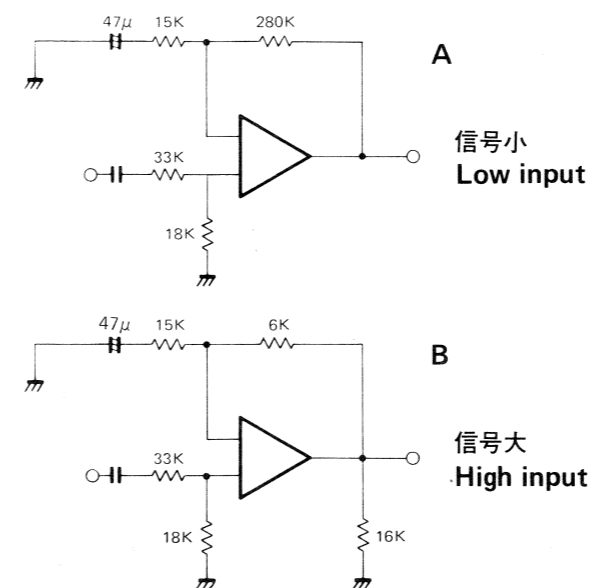
ドラムパッド(PD-10、PD-20等)のセンサ出力のダイナミックレンジは非常に大きく、CPU 以降の回路の動作範囲をオーバーする恐れがあります。本回路には、これを防止する圧縮機能が備えられています。

信号出力がフィードバック回路のダイオードを導通させるレベルに達しているか否かによって、等価回路は下図の様に分かれています。

本回路の出力はメイン CPU 内部で A/D 変換され、打鼓強度を表わすデジタルデータに変換されます。このデータは、サブ CPU が LEVEL、ATTACK、ATTACK LEVEL、DYN SENS データを出力する際の基準となります。

本回路の出力は、スタート信号(サブ CPU が音を出力するタイミングを決めるトリガー)としても利用されます。

Fig.4 PAD INTERFACE



SOUND ROM READING

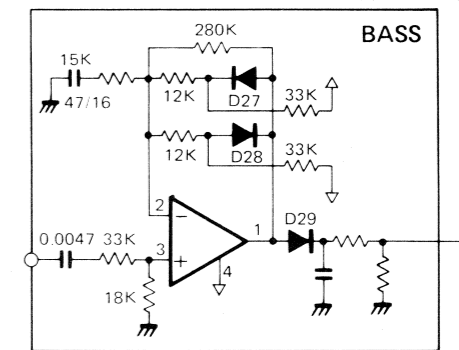
Bass drum, Snare and TOM TOM circuits operate on the same principle; each sound ROM contains four sources (1, 2, 3 and 4). While BD (SD) uses only one out of four sources dedicatedly prepared, more than one TOM TOM can be assigned with the same source (although in time sharing method). This is why the TOM circuitry seems rather complicated: The selection timing of memory address (address counter channel) and that of voice channel (TOM1 - TOM4) must be synchronized. The timing generator in the gate array IC21 plays an important role in this aspect. For this reason the following section concentrates on TOM TOM circuitry.

Gate Array IC21 (Multi Address Counter)

The 17 bits required as an address by the sound ROM IC24 are delivered through three routes. Fig. 5. IC21, being the heart of addressing, generates most of address bits. The 63H114 is an 8 channel, 13 bit address counter. Because it has twice the counters needed here, each two counters are joined at the inputs, their outputs (same counts) being selected at different timing. This system provides for not only double-safety but also increases sound stability by making use of advantages of acquiring the same portion of a sound twice per counter selection cycle with a close-timed repetition of D/A, DMUX and S/H.

Upon receipt of TOM SH, e.g. TOM1 SH, counters 0 and 4 are reset and increment counts at the 1/4 TOM1 CK rate. Their outputs (parallel 13-bit) are selected in turn on a specific channel select code (A, B and C) at the low to high transition of a CLK4. The remaining 4 bits (2LSB and 2MSB) are also selected in the following ways.

注・6個の回路定数は全て同じです。ただし、BDのC147の値のみが他のドラム回路と異なります。
・本回路の出力信号のうち、データとして利用されるのは最大振幅値(信号の頭部分)のみです。



サウンドROMの読み出し

サウンドROMからの読み出し方法は、BD、SD、TOM TOMいずれも基本的には同じです。3つのサウンドROMは、各々4つずつ音源(ソース 1、2、3、4)を持っていますが、BD(SD)の場合一度に使用されるのは、この内の一つだけです。一方 TOM TOM では、TOM1-TOM4の内のどれか2つ(又はそれ以上)が同じソースを同時(時分割)に指定する事も有り得ます。このため、TOM TOMの各回路間で、アドレスやチャンネルの同期が必要となって来ます。これには、ゲートアレイ IC21のタイミングジェネレータが重要な役目を果たします。以下 TOM TOM 回路を代表として説明します。

ゲートアレイIC21(マルチ・アドレスカウンタ)

図から判るごとく、ROMに必要な17ビットのアドレスは、3つのルートを通じて与えられますが、中心となるのは、ゲートアレイです。

IC21は8チャンネルの、13ビット・アドレスカウンタですが、DDR-30で必要なのは4チャンネルだけです。2チャンネルずつ並列に使用されます。こうする事により、カウンタセレクト部分では、同じTOM TOMのアドレスを1回のセレクトサイクル中に2度出力することが出来ます。これはまた、D/A、DMUX、及びS/Hの回数が増える事を意味し、それだけ音が安定します。

今TOM1 SHが加えられたとすると、CHO(CH4)のカウンタは一旦リセットされた後、XCKO(XCK4)に加えられる4分周されたTOM1 CKをカウントして行きます。CHOとCH4の出力は、対応したチャンネルセレクトコード(A、B、C)がセレクトに加えられた時、CLK4(クロックAの1/2の周期)の立ち上がりで13ビットがパラレルで出力されて行きます。同時に残りの4ビットも以下のように出力されて行きます。

Low Order 2 Bits

Although derived from the same origin through a divider IC13, lower 2 bits applied to IC9 could slightly differ in timing from those of 13 bits from the gate array. The clocks (TOMCKs) coming into the multi address counter are locked in CLK4 (not shown in Fig. 5) which also clocks the channel select code (A, B, C). The two LSB are given a correct output timing by being latched out of IC9 on the CLK4.

High Order 2 Bits

Unlike the two lower bits, the MSB 2 bits remain fixed unless another blow is applied on the same pad, requiring no latching to keep pace with lower bit steps.

LSB2ビット

ゲートアレイのカウンタへの入出力は、CLK4 に依って同期がとられます。従って、IC9 へ向かっている LSB2 ビットとの間に微妙なずれが生じます。IC9 を CLK4 のタイミングでラッチさせることによりゲートアレイの 13 ビットとのタイミングが完全に一致します。

MSB2ビット

IC8 への入力は ROM 読み出し中は固定ですので LSB の様な問題は生じません。

従って、ラッチ回路は省略されています。この 2 ビットはこれから出力される TOM TOM 音が、サウンドROM中の 4 つのソースのどれを使用するかを決めるものです。

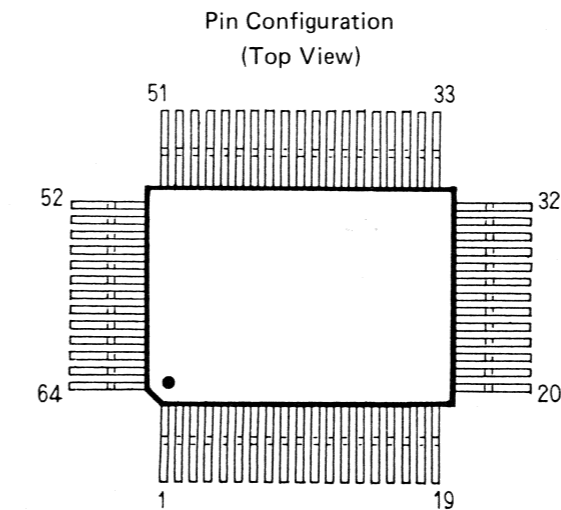
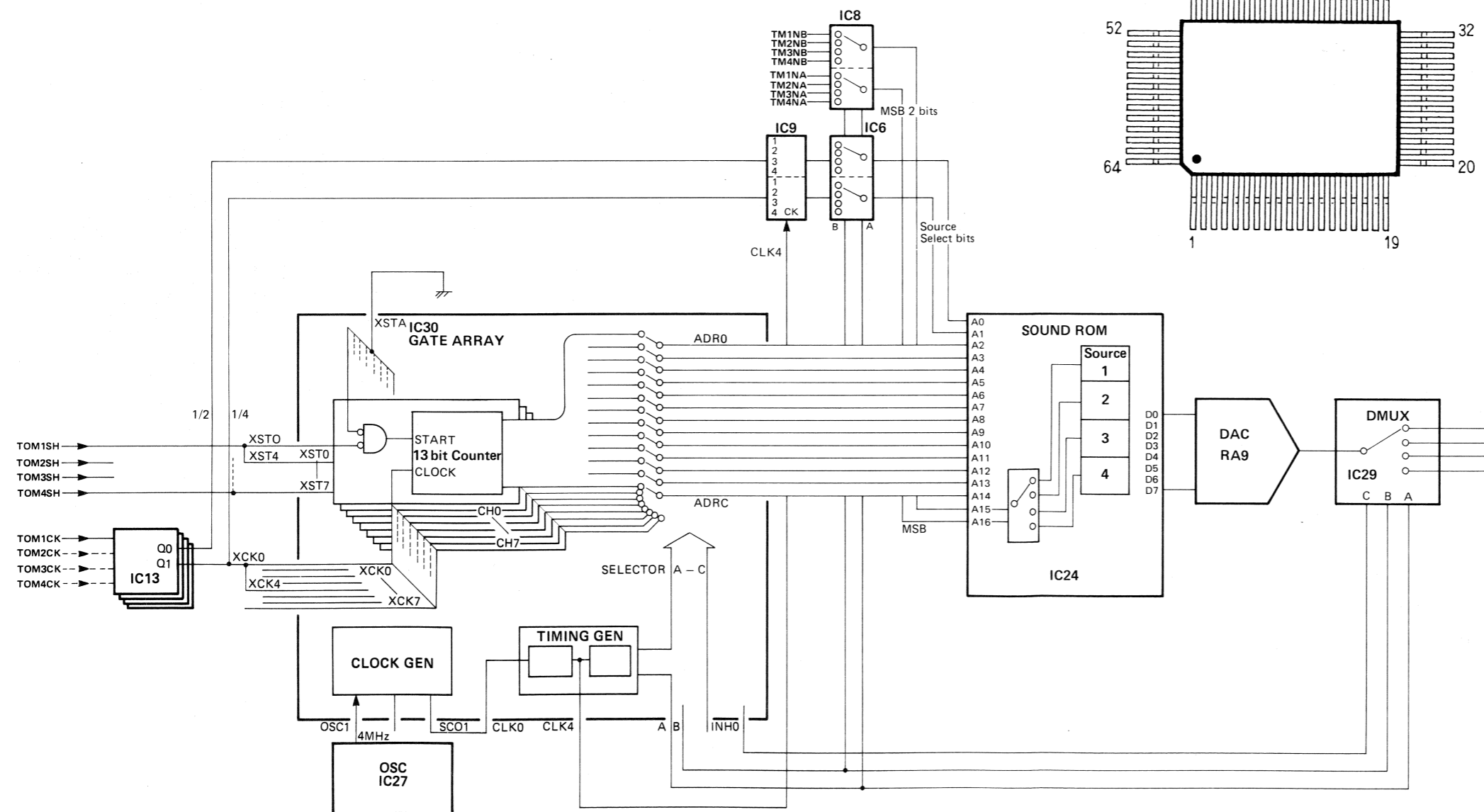
Interlocking Address Channels

The outputs from the address counter, IC6 and IC8 must be of the same channel in addition to a correct output timing. For example, IC8 and IC6 must put out TOM1 address bits when the CH0 in the gate array is selected and again when CH4 is selected. The switching is accomplished by A, B code which also enables DMUX IC29 to connect the correct channel at the positive going edge of an INH0 from the gate array.

アドレスチャンネルの同期

IC6、IC8 及びゲートアレイからの 3 つのアドレスグループは、同一チャンネルのものが同一タイミングで出力されなければなりません。つまり、ゲートアレイが TOM1 のアドレスを出力している時は、TOM1 NA、NB が、また、IC6 からは TOM1 CK (分周された) が歩調を揃えて ROM へ供給されなければなりません。このため、IC6 および IC8 はゲートアレイからの AB コードに依り、マルチアドレスカウンタの切り替えと同期してチャンネルを切り替えて行きます。また、DMUX IC29 も同様に、INH0 の立ち上がりで、AB コードで選択されたチャンネル出力をホールドして行きます。

Fig.5 TOM TOM ADDRESS CHANNEL VS VOICE CHANNEL



GATE ARRAY 63H114 Multiple Address Counters

DESIGNATION	PIN	DESCRIPTION	I/O
CST	0 20	pulled up (+5V)	counter 0
	2 21		counter 2
	4 22		counter 4
	6 23		counter 6
XST	A 50	XST0-XST7 enable, active low	counter 0
	0 38		counter 1
	1 39		counter 2
	2 40		counter 3
	3 41		counter start, active low
	4 44		counter 4
	5 45		counter 5
	6 46		counter 6
XCK	0 56	counter clock input	counter 0
	1 57		counter 1
	2 59		counter 2
	3 60		counter 3
	4 61		counter 4
	5 62		counter 5
	6 63		counter 6
	7 64		counter 7
XOUT	43	address (ADRO-ADRC) out enable, active low; high=HI z	I
ADR	0 19	ROM ADDRESS	0
	1 18		0
	2 17		0
	3 15		0
	4 14		0
	5 12		0
	6 8		0
	7 6		0
	8 9		0
	9 11		0
	A 16		0
	B 13		0
	C 2	0	
A	3	DMUX channel select	0
B	5		0
C	7		0
B	4		0
INH0	1	0	
OSCI	34	internal---EXT clock input from master OSC	I
SC00	35	NC	0
SC01	36	generator---clock out	0
CLK	0 37	system clock in	I
	1 52		0
	2 53		0
	3 54		0
XRES	4 55	latch clock	0
MSEL	51	reset pulse, active low	I
TST1	48	counter 12/13 bit select	I
TST2	49	IC test	I
Vss	10	GND	0
Vss	42		0
VDD	26	power supply +5V	0
GAT	0 32	counter gate output low=counter running	0
	1 31		0
	2 30		0
	3 30		0
	4 29		NC
	5 28		0
	6 25		0
	7 24	0	

EQUALIZER IC1

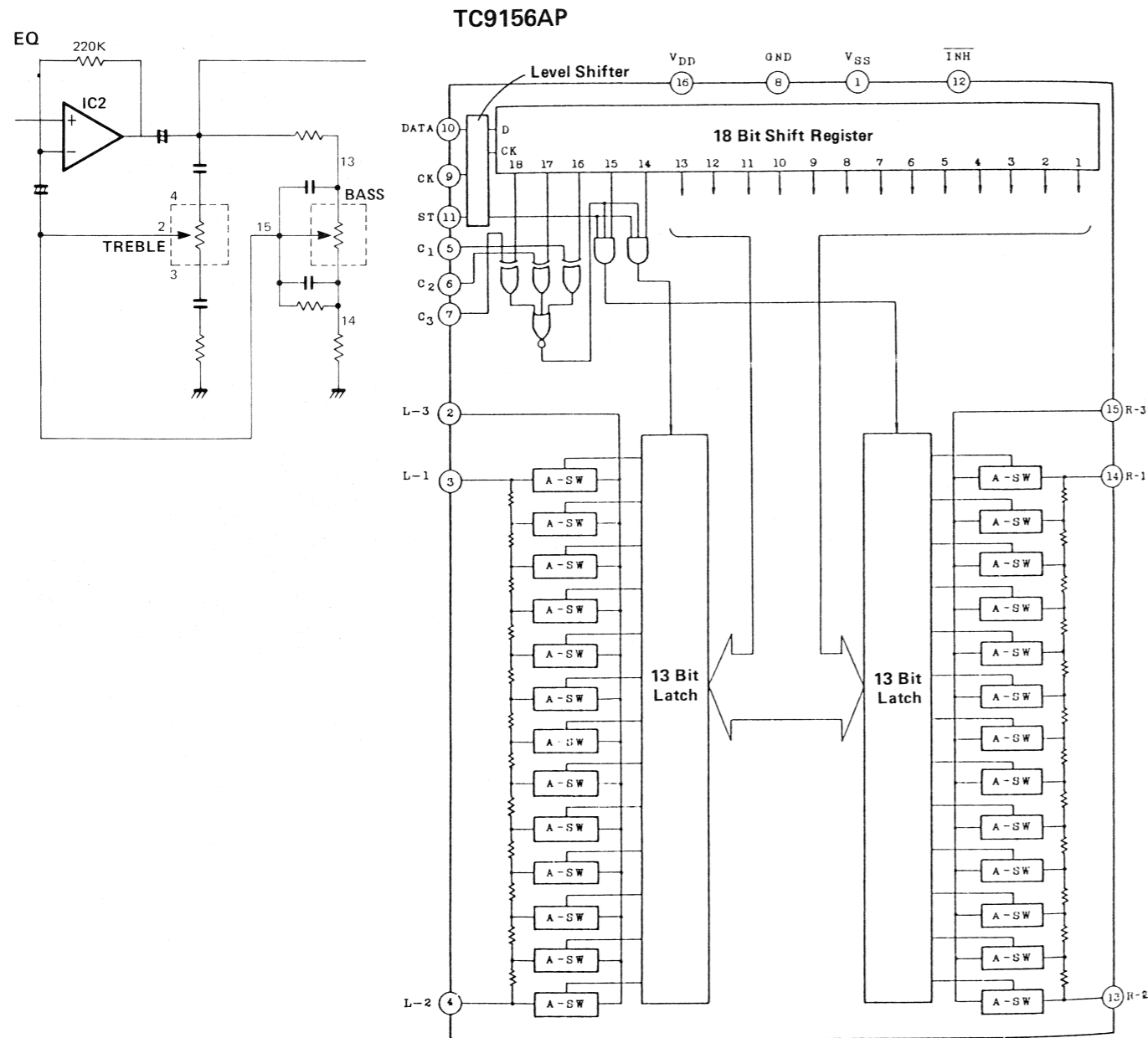
VOICING BOARD

TC9156 has two set of 13 analog switches connecting to 12 resistors, the total value of resistors ranges from 0 to 100k ohms. Every 6 IC1's have a hard-wired identification code on pins 5, 6 and 7, recognizing commonly applied EQ data only when the C1 - C3 code in the data bits match its C1 - C3 code.

イコライザー IC1 TC9156

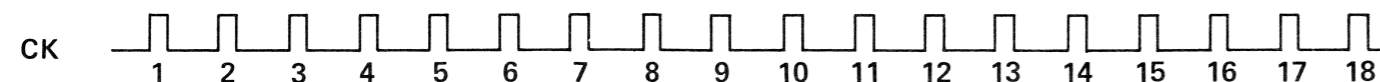
TC9156は12個の抵抗と、13個のアナログ・スイッチからなる回路を2チャンネル持っています。可変範囲は0 - 100KΩ。

メインCPUからは下に示すフォーマットのEQデータが、EXT PORT IC43を通じて、6個のTC9156に共通に加えられます。6個のICには、ハードによるコードがピン5、6、7に与えられています。したがってこのコードがデータ中のチップセレクト(C1、C2、C3)と一致したICのみが、そのデータを認識し、Hビットに対応するアナログスイッチをオンにします。



DATA FORMAT

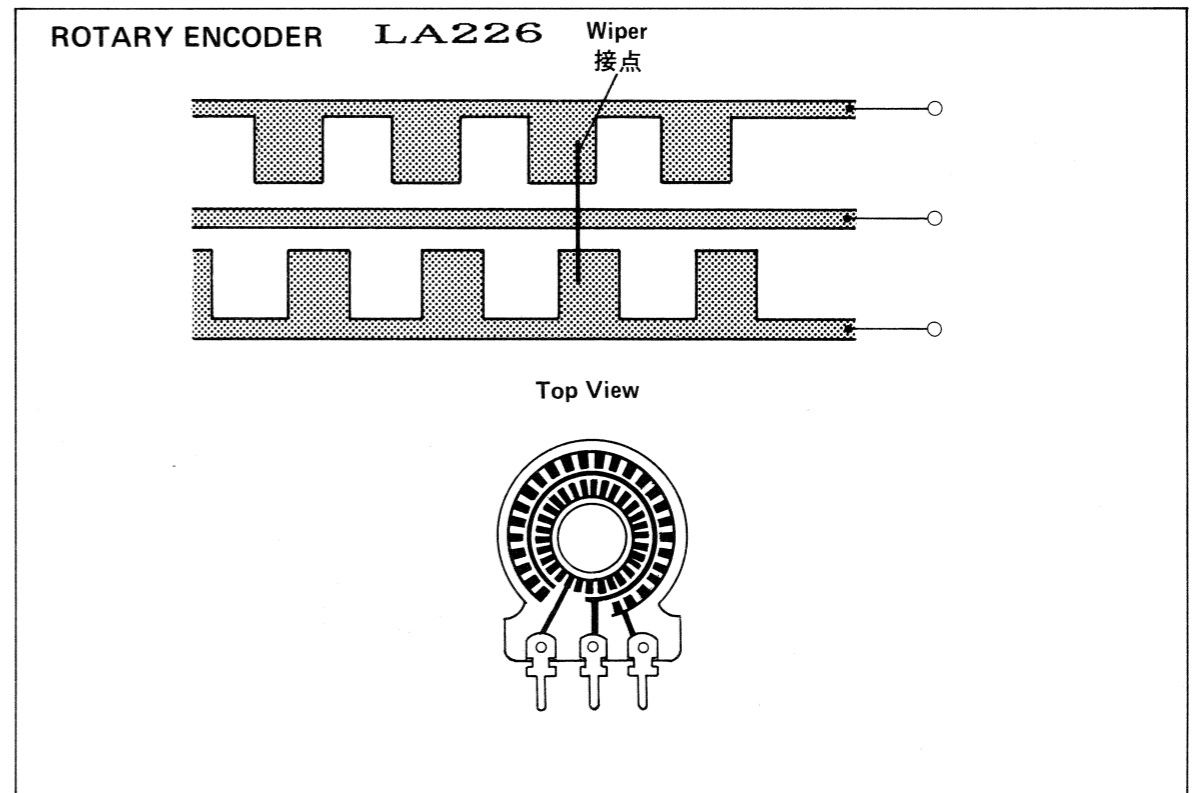
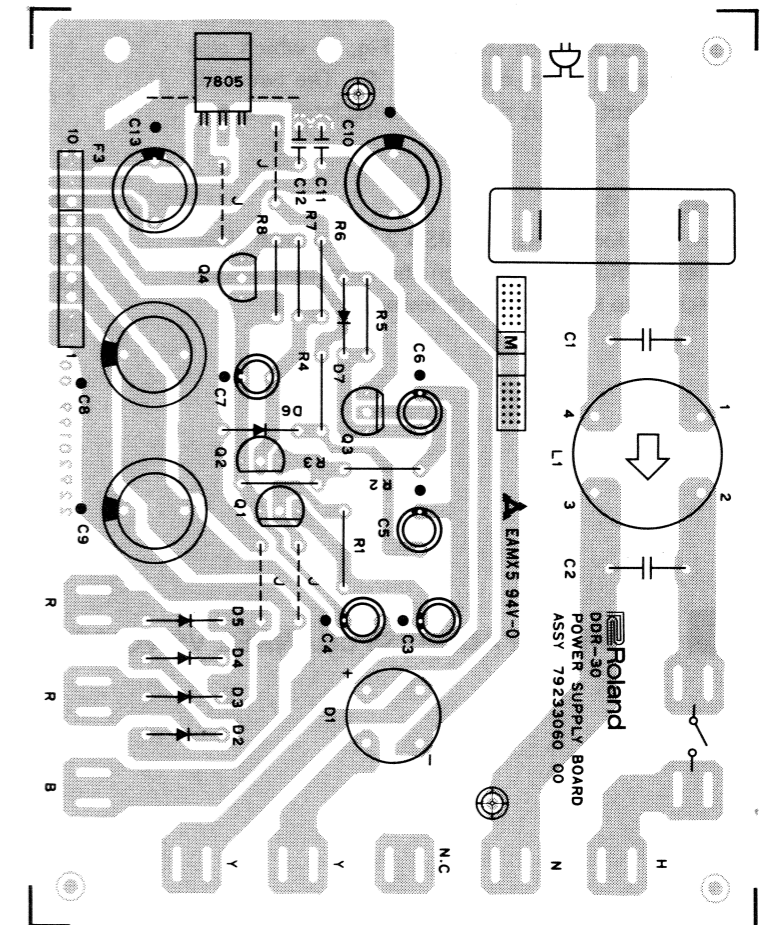
DATA	+6	+5	+4	+3	+2	+1	0	-1	-2	-3	-4	-5	-6	TRE CHL	BASS CHR	Chip Select		
																C ₁	C ₂	C ₃



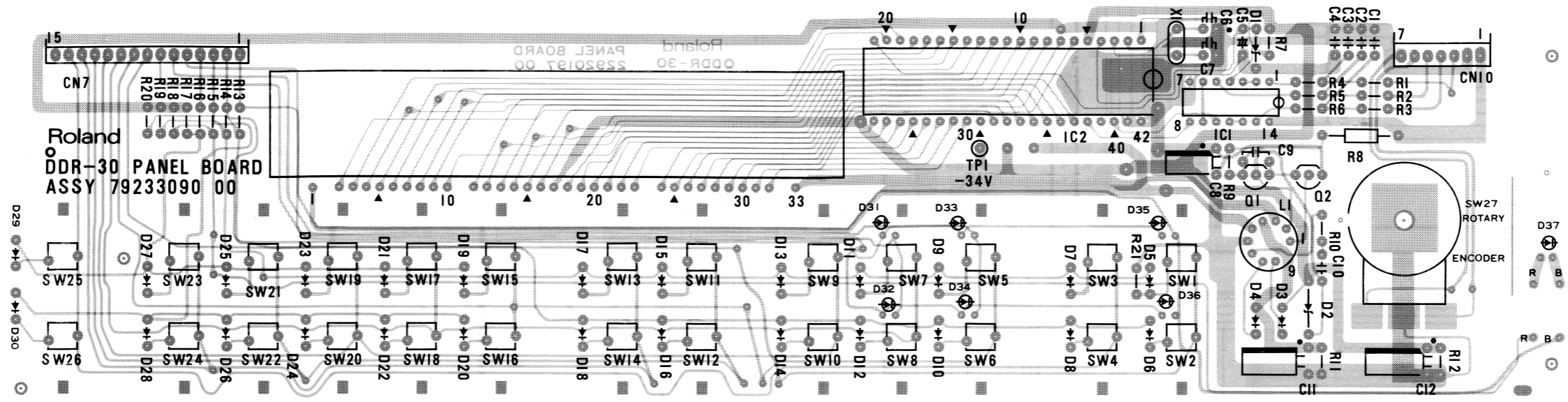
POWER SUPPLY BOARD

7923306000
(pcb 2292019900)

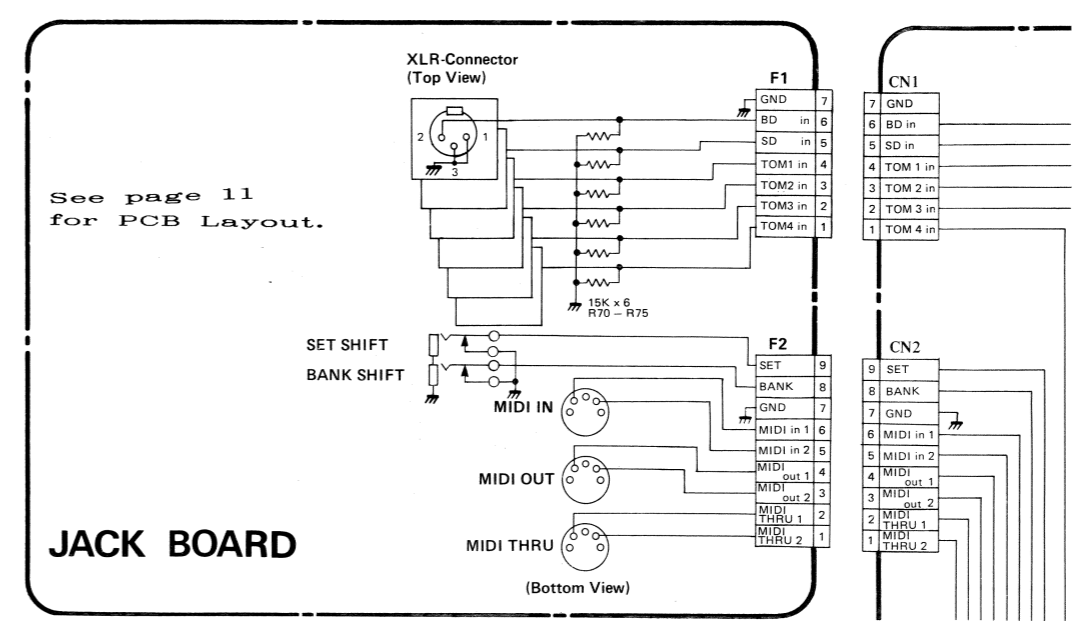
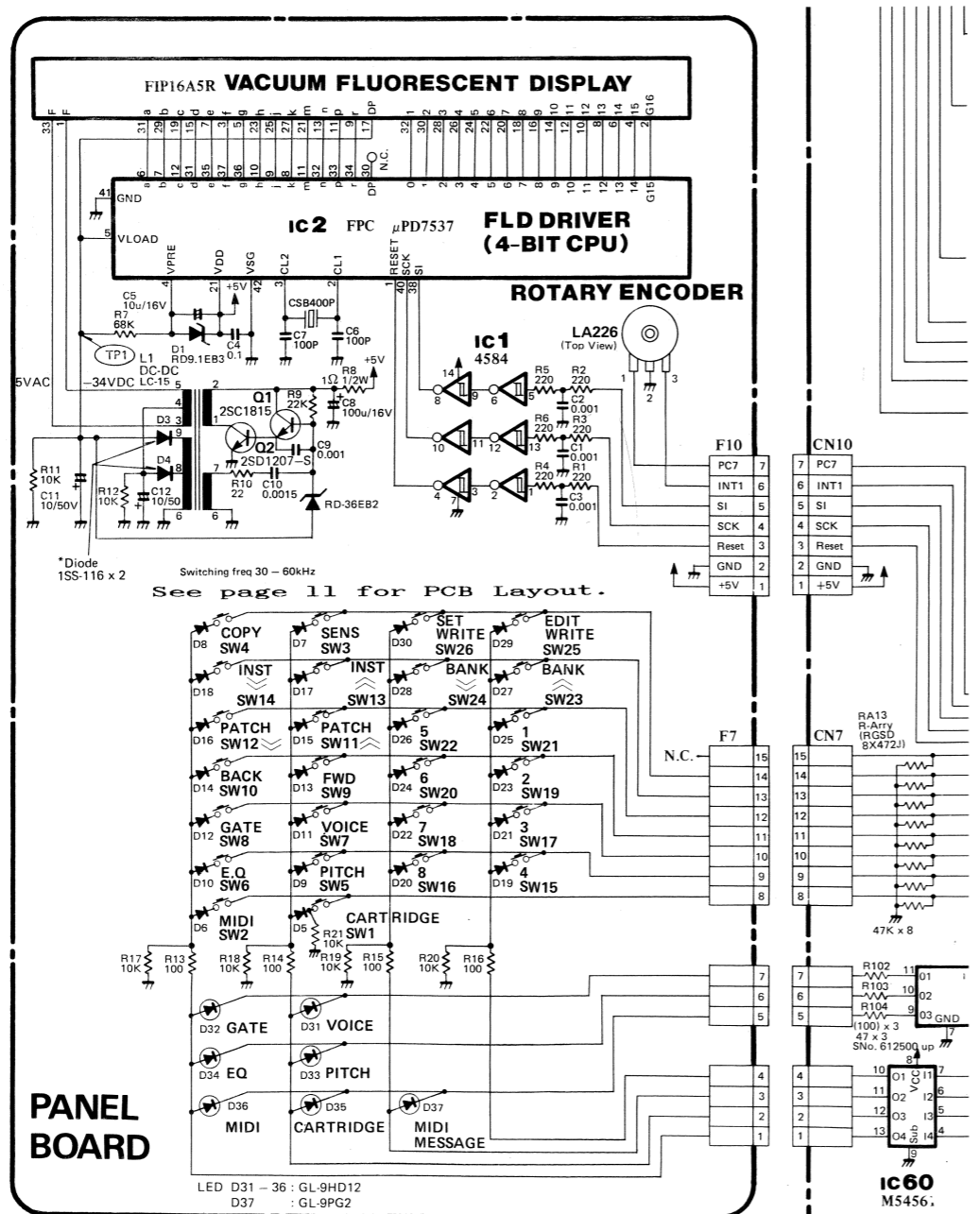
See page 15 for Circuit Diagram.



PANEL BOARD 7923309000 (pcb 2292019700)



CIRCUIT DIAGRAM



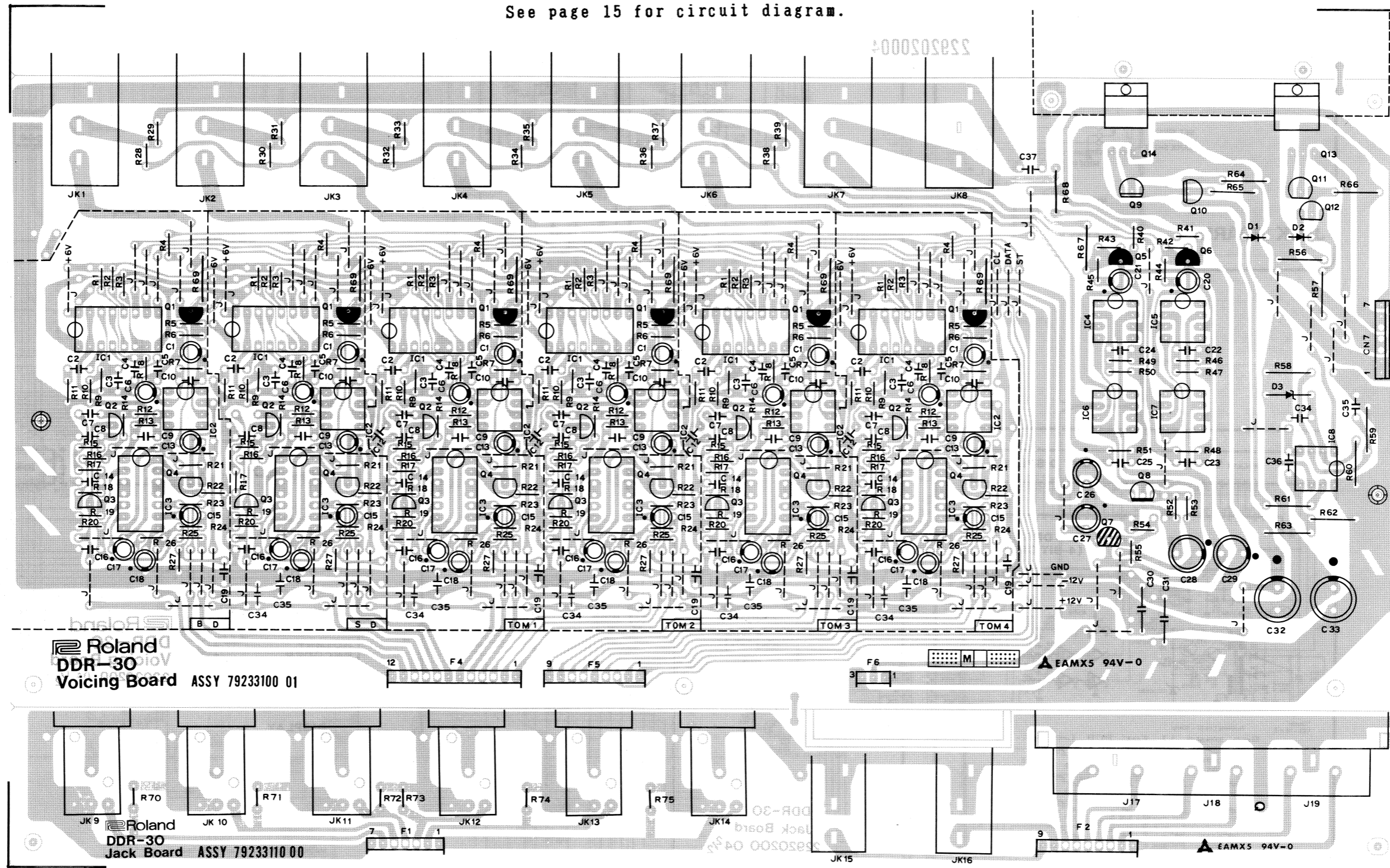
JACK BOARD

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33

VOICING BOARD 7923310001 (pcb 2292020001)

See page 15 for circuit diagram.

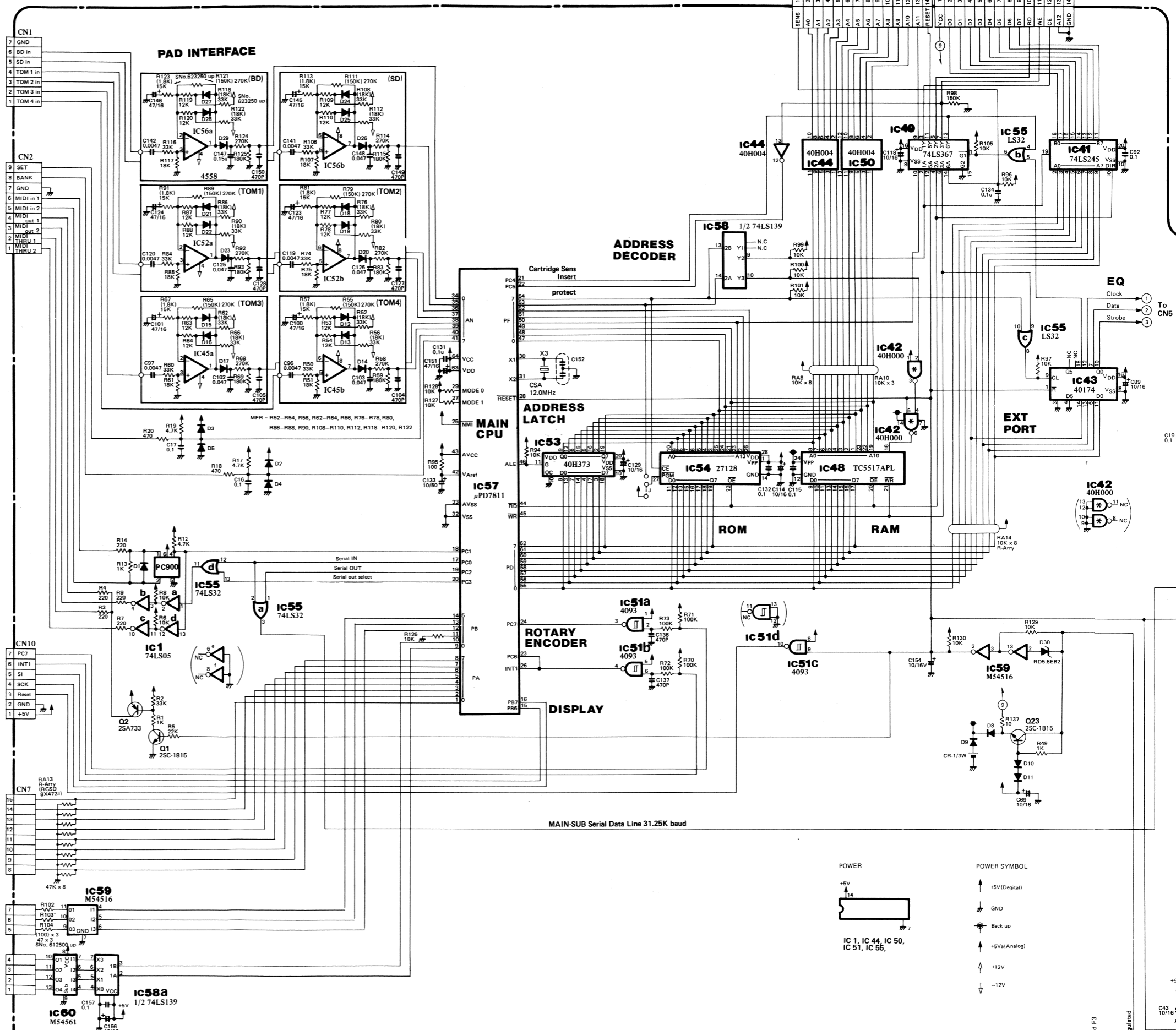
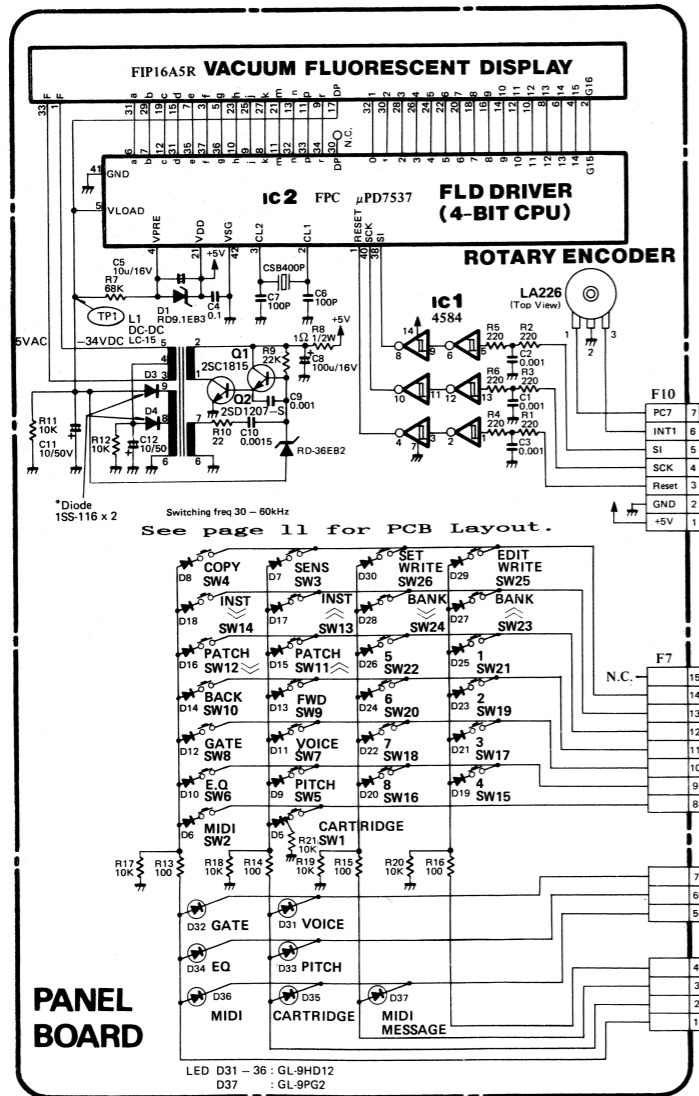
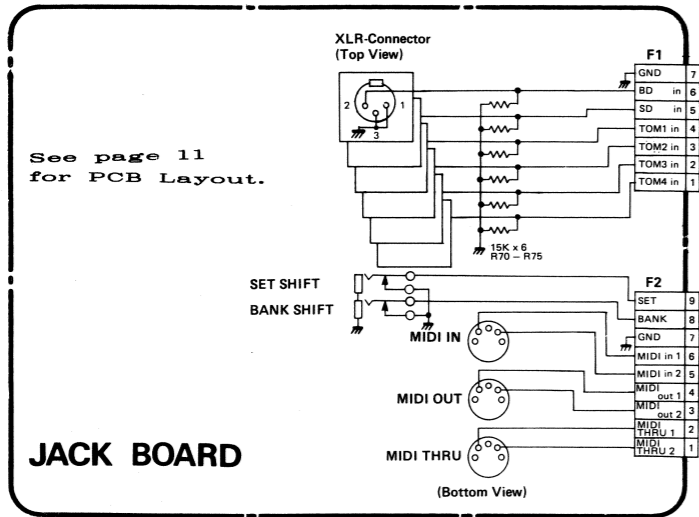


A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U

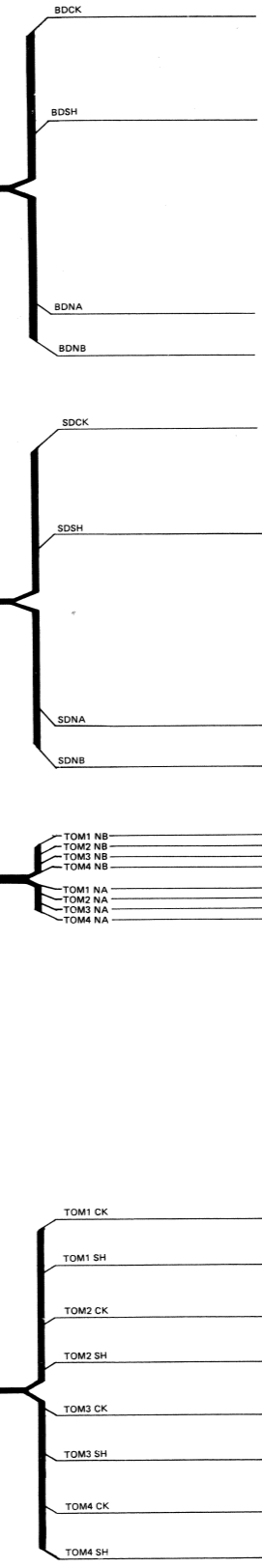
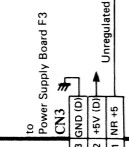
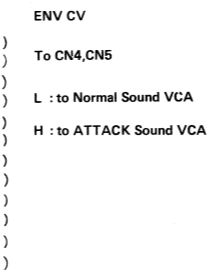
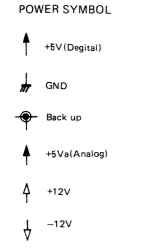
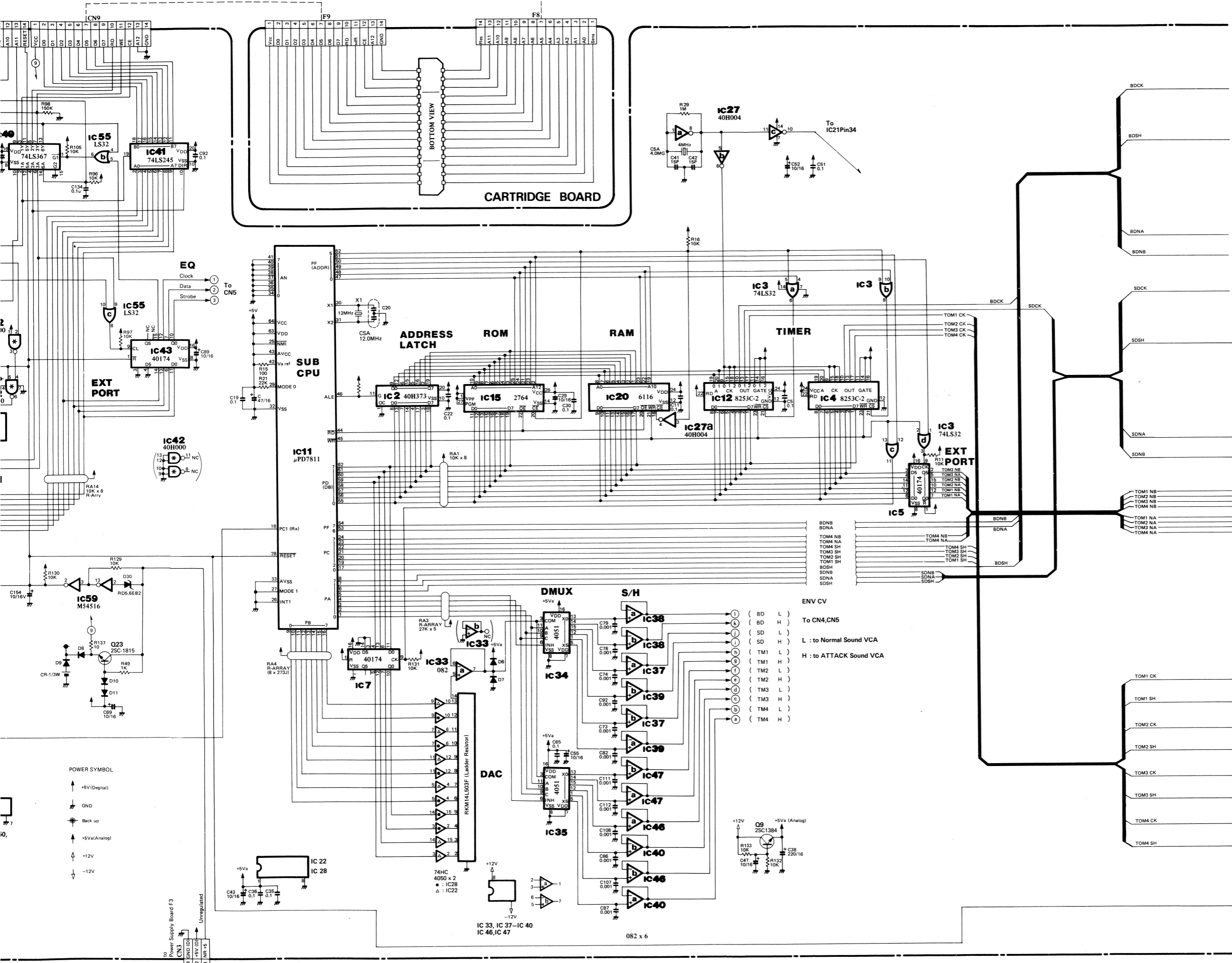
JACK BOARD 7923311000 (pcb 2292020001)

CIRCUIT DIAGRAM

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70



IC 33, IC 37-IC 40
IC 46, IC 47

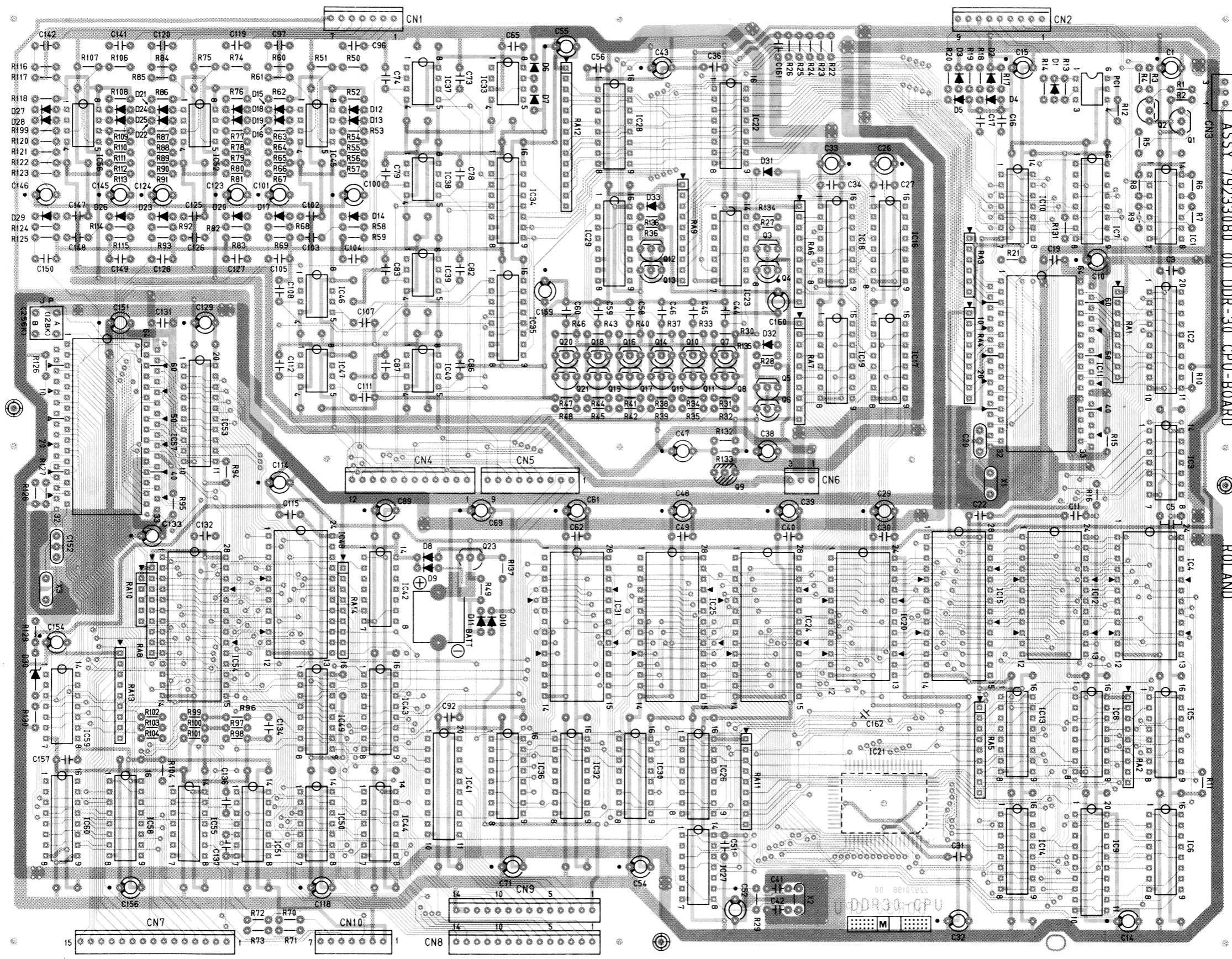
082 x 6

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37

CPU BOARD 792330800 (pcb 2292019800)

2292019802
DDR30-CPU 2292019802 新 版

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



ASSY 79233080 00 DDR-30 CPU-BOARD

ROLAND

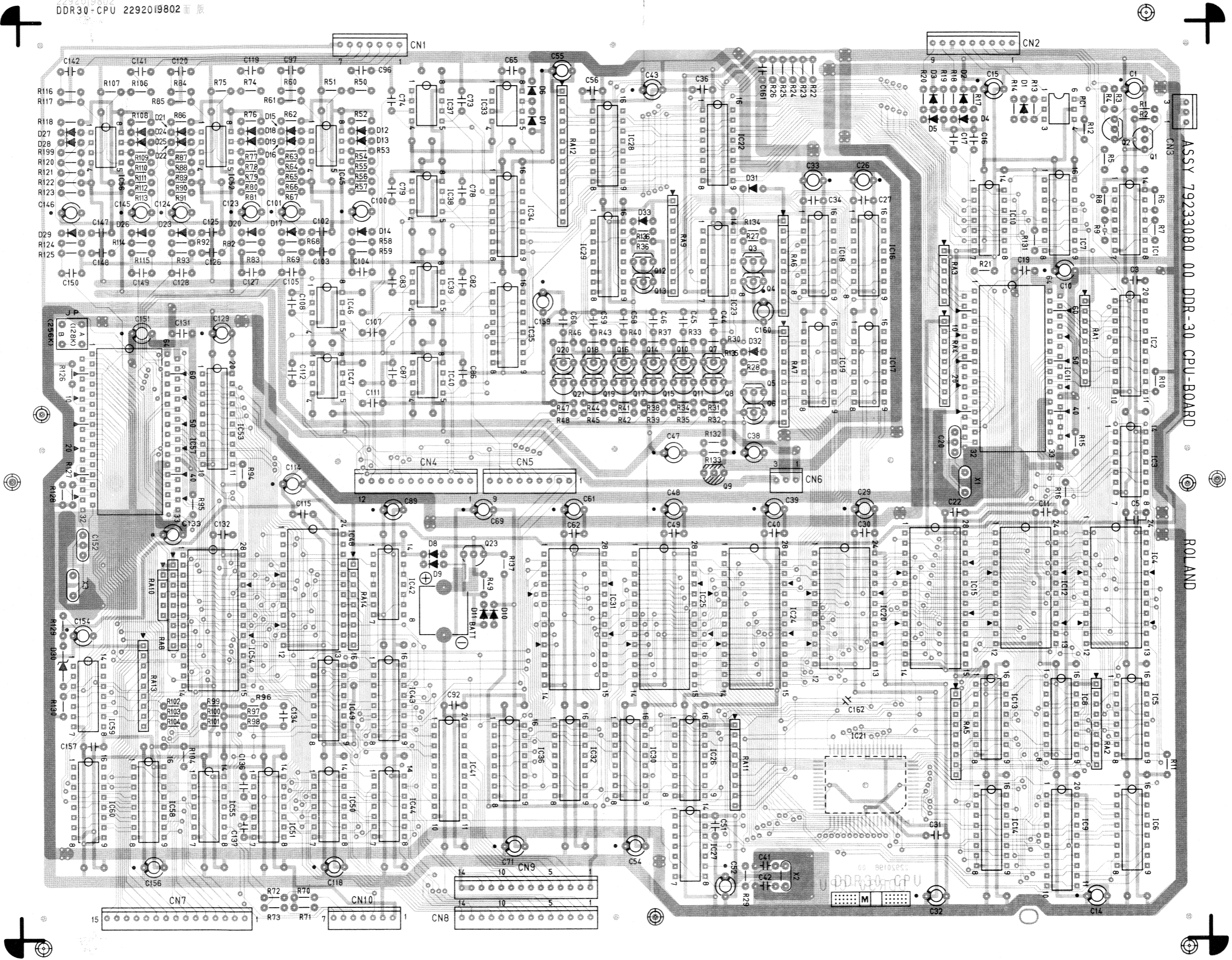
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37

CPU BOARD 792330800 (pcb 2292019800)

This is a duplication of page 13 for convenience.

2292019802
DDR30-CPU 2292019802 圖紙

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



ASSY 79233080 00 DDR-30 CPU-BOARD
ROLAND

See page 11 for PCB layout.

IC DATA

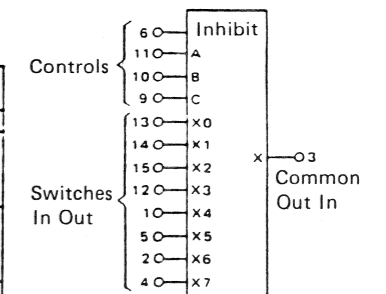
14051B

8-Channel Analog Multiplexer/Demultiplexer

TRUTH TABLE

Control Inputs		ON Switches			
Inhibit	Select	MC14051B	MC14052B	MC14053B	
0	0 0 0	X0	Y0	Z0	Y0 X0
0	0 0 1	X1	Y1	X1	Z0 Y0 X1
0	0 1 0	X2	Y2	X2	Z0 Y1 X0
0	0 1 1	X3	Y3	X3	Z0 Y1 X1
0	1 0 0	X4			Z1 Y0 X0
0	1 0 1	X5			Z1 Y0 X1
0	1 1 0	X6			Z1 Y1 X0
0	1 1 1	X7			Z1 Y1 X1
1	x x x	None	None	None	

X = Don't Care

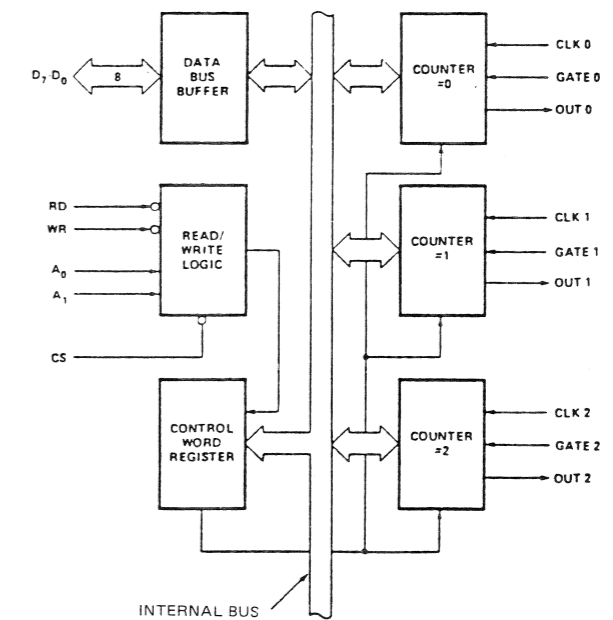


VDD = Pin16
VSS = Pin8
VEE = Pin7

8253/8253-5

PROGRAMMABLE INTERVAL TIMER

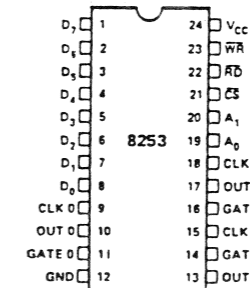
BLOCK DIAGRAM



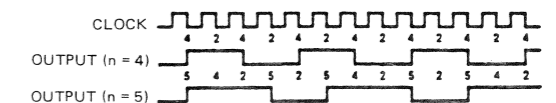
PIN NAMES

D ₇ , D ₀	DATA BUS 18 BIT!
CLK N	COUNTER CLOCK INPUTS
GATE N	COUNTER GATE INPUTS
OUT N	COUNTER OUTPUTS
RD	READ COUNTER
WR	WRITE COMMAND OR DATA
CS	CHIP SELECT
A ₂ , A ₁	COUNTER SELECT
V _{CC}	+5 VOLTS
GND	GROUND

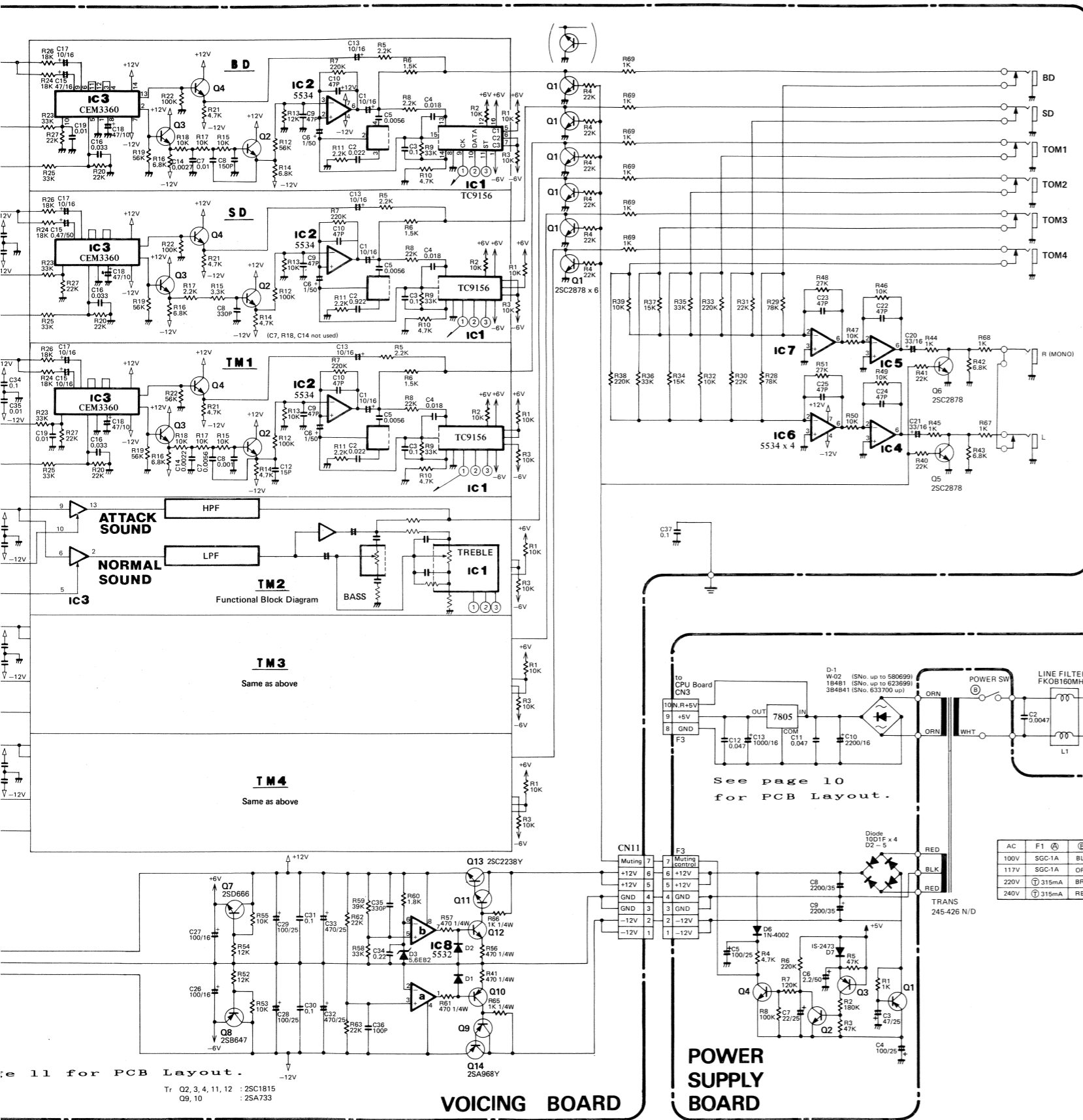
PIN CONFIGURATION



SQUARE WAVE GENERATOR



A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U



See page 11 for PCB layout.

Tr Q2, 3, 4, 11, 12 : 2SC1815
Q9, 10 : 2SA733

VOICING BOARD

POWER SUPPLY BOARD

See page 10 for PCB layout.

Roland®

17059184

UPC

17059184



1096:

Roland®