

CHAPITRE V MAINTENANCE

GENERALITES

Le développement technologique en matière d'électronique a contribué à fabriquer des instruments plus performants et à fonctions multiples, dont la conception interne, la plus souvent de type modulaire, se caractérise par une complexité supérieure et un encombrement moindre dûs à la réduction du nombre de composants.

L'incidence de cette évolution s'est également répercutée sur la maintenance des produits qui selon le type et le degré de sophistication peuvent poser des problèmes au niveau du dépannage.

Néanmoins le développement et les possibilités de certains composants permettent désormais d'associer aux instruments un système d'auto-test dont le but est de faciliter la maintenance en concourant à une détermination plus rapide du sous-ensemble défectueux.

7100 - STRUCTURE INTERNE

Le générateur VHF/UHF ADRET 7100 est un appareil conçu à partir de sous-ensembles modulaires, se présentant sous la forme soit de cartes enfichables reliées entre-elles par un circuit porteur soit de modules en alliage léger. Cette dernière forme s'applique aux circuits HF pour permettre, du fait des niveaux de fonctionnement élevés, de conserver les caractéristiques de rapport signal/bruit, tout en assurant une parfaite isolation des circuits pour supprimer la génération de raies parasites. La structure interne du générateur, obtenue par l'assemblage de cartes et modules, offre de nombreux avantages parmi lesquels certains se rapportent à la maintenance de l'appareil :

- Eviter l'immobilisation du produit en substituant au sous-ensemble défectueux une carte ou un module de fonction identique.

- Faciliter l'accès aux circuits d'élaboration par la mise sur prolongateur des sous-ensembles.

- Contrôler plus rapidement les informations d'entrées/sorties suivant le découpage des fonctions etc.

D'autre part, la maintenance est simplifiée par l'adjonction d'un dispositif d'auto-test géré par le microprocesseur. Ce système validé lors d'une procédure de dépannage indique suivant un ordre numérique correspondant à des niveaux de test déterminés l'insuffisance de niveau sur un point précis de l'appareil.

Les renseignements obtenus à partir des informations données par l'auto-test ne suffisent pas pour établir avec certitude le mauvais fonctionnement d'un sous-ensemble mais par contre, ils sont nécessaires pour déceler et localiser la partie de l'instrument en panne.

CHAPTER V MAINTENANCE

GENERAL

Developments in electronic equipment technology have led to the introduction of instruments offering higher performance and multiple functions. The internal design of such instruments is usually modular, being characterised by increased complexity within reduced dimensions, due to the reduced number of components used.

These developments have also affected maintenance, and there may now be severe problems in troubleshooting such equipments, according to the type and degree of sophistication.

It is now possible, however, to develop automatic testing systems for such instruments, designed to facilitate maintenance by providing a fast diagnosis of the subsystem which has failed.

7100 - INTERNAL STRUCTURE

The ADRET 7100 VHF/UHF signal generator is a modular instrument comprising cards which plug into a mother card and plug-in modules in light alloy enclosures. This form of packaging is used for HF circuits to maintain signal/noise ratio specifications in spite of the high operating levels, while totally isolating the circuits to prevent generation of interference.

The use of plug-in cards and modules offers a number of advantages, some of which are relevant to maintenance:

- *Downtime is minimised by substituting a good card or module for that found to be faulty.*

- *Easy access to the generator circuits is obtained through the use of plug-in card extenders.*

- *Input/output data is quickly checked through the subdivision and separation of machine functions, etc...*

Maintenance is further simplified by the inclusion of a self-test system controlled by the inbuilt microprocessor. This system is enabled when troubleshooting and indicates in numerical order corresponding to predetermined test levels any discrepancy in terms of signal and voltage levels at precisely identified points in the circuit.

The self-test results are not sufficient to produce a definite diagnosis of a subsystem malfunction, but are needed to enable that part of the instrument which has failed to be identified and located.

UNE CONCEPTION INTERNE MODULAIRE... MODULAR DESIGN...

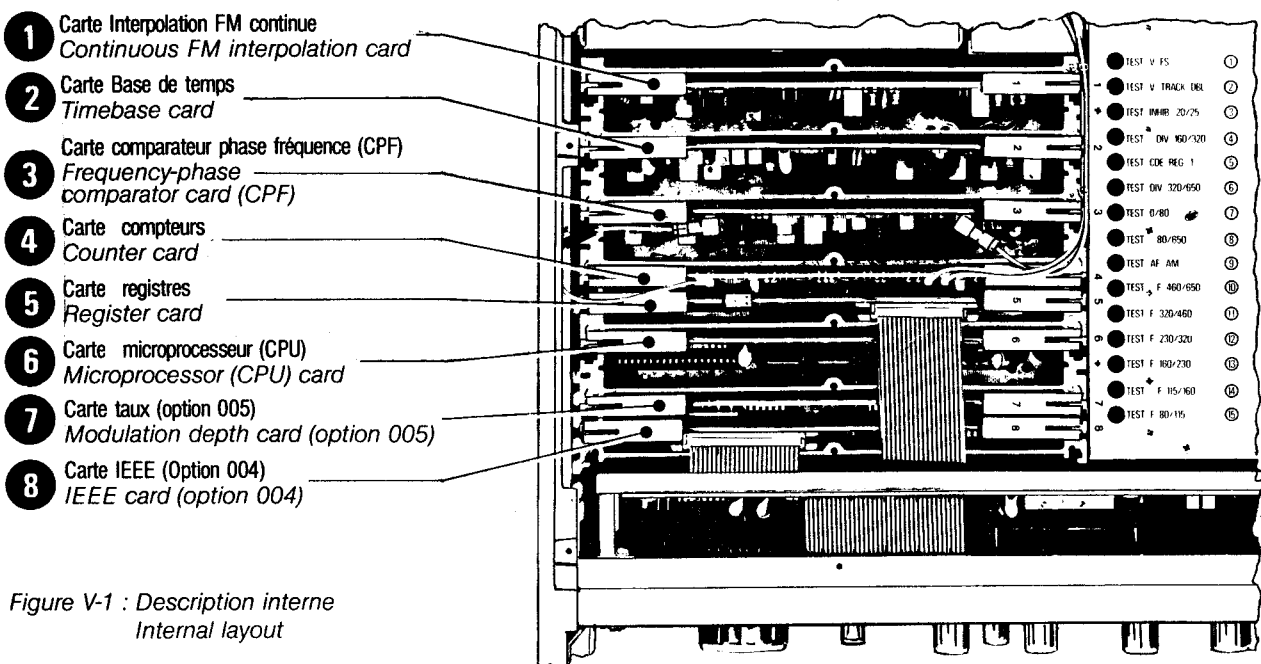
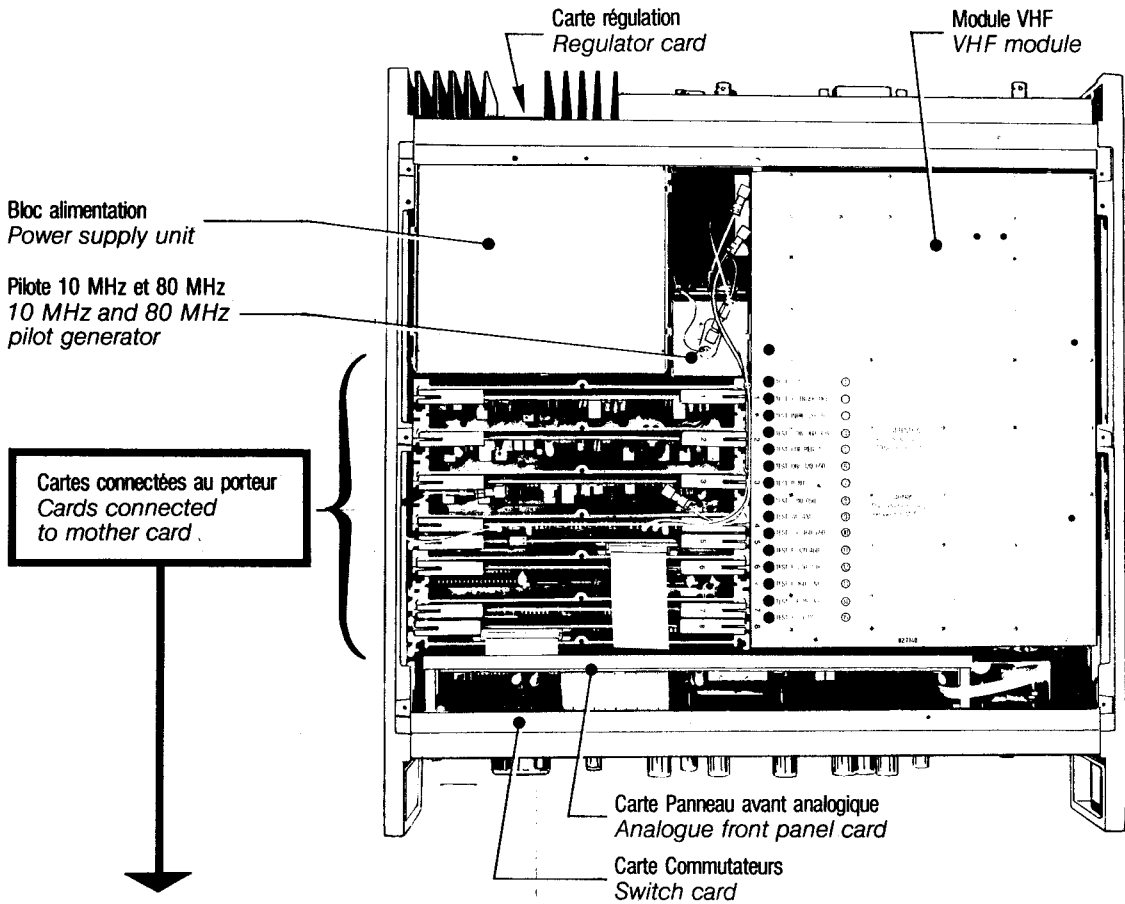


Figure V-1 : Description interne
Internal layout

... POUR UNE MEILLEURE INTERCHANGEABILITE
...FOR ENHANCED INTERCHANGEABILITY

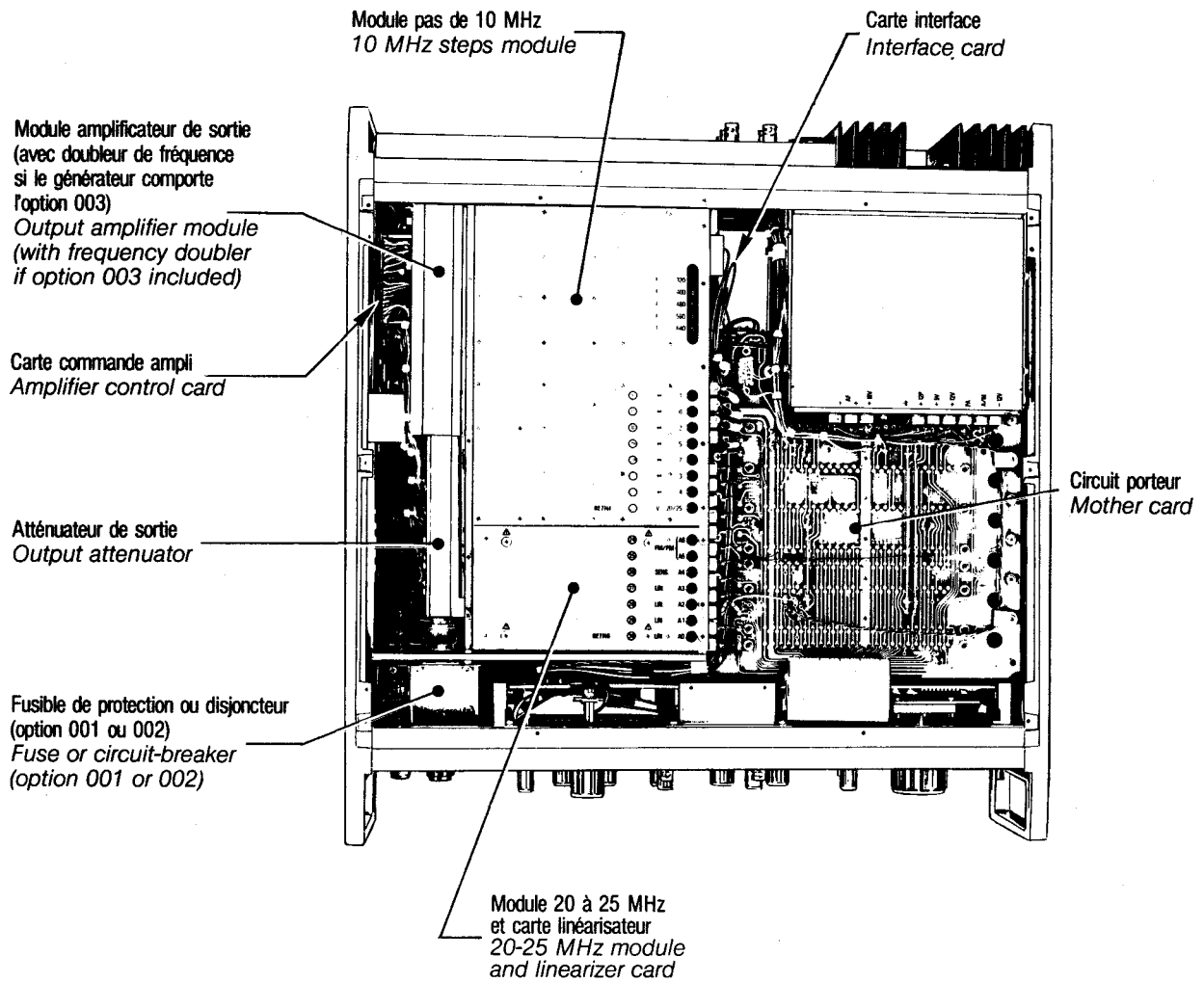


Figure V-2 : Description interne / Internal layout

PROCEDURE DE DÉPANNAGE

TROUBLESHOOTING PROCEDURE

Le chapitre maintenance est divisé en deux parties distinctes correspondant à une étape précise dans la progression du dépannage.

La première consiste à localiser la partie défectueuse de l'instrument.

— Le défaut de fréquence ou de niveau est recherché au moyen de la fonction AUTO-TEST du générateur et d'un synoptique de défaillance.

— Le défaut de modulation AM FM ou Φ M est décelé à partir d'un synoptique de défaillance précédé du synoptique de fonctionnement correspondant.

La seconde est constituée de «dossiers» séparés et très complets qui se rapportent exclusivement à chacun des sous-ensembles du 7100. Ces différents documents permettent la réparation de la carte ou du module en fournissant un grand nombre de renseignements relatifs à la description, le repérage, les réglages et autres.

A titre d'exemple pour la carte «INTERPOLATEUR -FM CONTINUE» il est donné :

- Une description du sous-ensemble
- Le repérage des composants
- Le repérage du connecteur de liaison
- Le synoptique de défaillance
- Les réglages à effectuer en cours de réparation
- Les réglages à reprendre pour calibrer le sous-ensemble remplacé ou non (ces réglages pouvant servir de moyen de contrôle de la carte)
- Le schéma électrique
- La nomenclature

La maintenance du produit est considérée comme achevée lorsque les deux étapes ont été franchies par le technicien. Dès lors l'appareil peut à nouveau fonctionner normalement mais il est recommandé de se reporter au dernier chapitre intitulé «CONTROLE FINAL» afin de vérifier les performances du générateur et permettre ainsi de les garantir dans l'exploitation du 7100.

LOCALISATION DES PANNES

ANOMALIES DE FREQUENCE ET DE NIVEAU

Le défaut ou l'absence de la fréquence ou du niveau est décelé au moyen de l'auto-test incorporé dont le but est d'une part, de prévenir l'utilisateur contre les mauvaises manipulations et d'autre part, de faciliter la maintenance du générateur, en contrôlant le fonctionnement des trois boucles d'asservissement et les principaux niveaux internes.

Pour cela, un signe moins (—) permanent ou clignotant apparaît sur les forts poids de l'affichage de fréquence pour indiquer respectivement une interdiction de l'utilisation en cours et le déverrouillage de l'une des trois boucles.

Pour satisfaire à ces deux conditions, le générateur 7100 remplit la fonction SR 1 de la norme IEEE 488, en émettant le signal SRQ (service request ou demande d'interruption) sur le bus lorsque l'une de ces deux conditions se produit.

D'une manière générale, le défaut de fonctionnement en fréquence ou en niveau nécessite de valider l'auto-test et de vérifier tout les points de contrôle suivant la procédure fournie à partir du synoptique de défaillance page V-8

This chapter on maintenance is in two parts, each corresponding to a specific stage in the troubleshooting procedure.

The first stage is to locate that part of the instrument which is faulty :

- *Frequency and level faults are located using the generator self-test function and a troubleshooting chart.*
- *Amplitude, frequency and phase modulation faults are detected with reference to a troubleshooting chart which relates to a functional block schematic.*

The second part of this chapter comprises separate and comprehensive sections each relating to a specific subsystem of the 7100. Each of these sections contains all information needed to repair the card or module concerned, incorporating a full description, component identification, recalibration details and general information.

For example, the information given for the continuous FM interpolator card comprises :

- *subsystem description,*
- *component identification,*
- *connector pin-out,*
- *troubleshooting chart,*
- *adjustments to be carried out during repair,*
- *calibration adjustments (these may be used to test the card),*
- *electrical circuit diagram,*
- *parts list.*

Maintenance is completed when both stages have been carried out by the service technician. This will return the instrument to normal operating conditions, but nevertheless reference should be had to the final chapter "FINAL TESTS" which details how to verify the performance of the instrument.

TROUBLESHOOTING

FREQUENCY AND LEVEL FAULTS

Incorrect and absent frequencies and levels are detected by the built-in self-test facility, the function of which is to advise users of misoperations and to facilitate generator maintenance by monitoring the operation of the three phase-lock loops and the principal internal levels. A minus sign (—) appears at the least significant bit end of the frequency display, remaining on steady to indicate that the selected function is prohibited or flashing to indicate that one of the loops is no longer locked on.

The 7100 generator implements function SR1 of the IEEE 488 standard by sending the service request signal SRQ on the bus when either of these two conditions occurs.

Generally speaking, a frequency or level fault requires the self-test facility to be enabled and all test points to be checked out according to the procedure specified in the troubleshooting chart on page V-8.

AUTO-TEST

La validation du dispositif d'auto-test permet de vérifier le fonctionnement interne du générateur en contrôlant le niveau de 11 points test décrits dans le tableau ci-dessous et dont la localisation est montrée sur le synoptique détaillé de l'instrument, page V - 16.

N° Test	Fonction	Localisation du test
00	2 MHz ou 2 MHz \pm ϵ issu du VERNIER	Comparateurs phase-fréquence
01	Sortie FP/40 (FP désigne la fréquence de l'oscillateur 300 à 670 MHz)	Pas de 10 MHz
02	Sortie 300 à 670 MHz	Pas de 10 MHz
03	Tension de régulation 1 du module VHF	Interface
04	Sortie 20 à 25 MHz	Carte interconnexions
05	Sortie FS/40 (FS désigne la fréquence de l'oscillateur 320 à 650 MHz)	VHF
06	Sortie 400 MHz	Pas de 10 MHz
07	Battement 20/25 MHz	VHF
08	Asservissement à 1 kHz de l'oscillateur 20 à 25 MHz	Compteurs
09	Battements 4 MHz	Comparateurs phase-fréquence
10	Asservissement FS/FP	Comparateurs phase-fréquence
11	Disjoncteur ouvert (à partir de la série B7)	Disjoncteur option 002

A ces douze points test sont associés 6 voyants qui complètent l'efficacité du dispositif d'auto-test en visualisant, le non asservissement du signal contrôlé par le test 08, en déterminant pour le test 10 le signal défectueux FP ou FS et en indiquant l'état de fonctionnement du microprocesseur. L'emplacement des voyants de contrôle ainsi que celui de l'interrupteur «TEST» sont repérés sur la Figure V-3.

SELF-TEST

Enabling the self-test facility verifies the internal operation of the generator by checking the level at 11 test points (see table below), the locations of which are specified on the detailed block schematic of the instrument, page V-16.

Test No	Function	Card or module
00	2 MHz or 2 MHz \pm ϵ from VERNIER	Phase-frequency comparators
01	FP/40 output (FP designates 300 - 670 MHz oscillator output frequency)	10 MHz steps
02	300 - 670 MHz output	10 MHz steps
03	VHF module regulation voltage 1	Interface
04	20 - 25 MHz output	Interconnection card
05	Output FS/40 (FS designates 320 - 650 MHz oscillator output frequency)	VHF module
06	400 MHz output	10 MHz steps
07	20/25 MHz sum/difference frequency	VHF module
08	Locking of 20 - 25 MHz oscillator to 1 kHz	Counters card
09	4 MHz sum/difference frequency	Phase-frequency comparators
10	FS and FP, lock-on	Frequency-phase comparators
11	Circuit-breaker open (from series B7)	Circuit-breaker option 002

Associated with these 12 test points are six indicator lamps which show that the signal monitored in test 08 is not locked on, which signal is faulty (FP or FS) and the microprocessor operational status (test 10). The positions of these indicator lamps and the "TEST" switch are shown on Figure V-3.

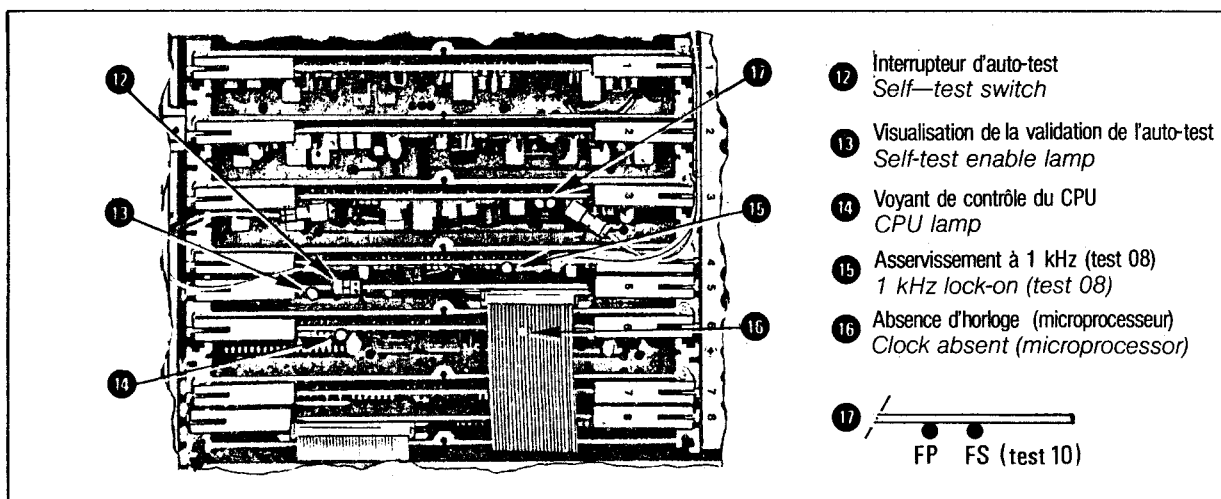


Figure V-3 : Localisation des voyants de contrôle / Layout of test indicator lamps

- Le voyant «CPU» clignote pendant chaque intervention du microprocesseur la phase d'exploration étant déclenchée par toute manipulation des commandes du panneau AVANT.
- Le voyant «absence d'horloge» s'allume si le signal d'horloge de l'élément de gestion est incorrect.
- Le voyant «asservissement à 1kHz» s'allume lorsque le test 08 est négatif.
- Les voyants «FP-FS» dans le cas où le test 10 est négatif, indiquent le signal responsable du déverrouillage de la boucle. Le voyant FS s'allume lorsque le signal issu de l'oscillateur 320/650 MHz est défectueux, par contre les deux voyants allumés correspondent à un défaut du signal en provenance de l'oscillateur 300/670 MHz.

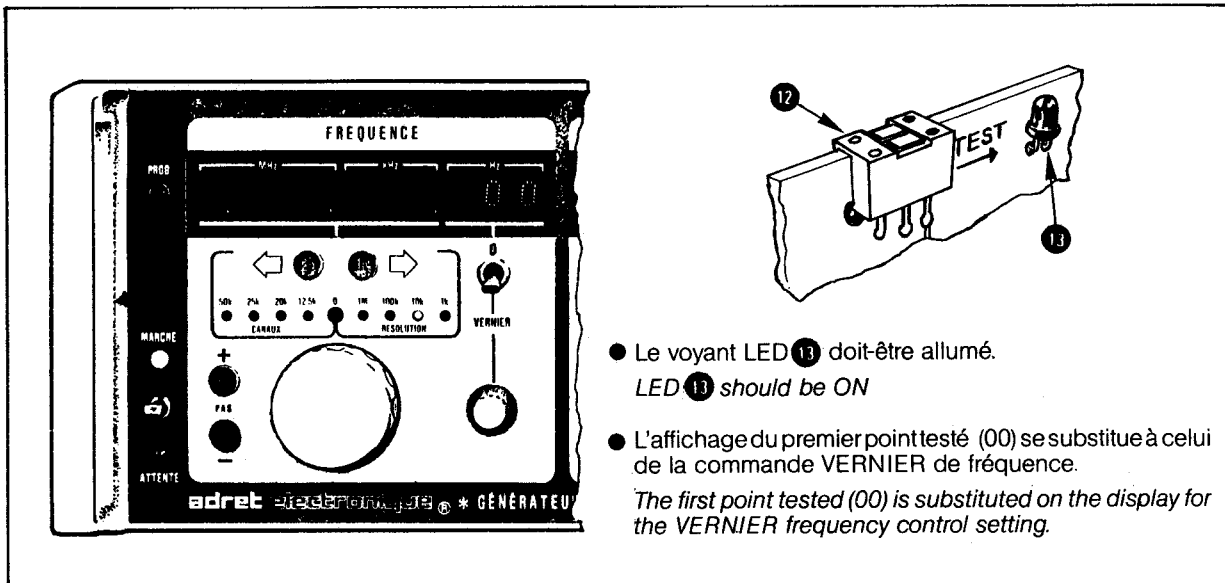
The CPU indicator lamp flashes whenever the micro-processor is activated, the scanning phase being triggered by any operation of the front panel controls.
 The "clock absent" lamp comes on if the clock signal from the controlling unit is incorrect.
 The "1 kHz lock-on" lamp comes on when the result of test 08 is negative.
 The "FP-FS" lamps indicate which signal is responsible for the negative result of test 10. Lamp "FS" comes on when it is the output signal of the 320/650 MHz oscillator. Both lamps come on when it is the output signal of the 300/670 MHz oscillator.

VALIDATION DE L'AUTO-TEST.

SELF-TEST ENABLING

- Positionner le générateur dans la configuration de test, les paramètres à déterminer sont la fréquence, le niveau de sortie et le mode de fonctionnement.
 Fréquence à 79 MHz.
 Niveau de sortie à +13 dBm/50 Ω
 Mode de fonctionnement sur CW
- Enlever le panneau supérieur de l'instrument.
- Valider le dispositif d'auto-test à l'aide de l'interrupteur test 12 situé sur la carte REGISTRES.

Set up the test configuration. The parameters to be specified are the frequency, output level and operating mode.
 Frequency : 79 MHz.
 Output level : +13 dBm/50 ohms.
 Operating mode : CW.
 Remove the instrument top panel.
 Enable the self-test facility by means of test switch 12 on the REGISTERS card.



- Le voyant LED 13 doit être allumé.
 LED 13 should be ON
- L'affichage du premier point testé (00) se substitue à celui de la commande VERNIER de fréquence.
 The first point tested (00) is substituted on the display for the VERNIER frequency control setting.

Figure V-4 : Validation de l'Auto-test / Self-test enabling

CONTROLE MANUEL (Mode Local)

MANUAL TEST (local mode)

- Allumer le voyant de résolution «0» à l'aide des poussoirs 24.
- Contrôler les points test 00 à 11 à l'aide des poussoirs 22. Le numéro du point testé apparaît sur les poids 10⁰ et 10¹ Hz de l'affichage 1; le ou les niveaux non conformes sont indiqués par un signe moins (-) sur le poids 10² Hz.
- Noter les tests négatifs et se reporter au synoptique de pannes, page V-8 pour localiser la partie défectueuse du générateur.

Press pushbuttons 24 so that the resolution lamp "0" comes on.
 Press pushbuttons 22 to verify test points 00 to 11. The test point number is shown on the 10⁰ and 10¹ Hz digits of the display 1 and one or more out-of-limits values are indicated by a minus sign (-) on the 10² Hz digit.
 Note negative test results and refer to the troubleshooting chart on page V-8 to identify the faulty section of the generator.

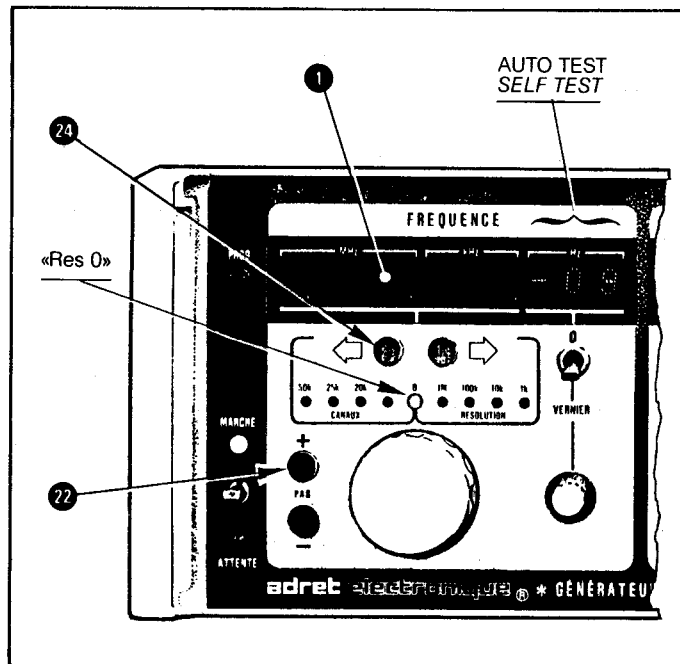


Fig. V-5 contrôle manuel / manual test

CONTROLE A DISTANCE. (Mode Programmé)

L'interrogation des points test se fait à partir du contrôleur connecté à l'arrière de tout générateur doté de l'option 04 ou des options 04 et 05.

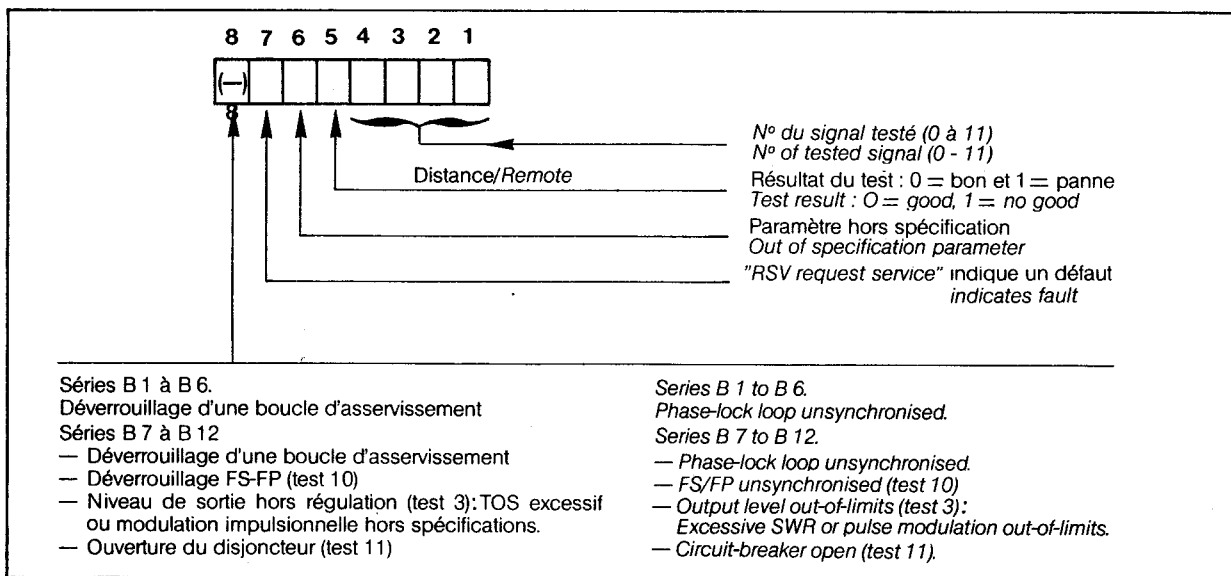
- Programmer sur le contrôleur le préfixe «T» suivi d'un nombre de 0 à 11 correspondant au point test à vérifier.
- Un octet d'état (status byte) est délivré au contrôleur selon le procédé de reconnaissance série (sériall polling) le format de cet octet est le suivant :

REMOTE TEST (programmed mode)

The test points are interrogated by means of a controller connected to the rear of any generator fitted with option 04 or options 04 and 05.

At the controller enter prefix "T" followed by a number from 0 to 11 specifying the test point to be verified.

A status byte is output to the controller as a result of the serial polling process, this byte having the following format:



La lecture de l'état (sériall polling) s'effectue sur le bit 4 de l'octet de status, le résultat étant «0» pour un contrôle positif et «1» pour marquer la défaillance du point testé.

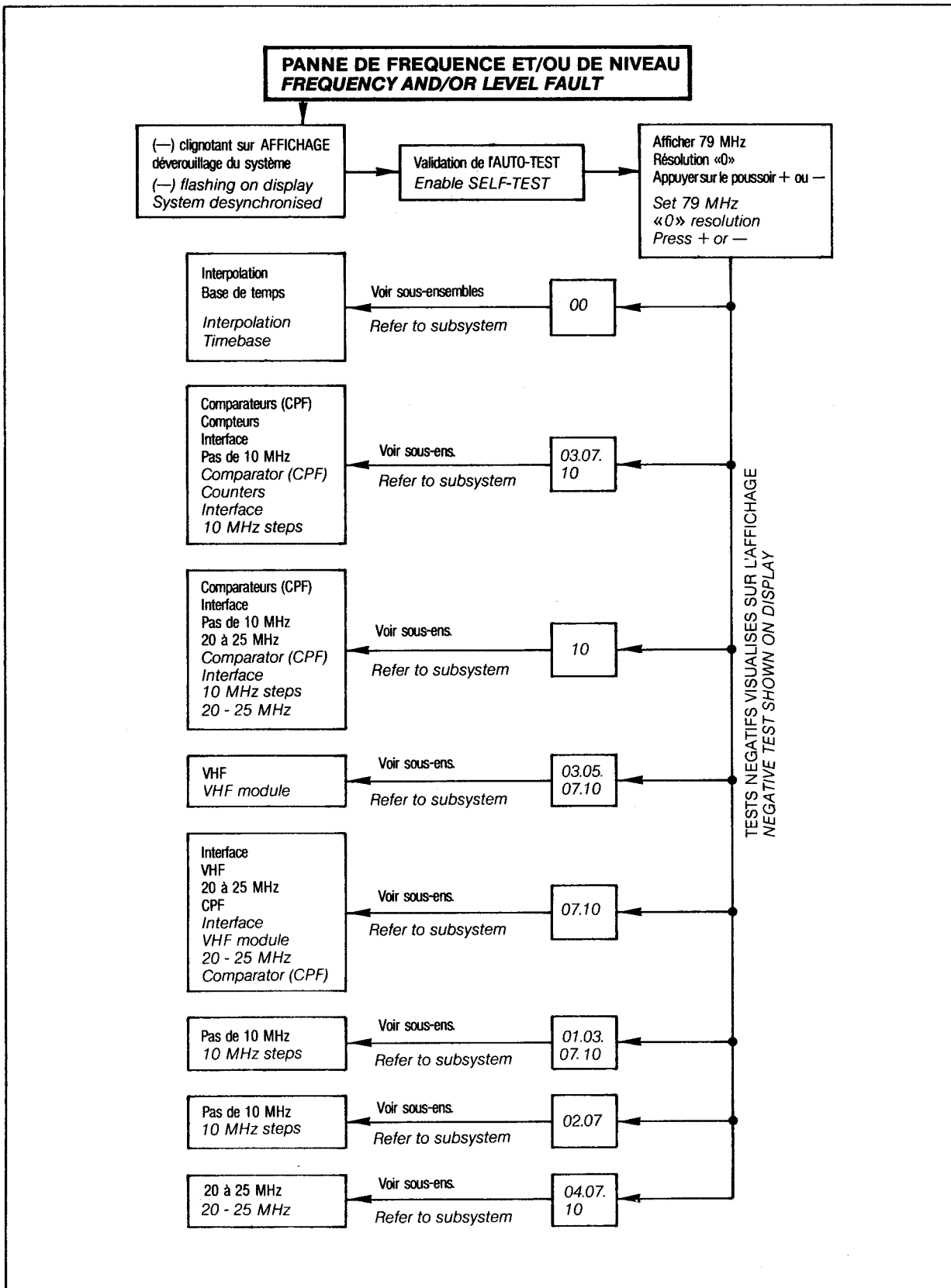
- Noter les tests négatifs et se reporter au synoptique de défaillance page V-8 pour localiser la partie défectueuse du générateur.

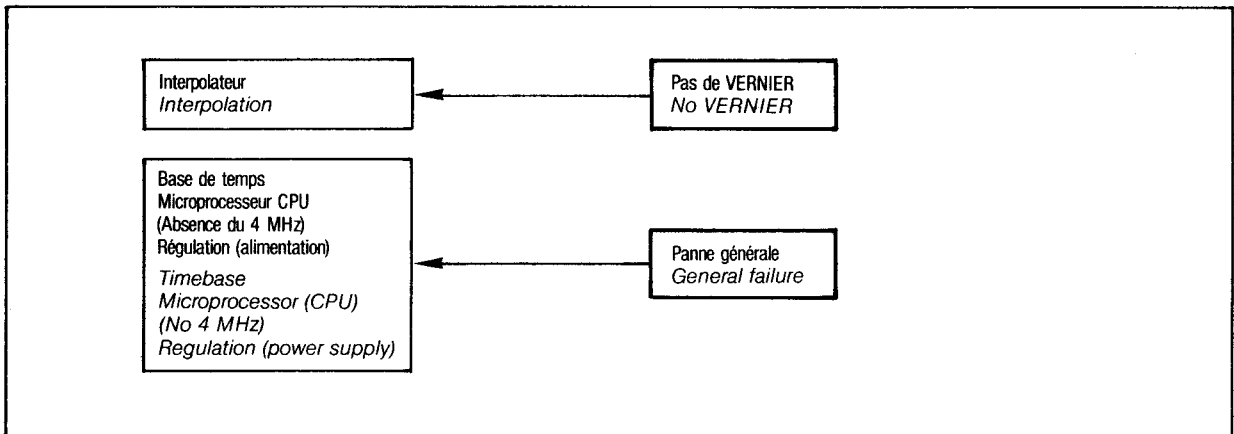
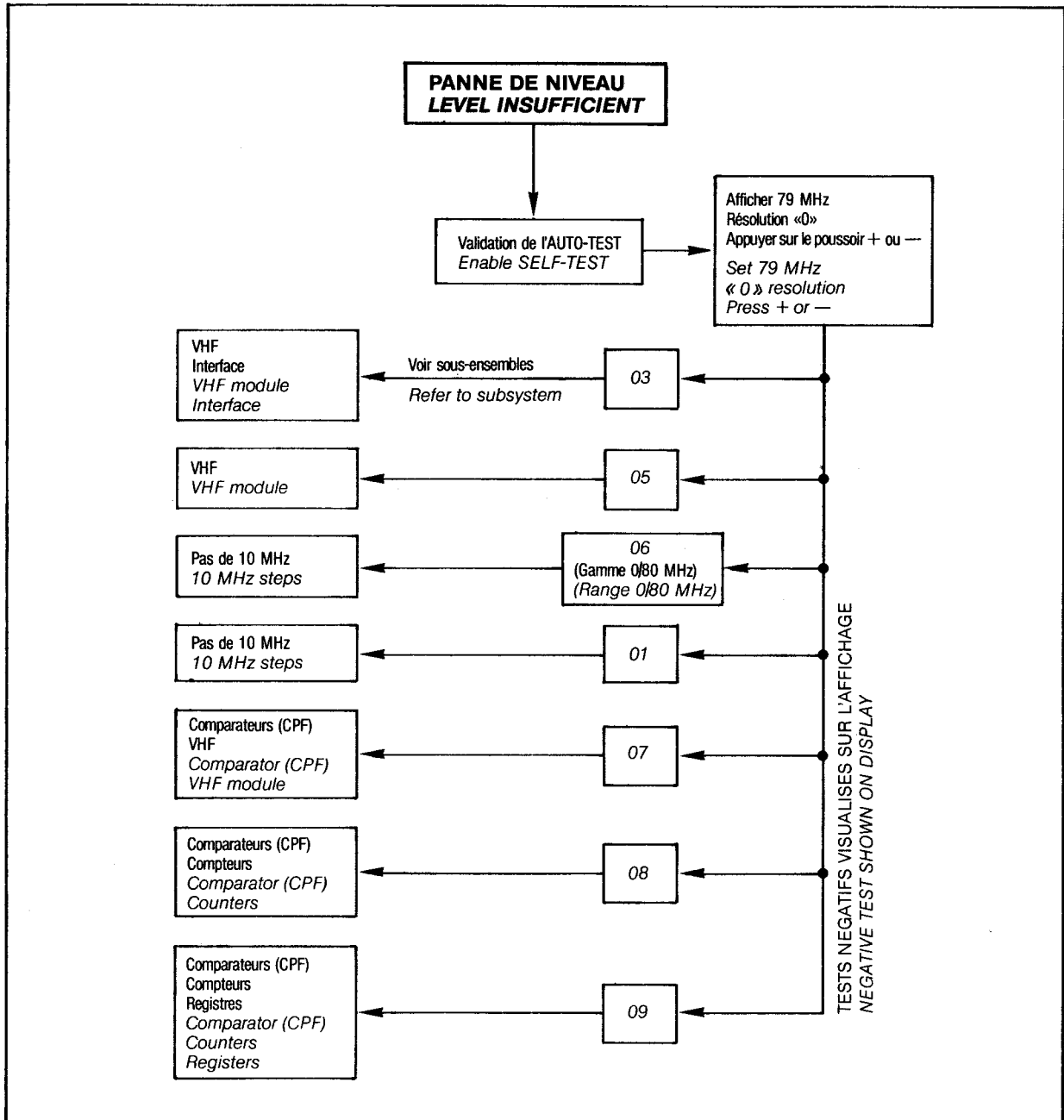
The status read (serial polling) is effected by bit 4 of the status byte, giving a "0" for a positive result and a "1" to indicate a fault condition at the test point.

Note negative test results and refer to the troubleshooting chart on page V-8 to identify the faulty subsystem.



SYNOPTIQUE DE DEFAILLANCE TROUBLESHOOTING CHART







ANOMALIES DE MODULATIONS AM-FM-ØM

La panne de modulation n'est pas visualisée par l'auto-test et ne peut-être détectée que sur le signal de sortie, soit par l'absence de modulation soit par une dégradation des caractéristiques.

La localisation de la panne est obtenue à partir d'un synoptique de défaillance qui indique les contrôles à effectuer pour y parvenir, ainsi que le ou les sous-ensembles susceptibles d'être à l'origine du mauvais comportement du générateur.

Le diagramme de fonctionnement de chaque type de modulation est représenté de manière à montrer tous les sous-ensembles qui constituent la chaîne d'élaboration de la modulation pour permettre éventuellement d'effectuer une vérification de chacun d'eux.

AM - FM - ØM ERRORS

Modulation faults are not shown up by the self-test facility and are only detectable in the output signal, either through the absence of modulation or the degradation of the signal characteristics.

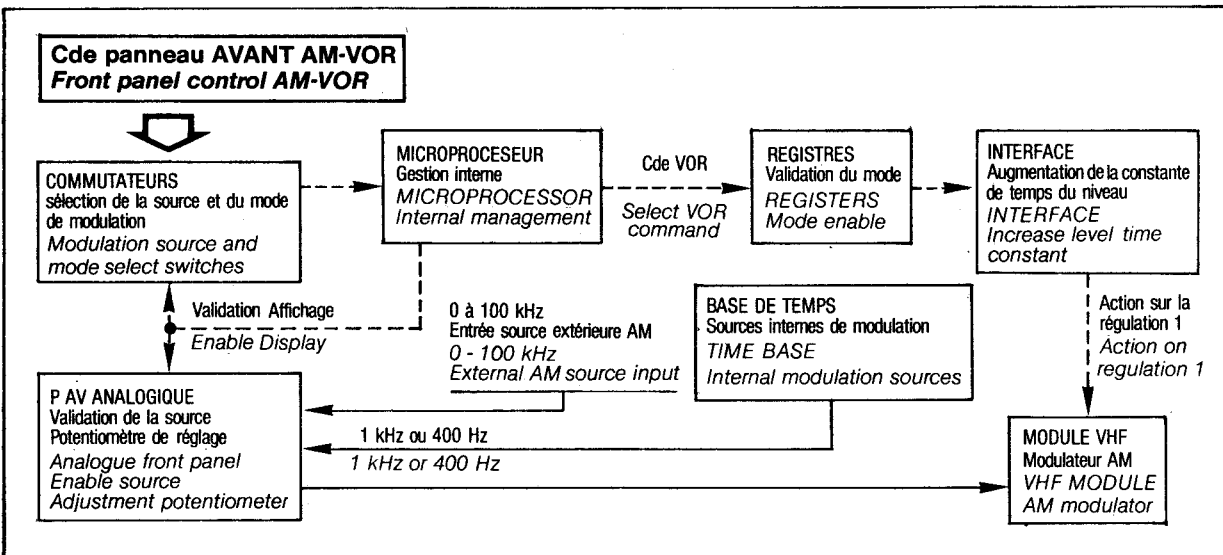
The fault is located from a troubleshooting chart indicating the necessary tests and the subsystem(s) likely to be the cause of incorrect operation.

A functional schematic is given for each modulation mode in order to show all subsystems involved in the modulation process so that each may be tested if necessary.

MODULATION D'AMPLITUDE / AMPLITUDE MODULATION

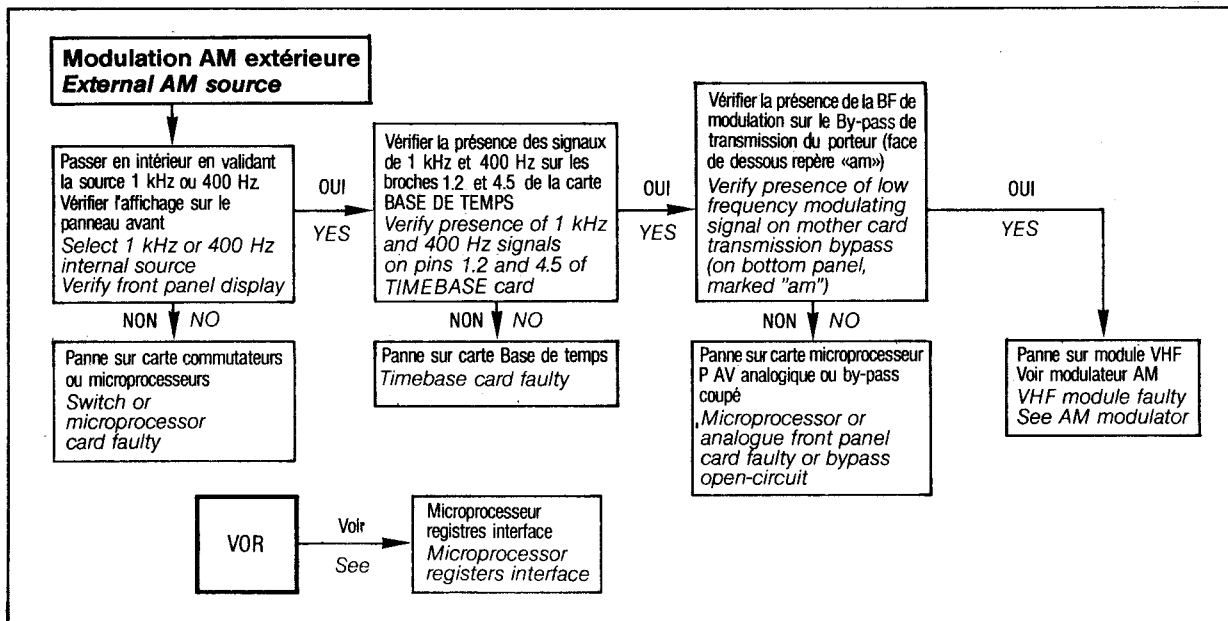
DIAGRAMME DE FONCTIONNEMENT

FUNCTIONAL SCHEMATIC



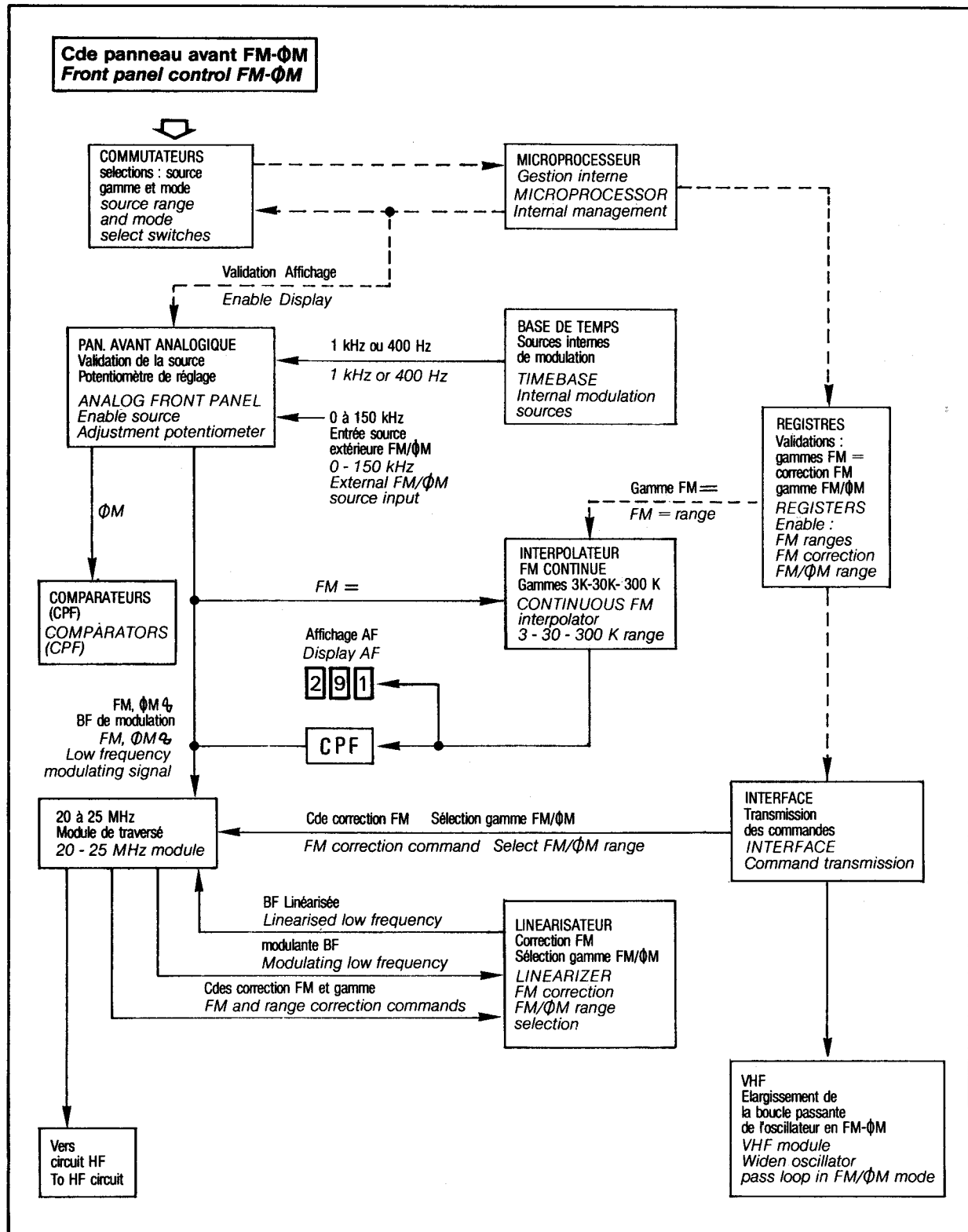
SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



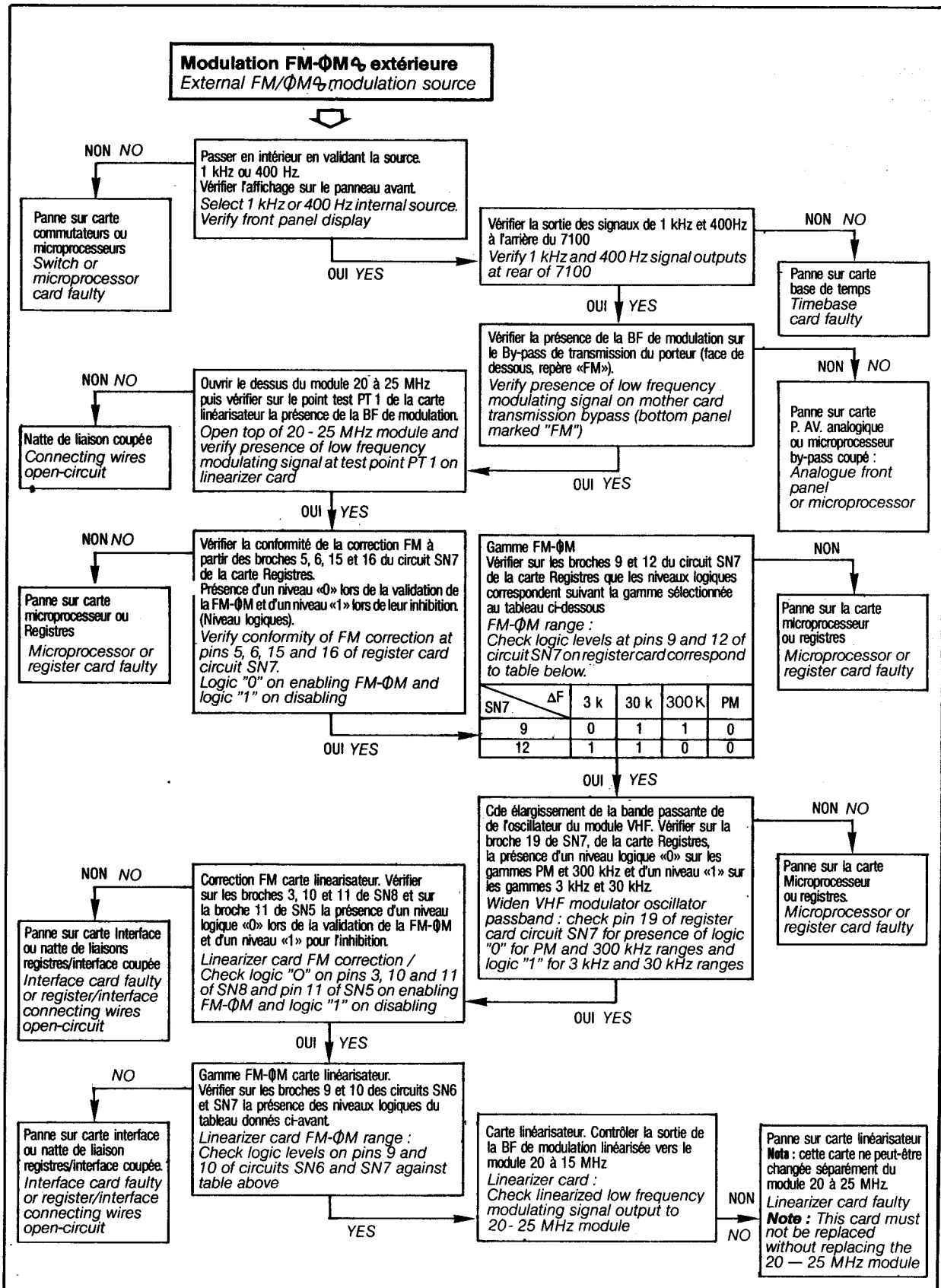
MODULATION DE FREQUENCE ET DE PHASE FREQUENCY AND PHASE MODULATION

DIAGRAMME DE FONCTIONNEMENT



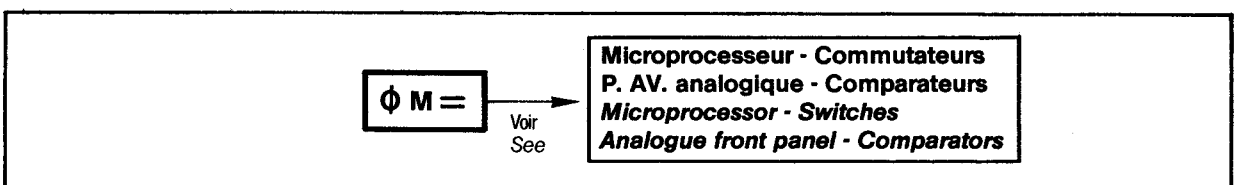
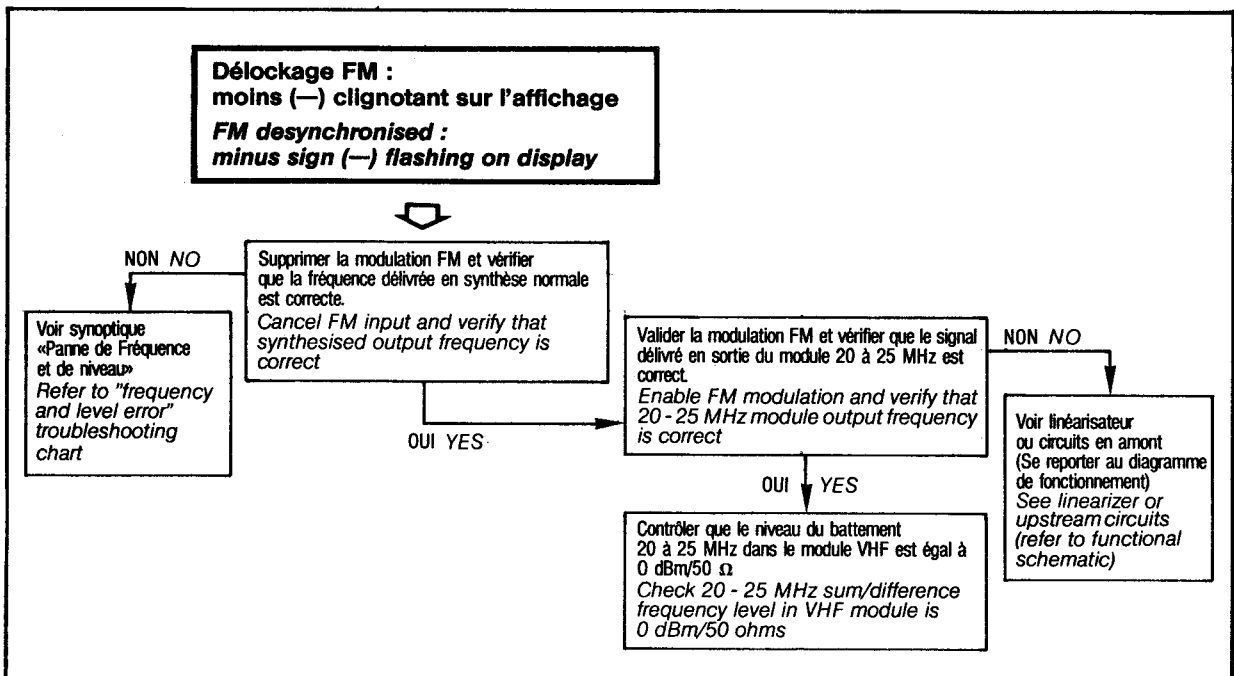
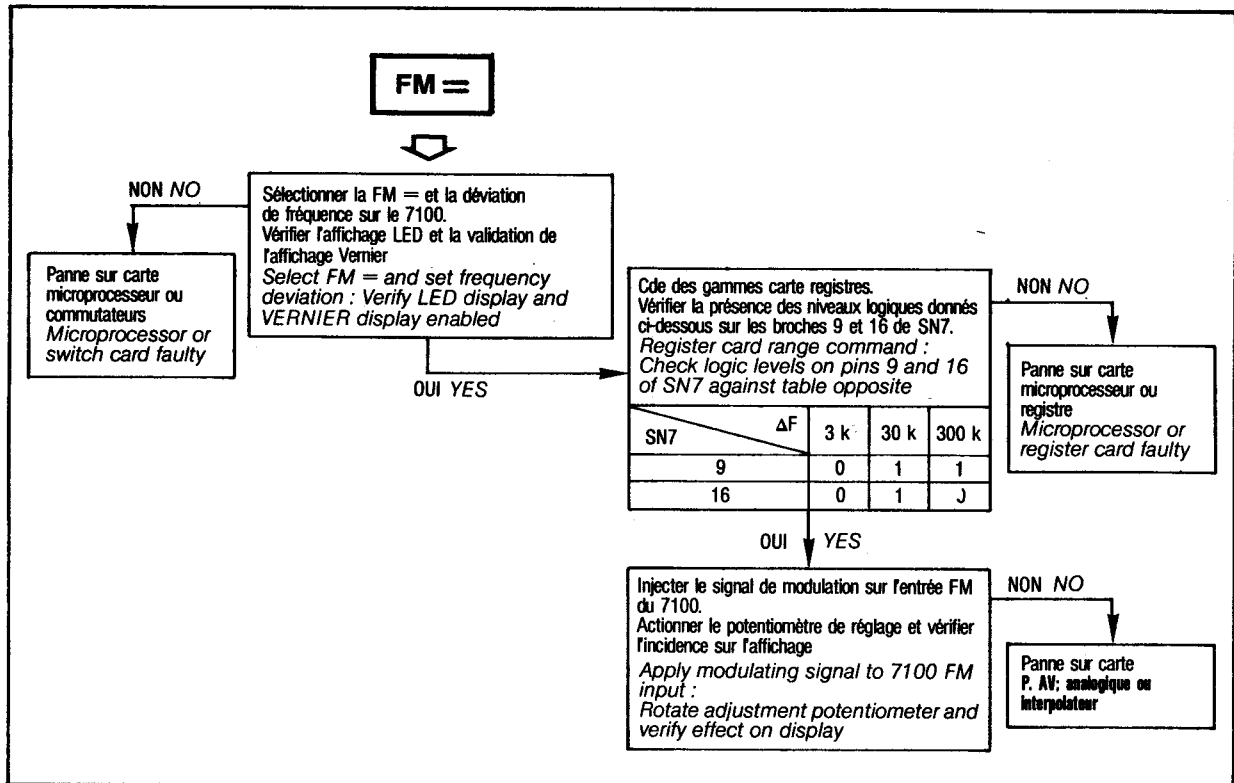
SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



CONTROLE DE L'AUTO-TEST

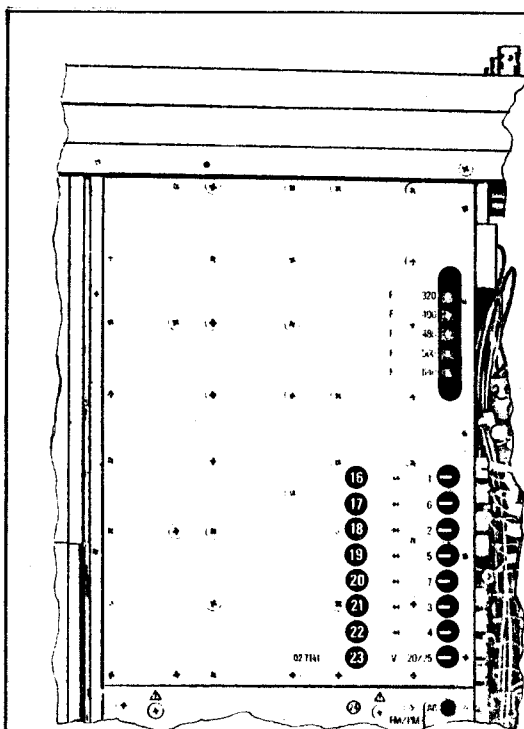
SELF-TEST CHECK

7100 SERIES B1 à B6

L'auto-test est constitué par des détecteurs de niveau situés sur les points principaux des circuits du générateur. Leur contrôle peut être effectué à partir du module pas de 10 MHz, en vérifiant les tensions continues présentes sur les broches placées en regard des repères sérigraphiés 16 à 22.

7100 SERIES B1 TO B6

The self-test facility is implemented by level detectors at principal points of the generator circuits. These may be monitored from the 10 MHz step module, by verifying the DC voltages on the pins marked 16 to 22.



Module pas de 10 MHz accessible par la face de dessous.
10 MHz steps module accessible through the bottom panel.

TEST \ TEST POINT	00	01	02	03	04	05	06	07	08	09	10
16	1	2	1	1	1	1	1	1	1	2	1
17	3	3	3	3	3	3	4	3	3	3	3
18	3	3	5	3	3	3	3	3	3	3	5
19	6	6	6	6	6	7	6	6	6	6	6
20	1	1	1	1	1	1	1	8	1	1	1
21	2	2	2	2	2	2	2	2	2	2	2
22	9	9	9	9	10	9	9	9	9	9	9

1 = - 0.19 V	5 = - 0.35 V	8 = - 0.03 V
2 = + 0.004 V	6 = - 0.14 V	9 = - 0.21 V
3 = - 0.4 V	7 = + 0.1 V	10 = + 0.012 V
4 = - 0.16 V		

7100. SERIES B7 A B12

La modification du programme des ROMS et la réalisation d'une nouvelle carte REGISTRES ont permis d'obtenir la génération automatique de l'interruption, de manière à prendre en compte, à tout moment sous la forme d'un contrôle impulsionnel, l'état des tests internes et notamment du point test correspondant au niveau de sortie (03).

Toutefois le contrôle impulsionnel interdit toute vérification des détecteurs situés sur le module pas de 10 MHz.

7100 SERIES B7 TO B12

Modified ROM program and new REGISTER card enable the interrupt to be generated automatically, so that all internal test states, especially that of the output level test point (03), may be tested on a one-shot basis at any time. This one-shot testing mode disables verification of the detectors from the 10 MHz step module.

INTERPOLATEUR-FM CONTINUE CONTINUOUS FM INTERPOLATOR

Le sous-ensemble INTERPOLATEUR permet d'obtenir à la fois une résolution de fréquence de 1 Hz et une modulation FM descendant jusqu'au continu. Ces deux fonctions sont réalisées en substituant à la fréquence de référence 2 MHz appliquée au sous-ensemble COMPAREUR PHASE/FRÉQUENCE une fréquence de $2 \text{ MHz} \pm \Delta F$.

La fréquence de $2 \text{ MHz} \pm \Delta F$ s'obtient en divisant par 5 dans le circuit intégré SN 8 une fréquence de $10 \text{ MHz} \pm 3$ provenant de l'oscillateur d'interpolation 7 MHz/13 MHz. Selon la gamme FM continue sélectionnée, la fréquence générée par cet oscillateur est soit transmise directement au diviseur par 5 (gamme 300 kHz), soit préalablement modifiée par un ou deux diviseurs d'incrément (gammes 30 kHz et 3 kHz, ainsi que VERNIER). En outre, la valeur de cette fréquence dépend également de la fréquence synthétisée par le 7100, comme le montre le tableau ci-dessous.

The INTERPOLATOR subsystem provides frequency resolution down to 1 Hz and frequency modulation at frequencies down to 0 Hz (DC). These two functions are obtained by substituting a frequency of $2 \text{ MHz} \pm \Delta F$ for the 2 MHz reference frequency input to the PHASE-FREQUENCY COMPARATOR subsystem.

The frequency $2 \text{ MHz} \pm \Delta F$ is obtained by dividing by 5 in integrated circuit SN8 a frequency $10 \text{ MHz} \pm 3$ obtained from the 7/13 MHz interpolation oscillator. According to the selected DC FM range, the frequency output from this oscillator is input directly to the divide by 5 circuit (300 kHz range), or first modified by one or two increment dividers (30 and 3 kHz ranges and VERNIER range). The value of this frequency is also dependent on the frequency synthesised by the 7100, as indicated in the table below :

Fréquence porteuse <i>Carrier frequency</i>	Oscillateur d'interpolation <i>Interpolation oscillator</i>
< 80 MHz	$10 \text{ MHz} \pm 750 \text{ kHz}$
80 MHz / 160 MHz	$10 \text{ MHz} \pm 3 \text{ MHz}$
160 MHz / 320 MHz	$10 \text{ MHz} \pm 1,5 \text{ MHz}$
320 MHz / 650 MHz	$10 \text{ MHz} \pm 750 \text{ kHz}$
650 MHz / 1,3 GHz	$10 \text{ MHz} \pm 375 \text{ kHz}$

Chaque diviseur d'incrément est constitué d'un diviseur par 10 (circuits intégrés SN 4 et SN 6) suivi d'un filtre actif passe-bas. Un mélangeur type TBA 673 effectue le battement entre la fréquence délivrée par le filtre actif et une fréquence de 9 MHz issue de la BASE DE TEMPS. La sélection du battement additif par un filtre passe-bande centrés sur 10 MHz procure ainsi un signal dont l'incrément de fréquence par rapport à 10 MHz a été divisé par 10.

La fréquence générée par l'oscillateur d'interpolation est divisée par 4 dans le circuit intégré SN3, puis dirigée vers le fréquencemètre MC 6840 du sous-ensemble CPU afin de permettre l'affichage des pas de 1 Hz, 10 Hz, et 100 Hz de la fréquence de sortie du 7100. Le circuit intégré SN3 effectue également une division par 8 de la fréquence de l'oscillateur d'interpolation grâce à un convertisseur fréquence/tension composé de l'une des portes NOR de SN9 et de l'intégrateur SN11. Ce convertisseur utilise le fait que la consommation d'une porte CMOS chargée par un condensateur est proportionnelle au nombre de ses changements d'état, donc à la fréquence du signal appliqué. L'intégration du courant absorbé par le circuit intégré SN9 fournit ainsi une tension stabilisant la fréquence générée par l'oscillateur d'interpolation.

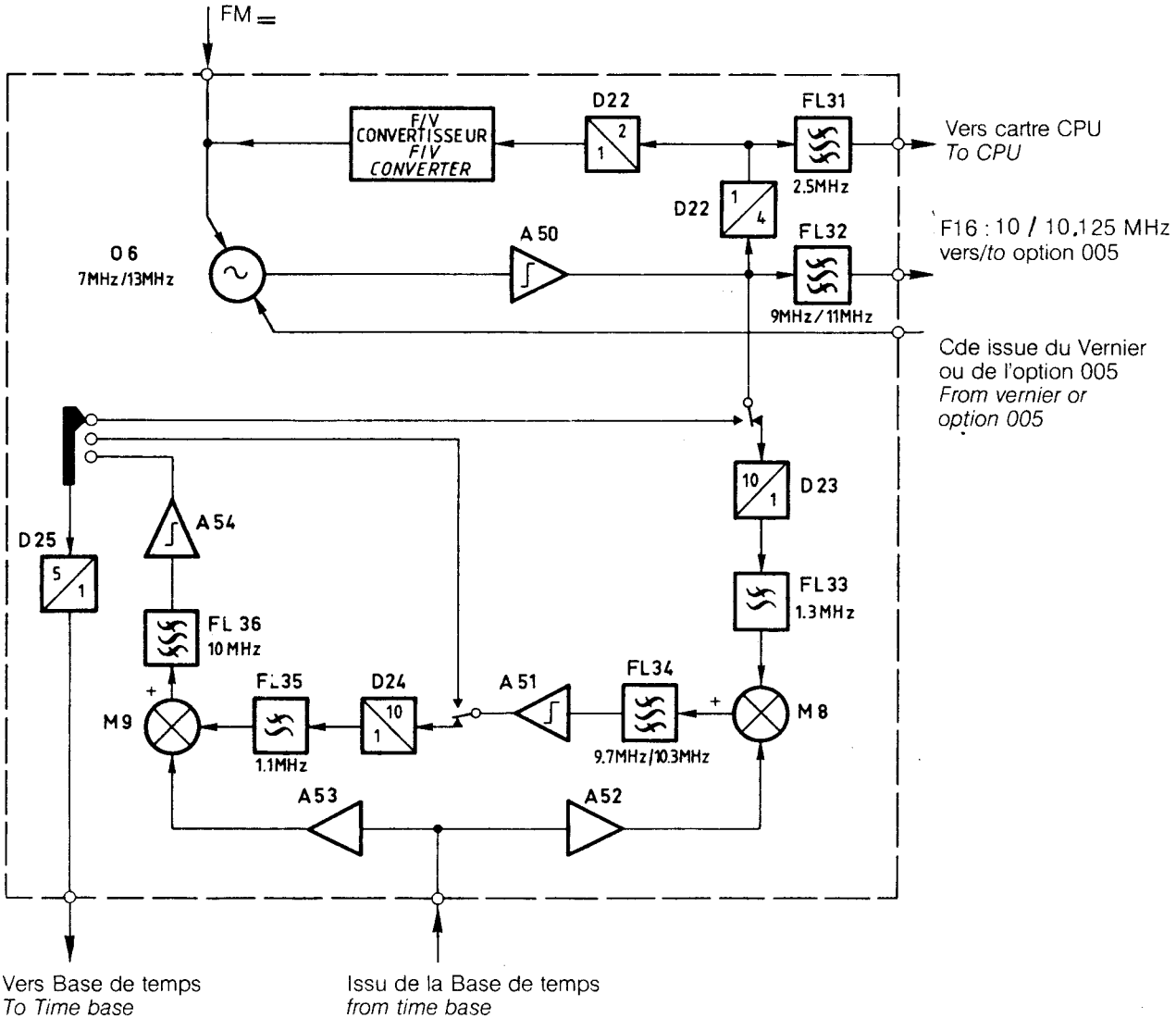
Each increment divider comprises a divide by 10 circuit (SN4 and SN6) followed by an active lowpass filter. A TBA 673 mixer receives the active filter output frequency and a frequency of 9 MHz from the TIMEBASE. The sum product is selected by a bandpass filter centred on 10 MHz to provide a signal whose frequency increment relative to 10 MHz is divided by 10.

The frequency generated by the interpolation oscillator is divided by 4 in integrated circuit SN3 then input to the MC 6840 frequency meter of the CPU subsystem in order to display the 1 Hz, 10 Hz and 100 Hz steps of the 7100 output frequency. Integrated circuit SN3 divides the interpolation oscillator output frequency by 8, using a frequency/voltage converter comprising one of the NOR gates of SN9 and integrator SN11. This converter uses the fact that the consumption of a CMOS gate when loaded by a capacitor is proportional to the number of changes of state and thus to the frequency of the input signal. Integrating the current absorbed by integrated circuit SN9 thus provides a voltage which stabilises the output frequency of the interpolation oscillator.

INTERPOLATEUR FM CONTINUE CONTINUOUS FM INTERPOLATOR

SYNOPTIQUE

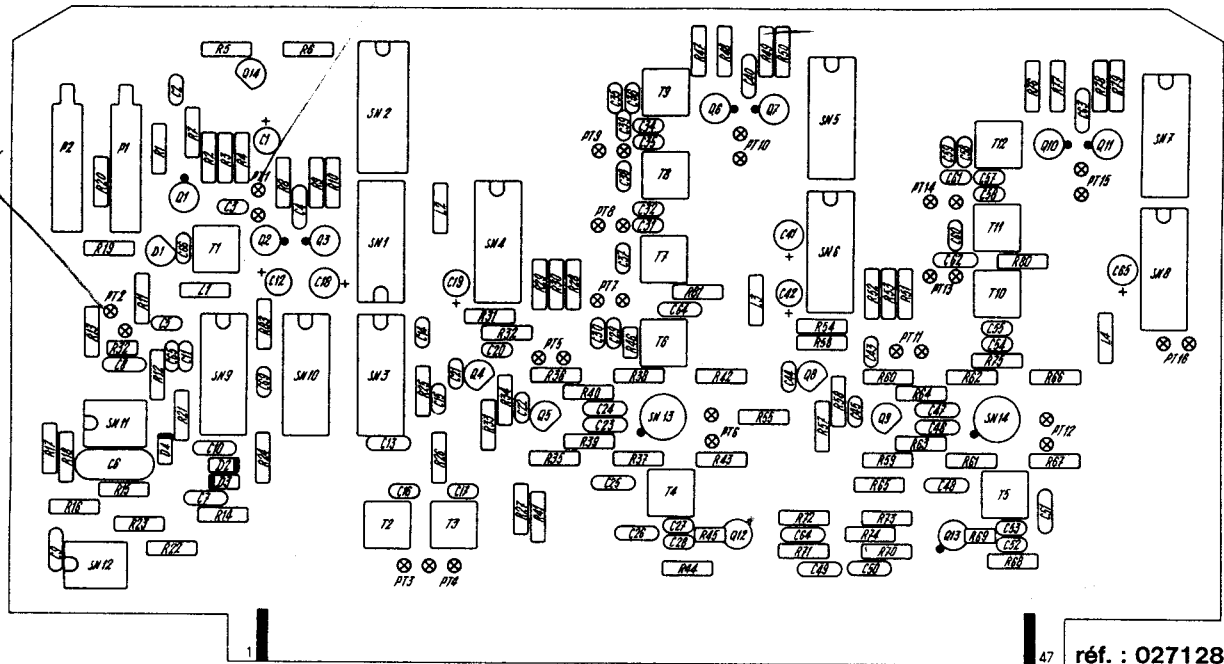
BLOCK DIAGRAM



INTERPOLATEUR-FM CONTINUE CONTINUOUS FM INTERPOLATOR

REPERAGE DES COMPOSANTS

COMPONENT IDENTIFICATION



réf. : 027128

REPERAGE DU CONNECTEUR

CONNECTOR PIN-OUT

Commande VERNIER $\pm 0,5$ mA ± 3 kHz issue du Panneau AV. analogique	1	— VERNIER control signal (± 0.5 mA ± 3 kHz) from analogue front panel
Sélection de la gamme de déviation FM = issue de la carte Registres	{ B 7 A 8 }	{ Select FM = deviation range at register card output
10 MHz $\pm \epsilon$ vers carte option 005	10	— 10 MHz $\pm \epsilon$ to option 005 card
2,5 MHz $\pm \epsilon$ vers CPU	12	— 2.5 MHz $\pm \epsilon$ to CPU
2 MHz $\pm \epsilon$ vers Base de temps	13	— 2 MHz $\pm \epsilon$ to Time base
9 MHz issu de la Base de temps	34	— 9 MHz from Time base
+ 12 V	44	— + 12 V
+ 5 V	45 46	— + 5 V
- 12 V	47	— - 12 V
	{ 11 21 22 23 35 }	{ — }
Les broches non mentionnées ne sont pas connectées.	NC	— Pins not listed not connected.

CONTROLE DE LA CARTE

CARD TESTS

PREPARATION A LA MAINTENANCE

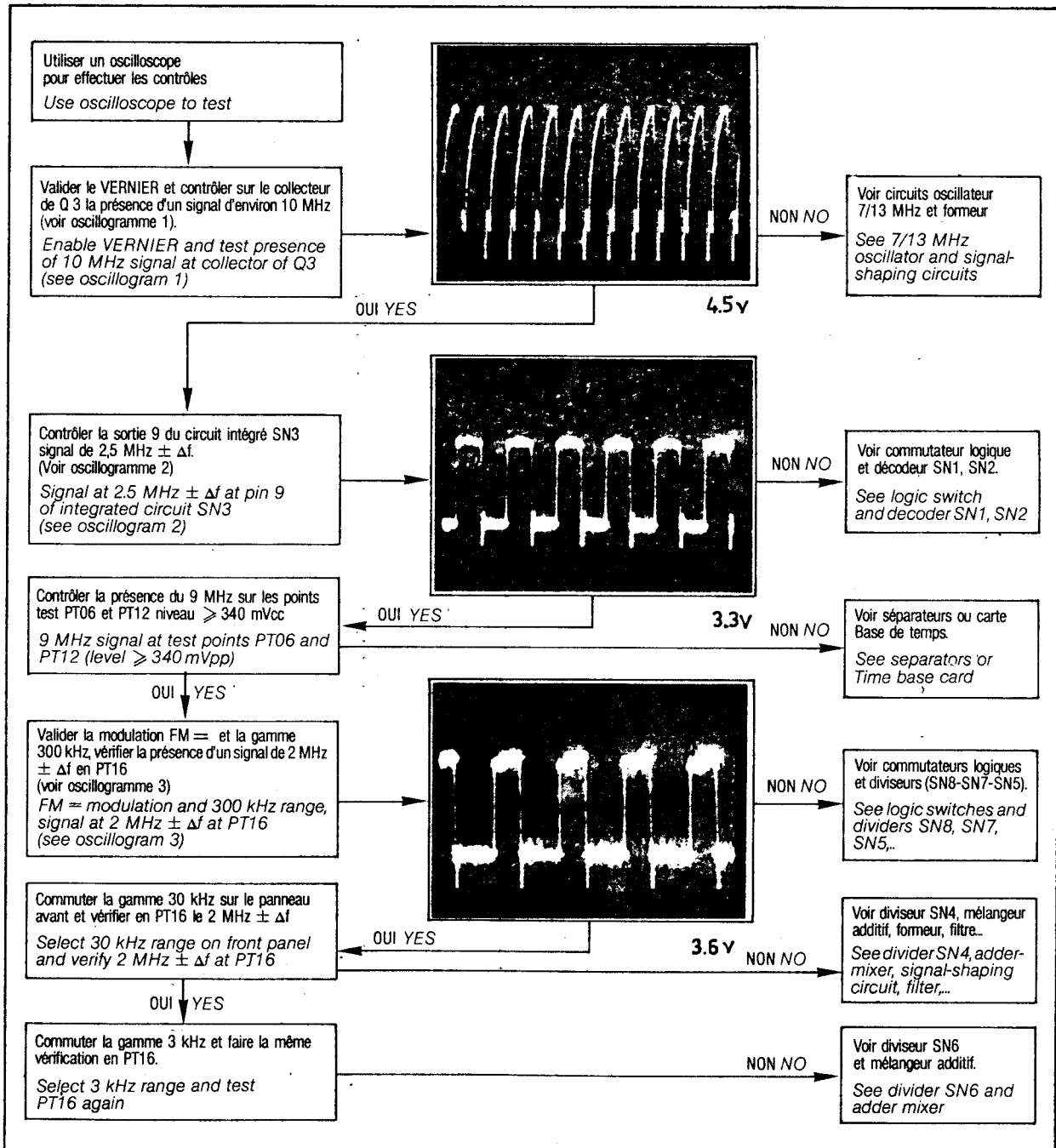
- sortir la carte 1 à l'aide des extracteurs.
- la placer sur prolongateur rigide pour permettre son dépannage
- introduire la nouvelle carte en cas de remplacement du sous-ensemble.

PREPARATION

- Withdraw card 1 using extractors.
- Insert card into rigid extender.
- Insert new card if replacing subsystem.

DEPANNAGE-SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



REGLAGE DE LA CARTE

CARTE DEPANNEE

Matériels nécessaires :

- oscilloscope
- source de tension continue
- fréquencemètre 20 MHz
- multimètre

1. Oscillateur 7 à 13 MHz

- a) Afficher 100 MHz et inhiber le vernier de fréquence.
- b) Valider la fonction FM = ainsi que la gamme 3 kHz.
- c) Raccorder le fréquencemètre en PT1 et le voltmètre continu sur la borne 6 de SN 12
- d) Injecter sur l'entrée FM- Φ M une tension continue afin de lire 0,000 V sur le voltmètre.
Régler P1 pour lire sur le fréquencemètre 10 MHz ± 1 kHz
- e) Injecter une tension continue pour lire — 5 V sur le voltmètre.
Régler P2 pour lire sur le fréquencemètre 13 MHz ± 1 kHz
- f) Inverser la tension continue injectée pour avoir + 5 V sur le voltmètre. Vérifier que la fréquence indiquée est 7 MHz ± 20 kHz
- g) Connecter le voltmètre en PT2 puis régler T1 pour avoir 3V.
- h) Reprendre (e) pour avoir 13 MHz sur le fréquencemètre puis vérifier que le niveau en PT2 est $\leq 9,8$ V. Agir sur T1 pour ajuster le niveau à 9,8 V.
- i) Connecter l'oscilloscope en PT1 et contrôler que le niveau à 13 MHz est $\leq 1,4$ Vcc.
- k) Reprendre (f) pour avoir 7 MHz puis vérifier en PT2 que le niveau est $\geq 2,2$ V.

2. 9 MHz issu de la base de temps

- a) Connecter l'oscilloscope, au moyen d'une sonde, en PT6 et régler T4 pour obtenir le niveau maximum (≥ 340 mVcc).
- b) Connecter la sonde en PT12 et régler T5 pour obtenir le niveau maximum (≥ 340 mVcc).

CALIBRATION DE LA CARTE

(remplacée ou non)

Centrage de l'offset des gammes FM

- a) Positionner le générateur dans la configuration suivante :
 - fréquence : 20 MHz
 - modulation FM : couplage continu et déviation ± 3 kHz
 - niveau : 0 dBm.
- b) Court-circuiter le point test 1 (PT1) de la carte Panneau AV. analogique puis inhiber l'action des deux potentiomètres de réglage de modulation et du VERNIER de niveau en plaçant le bouton RF sur CW et MOD.
- c) Ajuster le potentiomètre P1 de la carte Interpolateur pour afficher la fréquence ronde de 20 MHz.
- d) Ne pas retoucher au réglage du potentiomètre P2.
- e) Oter le court-circuit.

ADJUSTMENTS

CARD REPAIRED

Equipment required :

- oscilloscope,
- DC voltage source,
- 20 MHz frequency meter,
- multimeter.

1. 7-13 MHz oscillator

- a) Set frequency 100 MHz and disable frequency VERNIER control.
- b) Select function FM = and 3 kHz range.
- c) Connect frequency meter to PT1 and DC voltmeter to pin 6 of SN12.
- d) Apply to FM- Φ M input DC voltage to produce 0.000 V reading on voltmeter. Adjust P1 to obtain reading 10 MHz ± 1 kHz on frequency meter.
- e) Apply DC voltage to obtain — 5 V reading on voltmeter. Adjust P2 to obtain 13 MHz ± 1 kHz reading on frequency meter.
- f) Reverse polarity of input voltage to obtain + 5 V reading on voltmeter. Verify that frequency meter indicates 7 MHz ± 20 kHz.
- g) Connect voltmeter to PT2 and adjust T1 to obtain reading of 3 V.
- h) Repeat (e) to obtain frequency meter reading of 13 MHz and verify that level at PT2 is ≤ 9.8 V. Adjust T1 to obtain a level of 9.8 V.
- i) Connect oscilloscope to PT1 and verify that the level at 13 MHz is ≤ 1.4 Vpp
- k) Repeat (f) to obtain frequency meter reading of 7 MHz and verify that the level at PT2 is ≥ 2.2 V.

2. Timebase 9 MHz output

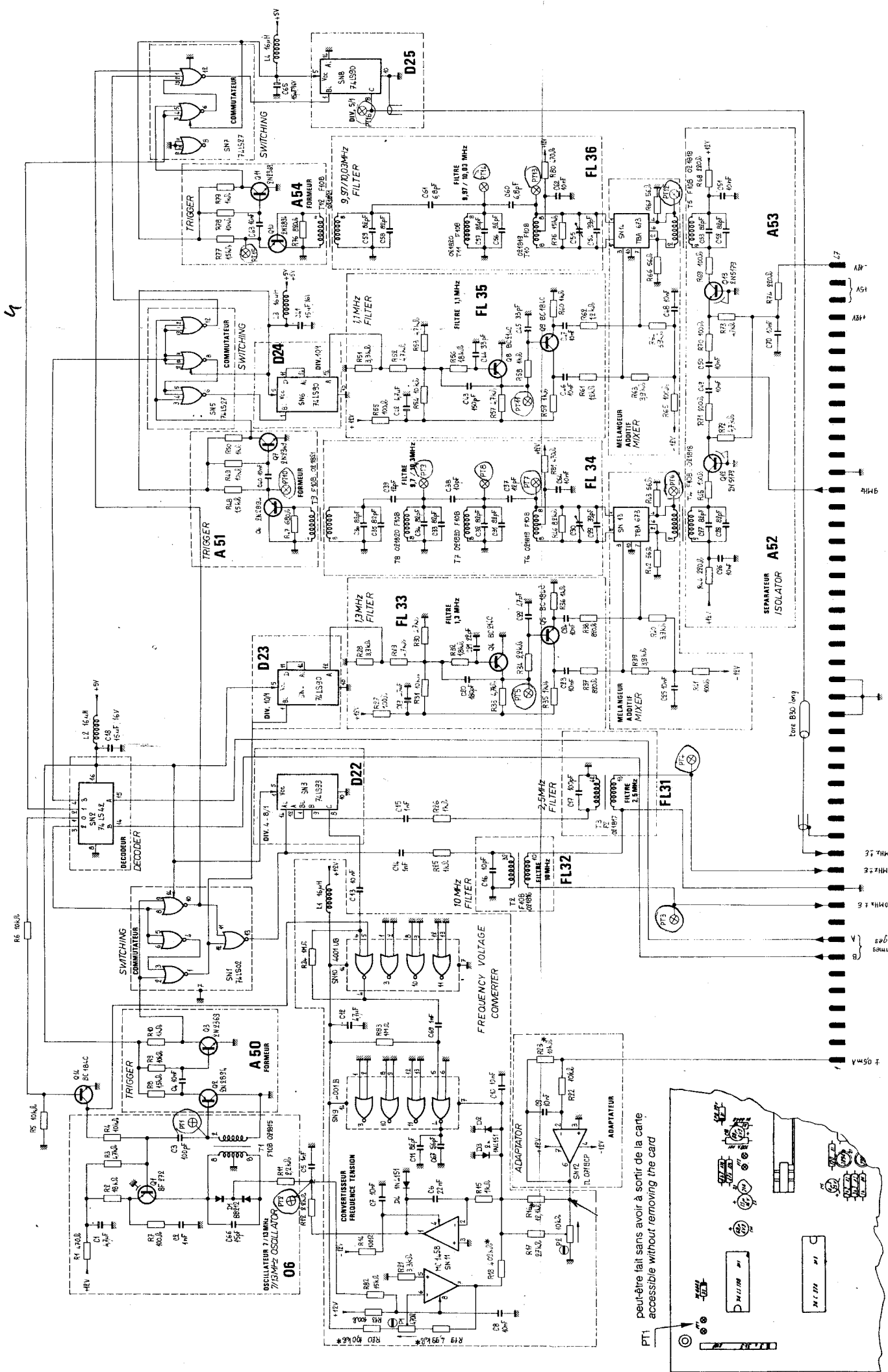
- a) Connect oscillator probe to PT6 and adjust T4 to obtain maximum level (≥ 340 mVpp)
- b) Connect probe to PT12 and adjust T5 to obtain maximum level (≥ 340 mVpp)

CALIBRATION

(card replaced or not)

FM range offset centring

- a) Select the following configuration :
 - frequency : 20 MHz,
 - frequency modulation : DC coupling and ± 3 kHz deviation,
 - level : 0 dBm.
- b) Short-circuit test point PT1 on analogue front panel card and disable modulation adjustment and level VERNIER potentiometers by setting RF knob to CW and MOD.
- b) Adjust potentiometer P1 on the interpolator card to obtain a display of 20 MHz
- d) Do not alter the setting of potentiometer P2.
- e) Remove the short-circuit.



**INTERPOLATEUR FM CONTINUE
CONTINUOUS FM INTERPOLATOR**

peut-être fait sans avoir à sortir de la carte
accessible without removing the card

Carte panneau AV analogique
Analogie front panel card

BASE DE TEMPS TIMEBASE

Le sous-ensemble BASE DE TEMPS comporte le circuit d'asservissement du pilote thermostaté sur une référence extérieure, ainsi que divers diviseurs délivrant des signaux de 400 Hz, 1 kHz, 2 MHz, 4 MHz et 9 MHz synchrones du signal 10 MHz généré par ce pilote.

Le circuit d'asservissement se compose d'un générateur d'harmoniques à portes NAND (circuit intégré SN12) suivi d'un filtre passe-bande 10 MHz, ce qui permet d'asservir le pilote thermostaté sur une référence sous-multiple de 10 MHz, d'un diviseur par 2 (circuit intégré SN9) et d'un comparateur de phase à OU-exclusif. Ce comparateur de phase reçoit d'autre part un signal de 5 MHz obtenu en divisant par 2 à l'aide du circuit intégré SN9 la fréquence de 10 MHz générée par le pilote thermostaté.

Cette fréquence de 10 MHz est également divisée dans le circuit intégré SN10 afin de fournir la fréquence de 4 MHz au sous-ensemble CPU, et la fréquence de 2 MHz 4 MHz au sous-ensemble COMPARATEUR PHASE/FREQUENCE. Lorsque la modulation FM à couplage continu ou le Vernier est mis en service, une fréquence de $2 \text{ MHz} \pm \Delta f$ provenant du sous-ensemble INTERPOLATEUR est substituée à la fréquence de 2 MHz grâce à un commutateur à portes NOR (circuit intégré SN4).

Le circuit intégré SN10 fournit aussi une fréquence de 1 MHz dont le battement soustractif avec la fréquence de 10 MHz, réalisé par un mélangeur à OU-exclusif (circuit intégré SN11) suivi d'un filtre passe-bande, procure le signal sinusoïdal de 9 MHz nécessaire au sous-ensemble INTERPOLATEUR.

La fréquence de 4 MHz disponible sur la sortie B du circuit intégré SN10 est successivement divisée par 10 et par 5 dans le circuit intégré SN8, puis divisée par 5 dans le circuit intégré SN7, ce qui procure un signal de 16 kHz. Ce signal est d'une part divisé par 16 dans le circuit intégré SN6 afin d'obtenir une fréquence de 1 kHz, et d'autre part successivement divisé par 5 dans le circuit intégré SN7 et par 8 dans le circuit intégré SN6, afin d'obtenir une fréquence de 400 Hz. Les deux signaux de 400 Hz et 1 kHz ainsi élaborés sont rendus sinusoïdaux par deux filtres actifs passe-bas, puis dirigés vers le panneau arrière et vers les circuits de modulation.

The TIMEBASE subsystem includes the circuit for locking the thermostatically-controlled pilot frequency to an external reference and dividers providing signals at 400 Hz, 1 kHz, 2 MHz, 4 MHz and 9 MHz, synchronised with the 10 MHz signal output by the pilot frequency generator.

The phase-lock circuit comprises a harmonic generator based on NAND gates (integrated circuit SN12) followed by a 10 MHz bandpass filter which is used to lock the thermostatically-controlled pilot frequency to a reference frequency which is a submultiple of 10 MHz, a divide by 2 circuit (integrated circuit SN9) and an exclusive-OR circuit phase comparator. The comparator also receives a signal at 5 MHz obtained by dividing by 2 the 10 MHz output frequency of the pilot generator, using integrated circuit SN9.

The 10 MHz frequency is also divided in integrated circuit SN10 to provide the 4 MHz input to the CPU subsystem and the 2 MHz input to the PHASE-FREQUENCY, COMPARATOR subsystem. When DC-coupled frequency modulation or VERNIER frequency control is selected a frequency of $2 \text{ MHz} \pm \Delta f$ from the INTERPOLATOR subsystem is substituted for the 2 MHz frequency by means of a switch incorporating NOR gates (integrated circuit SN4).

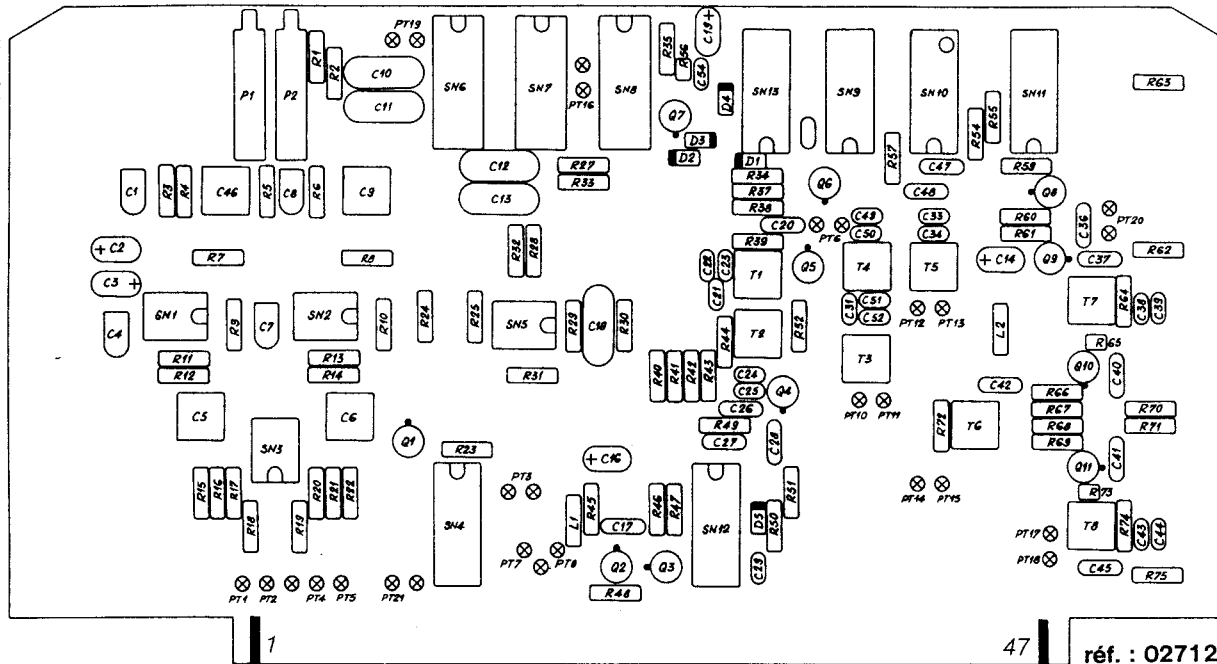
Integrated circuit SN10 also provides a frequency of 1 MHz input with the 10 MHz frequency to an exclusive-OR circuit mixer (integrated circuit SN11) followed by a bandpass filter. The difference frequency provides the sinusoidal signal at 9 MHz input to the INTERPOLATOR subsystem.

The 4 MHz frequency available at output B of integrated circuit SN10 is successively divided by 10 and by 5 in integrated circuit SN8 and then divided by 5 in integrated circuit SN7, to produce a signal at 16 kHz. This is divided by 16 in integrated circuit SN6 to provide the frequency 1 kHz and also divided successively by 5 in integrated circuit SN7 and by 8 in integrated circuit SN6 to obtain the frequency 400 Hz. These 400 Hz and 1 kHz signals are converted to sinusoidal waveform by two active lowpass filters before routing to the rear panel and modulation circuits.

**BASE DE TEMPS
TIMEBASE**

REPÉRAGE DES COMPOSANTS



COMPONENT IDENTIFICATION



47 réf. : 027129

REPERAGE DU CONNECTEUR

CONNECTOR PIN-OUT

400 Hz - BF de modulation vers Panneau AV. analogique	1	400 Hz - low frequency modulating signal to analogue front panel.
400 Hz délivré sur le panneau arrière.	2	400 Hz output to rear panel.
Coax. reliés à la masse.	3	Earthed coaxial socket
1 kHz délivré sur le panneau arrière.	4	1 kHz output to rear panel.
1 kHz - BF de modulation vers Panneau AV. analogique	5	1 kHz - low frequency modulating signal to analogue front panel.
1 kHz TTL vers Compteurs et option 005.	8	1 kHz TTL-compatible to counters and option 005.
Commande Vernier issue de la carte Registres.	12	Vernier control voltage from register card.
2 MHz $\pm \Delta f$ issu de l'Interpolateur.	13	2 MHz $\pm \Delta f$ from interpolator.
2 MHz ou 2 MHz $\pm \Delta f$ vers Comparateurs phase/fréquence.	15	2 MHz or 2 MHz $\pm \Delta f$ to phase-frequency comparators.
Asservissement du Pilote interne.	17	Internal pilot lock-on.
Visualisation de l'asservissement du Pilote sur panneau arrière.	19	Rear panel LED pilot lock-on indicator.
Fréquence externe d'asservissement issue du panneau arrière.	20	External lock-on frequency from rear panel.
9 MHz vers Interpolateur.	34-35	9 MHz output to interpolator.
4 MHz vers Comparateurs phase/fréquence et CPU.	36-37	4 MHz output to phase-frequency comparators and CPU.
10 MHz de référence issu du Pilote interne.	38-39	10 MHz reference frequency from internal pilot.
10 MHz de référence délivré sur le panneau arrière.	40-41	10 MHz reference output to rear panel.
+ 12 V	44	+ 12 V
+ 5 V	45-46	+ 5 V
- 12 V	47	- 12 V
 (au moyen du porteur)	{ 6-9-14-16 18-21-22-23 25 à/à 30 }	 (via mother card)
Les broches non mentionnées ne sont pas connectées.	NC	Pins not listed not connected.

CONTROLE DE LA CARTE

CARD TESTS

PREPARATION A LA MAINTENANCE

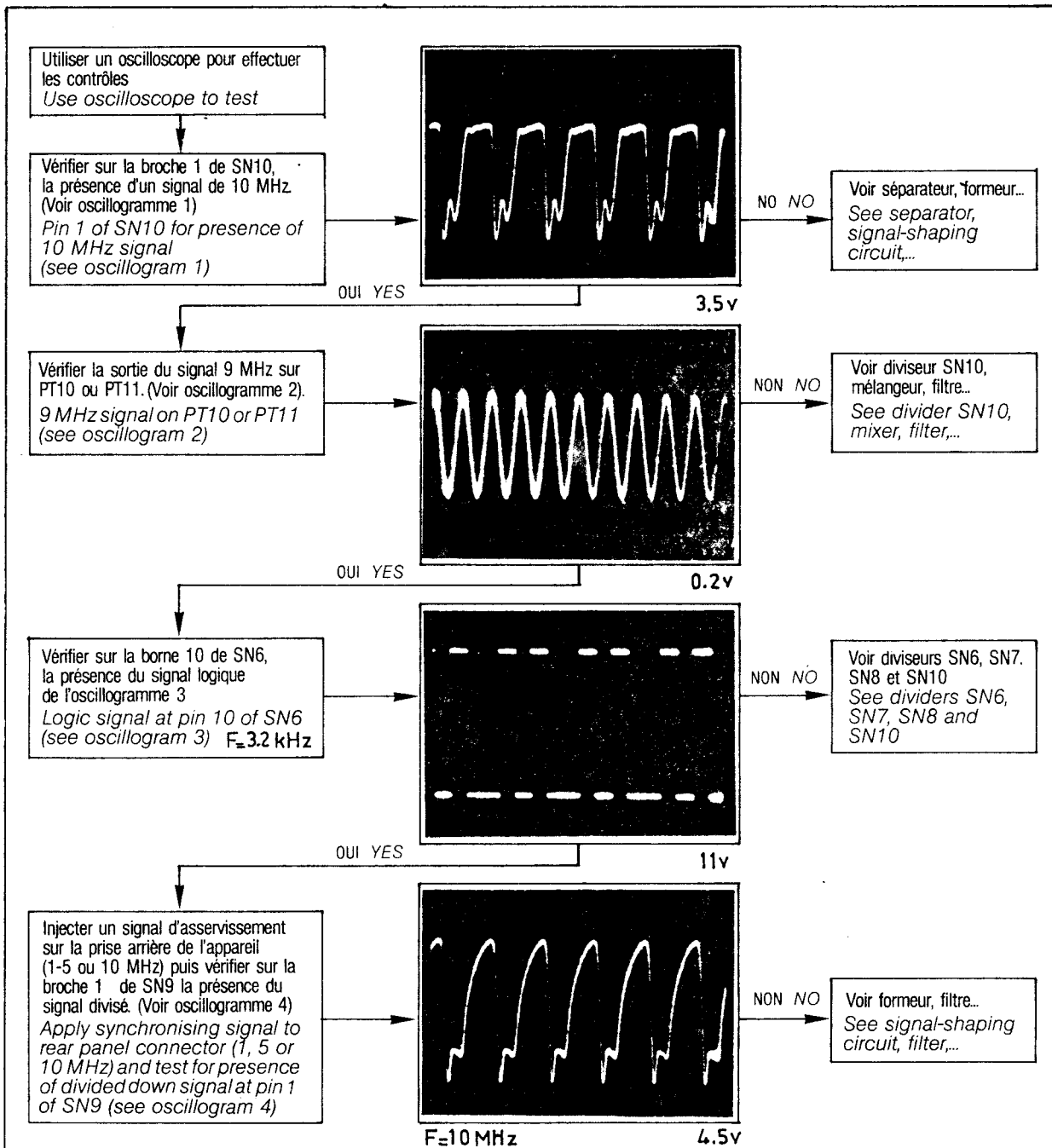
- Sortir la carte 2 à l'aide des extracteurs.
- La placer sur prolongateur rigide pour permettre son dépannage.
- Introduire la nouvelle carte en cas de remplacement du sous-ensemble.

PREPARATION

- Withdraw card 2 using extractors.*
- Insert card into rigid extender.*
- Insert new card if replacing subsystem.*

DEPANNAGE - SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



CONTROLE DE LA CARTE

CARD TESTS

PREPARATION A LA MAINTENANCE

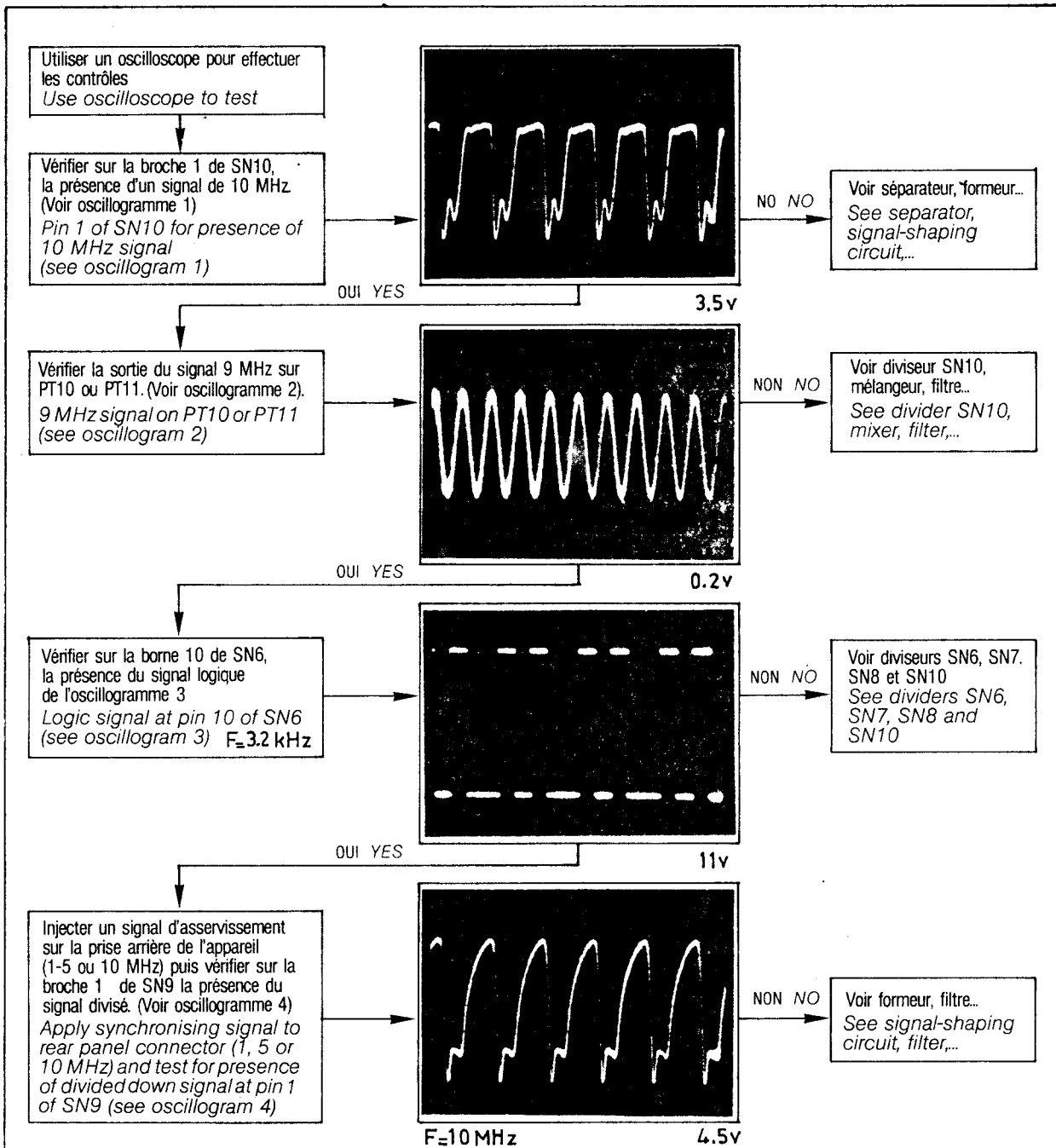
- Sortir la carte 2 à l'aide des extracteurs.
- La placer sur prolongateur rigide pour permettre son dépannage.
- Introduire la nouvelle carte en cas de remplacement du sous-ensemble.

PREPARATION

- Withdraw card 2 using extractors.*
- Insert card into rigid extender.*
- Insert new card if replacing subsystem.*

DEPANNAGE - SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



REGLAGE DE LA CARTE CARTE DEPANNEE

Matériels nécessaires :

- Oscilloscope 75 MHz
- Multimètre (KEITHLEY)

1) 10 MHz de référence (Panneau arrière)

Connecter l'Oscilloscope sur la prise arrière puis régler T8 pour obtenir le niveau max ($U = 1,41 V_{cc} \pm 0,15$).

2) Formeur 10 MHz

a) Connecter l'oscilloscope en PT20, et régler T7 pour obtenir le niveau max ($U = 500 mV_{cc} \pm 75$).

b) Vérifier que le niveau sur le collecteur de Q8 est $\geq 4 V_{cc}$.

3) 4 MHz de référence

Connecter l'oscilloscope en PT12 - PT13 et régler T5 pour avoir le niveau max ($U = 400 mV_{cc} \pm 40$)

4) 9 MHz de référence

a) Connecter l'oscilloscope en PT11 - PT10 puis régler T3 et T4 pour avoir le niveau max ($U = 200 mV_{cc} \pm 20$)

b) Contrôler que la fréquence du signal est de 9 MHz.

5) 400 Hz de référence et de modulation.

a) Brancher le multimètre en PT1 (V_{eff}) et régler P1 pour avoir un niveau de 3,535 V/eff.

b) Vérifier que le niveau en PT2 est de $5V \pm 50 mV/\text{eff}$.

6) 1 kHz de référence et de modulation.

a) Brancher le multimètre en PT5 (V_{eff}) et régler P2 pour avoir un niveau de 3,535 V.

b) Vérifier que le niveau en PT4 est de $5V \pm 50 mV/\text{eff}$.

7) Le réglage du niveau des fréquences 400 Hz et 1 kHz, de référence et de modulation, doit être complété par la vérification détaillée au paragraphe calibration de la carte.

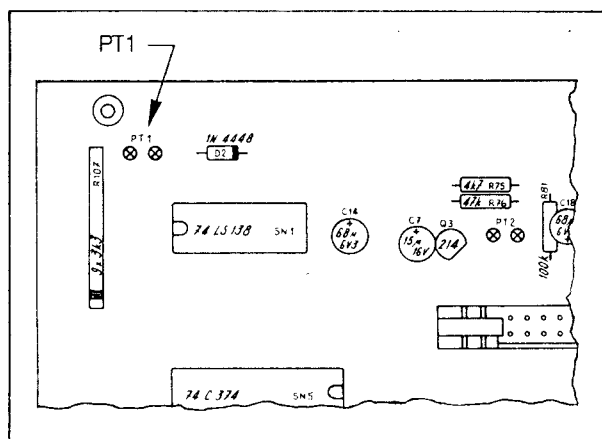
CALIBRATION DE LA CARTE

(Remplacée ou non)

Niveau des fréquences 400 Hz et 1 kHz

- a) Positionner le générateur dans la configuration suivante :
- Fréquence : 300 MHz
 - Niveau : 0 dBm
 - Modulation FM avec déviation de ± 300 kHz et source modulante externe.
- b) Court-circuiter le point test 1 (PT1) de la carte Panneau AV. analogique puis inhiber l'action des 2 potentiomètres de modulation et du Vernier de niveau, en tournant le bouton RF sur CW et MOD.

Carte PANNEAU AV. ANALOGIQUE
ANALOGUE FRONT PANEL card



ADJUSTMENTS CARD REPAIRED

Equipment required :

- 75 MHz oscilloscope,
- multimeter (KEITHLEY).

1) Reference 10 MHz (rear panel) :

Connect oscilloscope to rear panel socket and adjust T8 to obtain maximum level ($U = 1.41 V_{pp} \pm 0.15$).

2) 10 MHz signal-shaping circuit :

a) Connect oscilloscope to PT20 and adjust T7 to obtain maximum level ($U = 500 mV_{pp} \pm 75$).

b) Test level at collector of Q8 : $\geq 4 V_{pp}$

3) Reference 4 MHz :

Connect oscilloscope to PT12 - PT13 and adjust T5 to obtain maximum level ($U = 400 mV_{pp} \pm 40$).

4) Reference 9 MHz :

a) Connect oscilloscope to PT11 - PT10 and adjust T3 and T4 to obtain maximum level ($U = 200 mV_{pp} \pm 20$).

b) Check signal frequency is 9 MHz.

5) Modulation and reference 400 Hz :

a) Connect multimeter to PT1 (V_{eff}) and adjust P1 to obtain a level of 3.535 V/rms.

b) Check that the level at PT2 is $5V \pm 50 mV/\text{rms}$.

6) Modulation and reference 1 kHz :

a) Connect multimeter to PT5 (V_{eff}) and adjust P2 to obtain a level of 3.535 V/rms.

b) Check that the level at PT4 is $5V \pm 50 mV/\text{rms}$.

7) Modulation and reference 400 Hz and 1 kHz adjustments must be followed by detailed verification procedure described under CALIBRATION

CALIBRATION

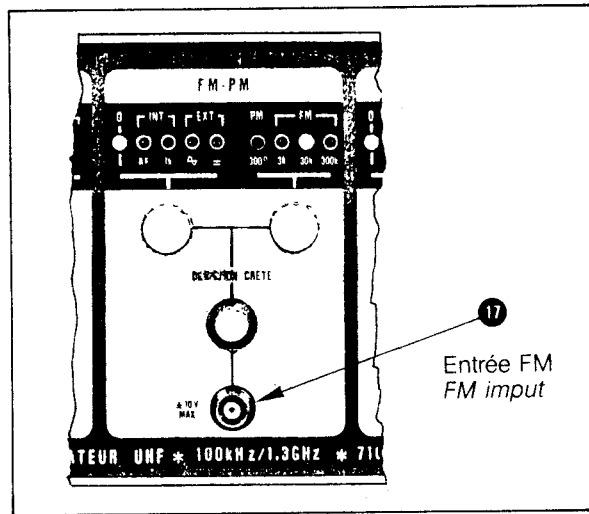
(Card replaced or not)

400 Hz and 1 kHz levels

- a) Set up the following configuration :
- frequency : 300 MHz
 - level : 0 dBm
 - frequency modulation with ± 300 kHz deviation and external modulation source.
- b) Short-circuit test point PT1 on the analogue front panel card and disable the modulation and level Vernier potentiometers by setting RF knob to CW and MOD.

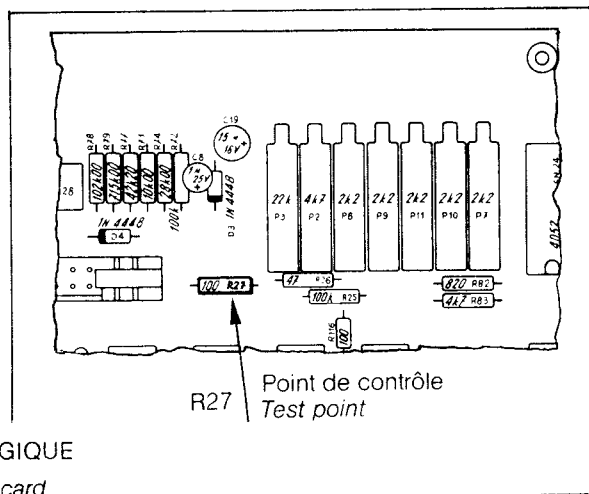
c) Injecter sur l'entrée FM un signal modulant de fréquence et de niveau égaux respectivement à 1 kHz et 3 V_{eff}/600 Ω.

c) Apply modulating signal to FM input at 1 kHz and 3 V_{rms}/600 ohms.



d) Connecter le multimètre à la résistance R27 repérée ci-dessous, le point de contrôle correspondant à la sortie du signal de modulation. Vérifier que le niveau mesuré est égal à 1,5 V_{eff}.

d) Connect the multimeter to resistor R27 (see below). The test point corresponds to the modulation signal output. Check that the measured level is 1.5 V_{rms}.



Carte PANNEAU AV. ANALOGIQUE
ANALOGUE FRONT PANEL card

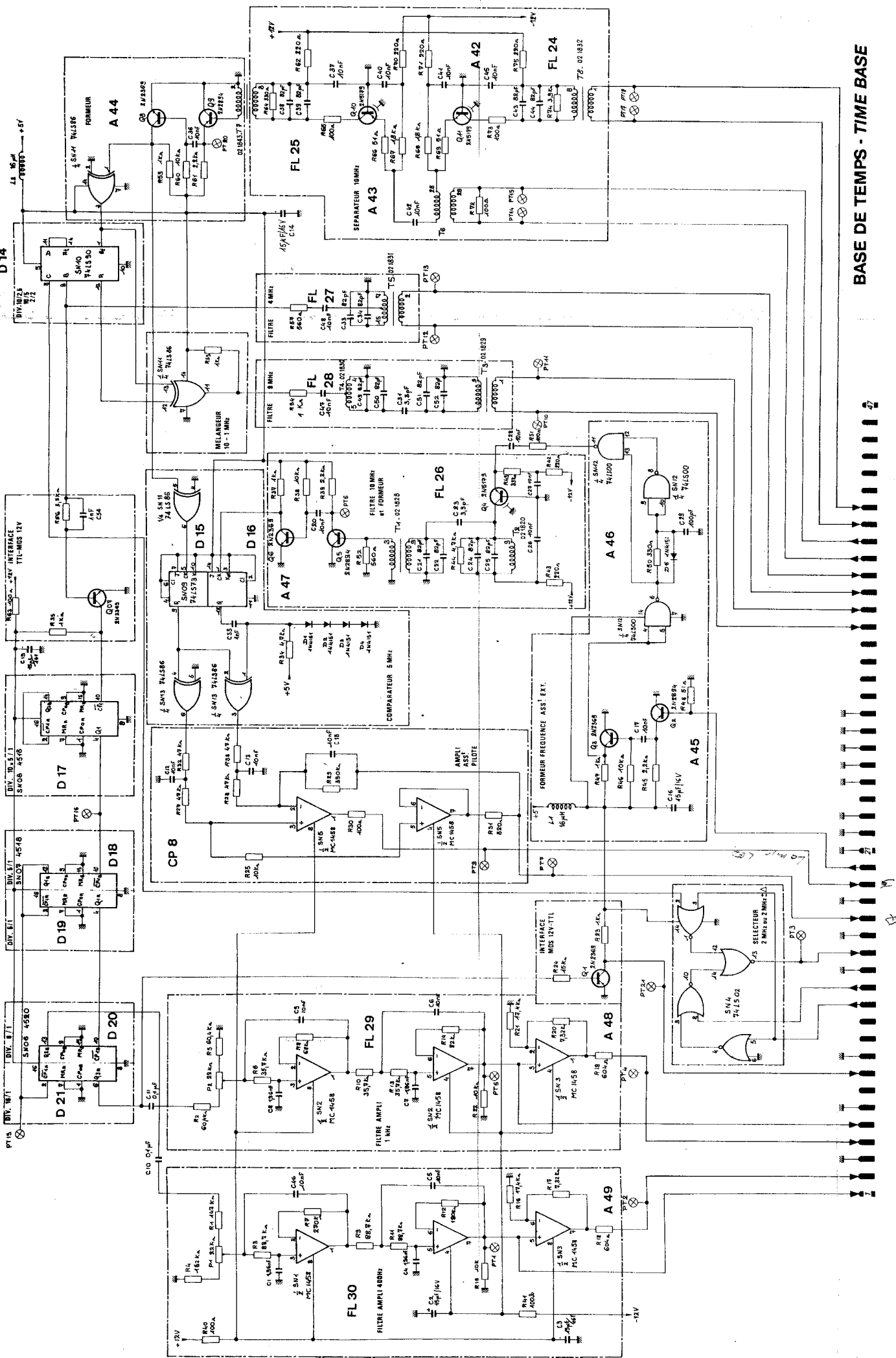
e) Valider la source modulante interne de 400 Hz et régler le potentiomètre P1 de la Base de temps, pour ajuster le niveau sur R27 à 1,5 V_{eff}.

e) Select the internal 400 Hz modulation source and adjust timebase potentiometer P1 so that the level measured at R27 is 1.5 V_{rms}.

f) Valider la source modulante interne de 1 kHz et régler le potentiomètre P2 de la Base de temps, pour ajuster le niveau sur R27 à 1,5 V_{eff}.

f) Select the internal 1 kHz modulation source and adjust timebase potentiometer P2 to obtain a level measured at R27 of 1.5 V_{rms}.

5



BASE DE TEMPS - TIME BASE

COMPARATEURS PHASE-FREQUENCE PHASE-FREQUENCY COMPARATORS

Le sous-ensemble COMPARATEURS PHASE/FREQUENCE comprend une partie de la boucle d'asservissement de phase générant les pas de 500 Hz de la fréquence de sortie, ainsi que les comparateurs phase/fréquence, les circuits d'alarme et d'inhibition associés aux oscillateurs 300 MHz/670 MHz et 320 MHz/650 MHz.

La génération des pas de 500 Hz s'effectue à l'aide d'un oscillateur couvrant la gamme 32 MHz à 42 MHz ou 58 MHz à 48 MHz, selon que le signal 20 MHz/25 MHz porte les pas de 1 kHz en spectre direct ou inverse par rapport à la fréquence de sortie. Le signal généré par cet oscillateur est d'une part envoyé au sous-ensemble COMPTEURS pour y être divisé par 32000 à 58000 et comparé à une référence de 1 kHz issue de la BASE DE TEMPS, et d'autre part successivement divisé par 2 (circuit intégré SN1) et mélangé au signal de 20 à 25 MHz provenant du module OSCILLATEUR 20 MHz/25 MHz. Le battement soustractif de ces deux signaux est sélectionné par un filtre passe-bande, qui délivre ainsi une fréquence de 4 MHz. Cette fréquence est alors divisée par 8 dans le circuit intégré SN3, puis comparée à une fréquence de référence obtenue en divisant par 4 dans le circuit intégré SN6 le signal 2 MHz ou 2 MHz $\pm \Delta f$ issu de la BASE DE TEMPS. La comparaison de ces deux fréquences permet d'asservir l'oscillateur 32 MHz/42 MHz ou 58 MHz/48 MHz, dont le changement de gamme est assuré par la mise en parallèle de l'inductance T2 et du condensateur C11 (12 pF) avec son circuit oscillant. Le comparateur phase/fréquence réalisant cet asservissement peut recevoir par ailleurs un signal BF afin d'effectuer la modulation de phase du signal synthétisé.

La fréquence de 20 MHz à 25 MHz, issue du module OSCILLATEUR 20 MHz/25 MHz, est divisée par 80 dans les circuits intégrés SN8 et SN9, avant de servir de référence au comparateur phase/fréquence de l'oscillateur 320 MHz/650 MHz qui reçoit du sous-ensemble COMPTEURS la différence FS-FP divisée par 80, FS étant la fréquence de l'oscillateur 320 MHz/650 MHz et FP celle de l'oscillateur 300 MHz/670 MHz. Afin de compenser l'inversion de phase qui se produit lors du changement de sens du battement FS-FP, le circuit intégré SN10 effectue une permutation des deux signaux appliqués à ce comparateur, sur commande du bit «S» délivré par le sous-ensemble REGISTRES.

Ce bit «S» commande également le changement de gamme de l'oscillateur 32 MHz/42 MHz ou 58 MHz/48 MHz, ainsi que la permutation des signaux appliqués au comparateur phase/fréquence de cet oscillateur que réalise le circuit intégré SN7.

Un troisième comparateur phase/fréquence réalise l'asservissement de l'oscillateur 300 MHz/670 MHz par l'intermédiaire d'un signal de 250 kHz provenant du sous-ensemble COMPTEURS, et d'une référence de 250 kHz obtenue en divisant par 16 dans le circuit intégré SN17 la fréquence de 4 MHz issue de la BASE DE TEMPS.

Les comparateurs phase/fréquence des oscillateurs 320 MHz/650 MHz et 300 MHz/670 MHz n'entrent en fonctionnement que lorsque le déphasage entre le signal comparé et la référence excède 180°, ce déphasa-

The CPF subsystem comprises part of the phase-lock loop generating the output frequency 500 Hz steps, the phase-frequency comparators, and the alarm and disable circuits associated with the 300/670 MHz and 320/650 MHz oscillators.

The 500 Hz steps are generated by means of an oscillator covering the range from 32 to 42 or from 58 to 48 MHz, according to whether the 20/25 MHz signal is carrying the direct or inverted form of the 1 kHz steps (relative to the output frequency). The output signal from this oscillator is input to the counter subsystem where it is divided by 32 000 to 58 000 and compared with a 1 kHz reference frequency from the timebase. It is also successively divided by 2 (integrated circuit SN1) and mixed with the 20-25 MHz signal from the 20/25 MHz oscillator module. The difference frequency is selected by a bandpass filter which thus outputs a frequency of 4 MHz. This is divided by 8 in integrated circuit SN3 and compared with a reference frequency obtained by dividing the 2 MHz or 2 MHz $\pm \Delta f$ output from the timebase by 4 in integrated circuit SN6. The comparison of these two frequencies is the basis for locking the 32/42 MHz or 58/48 MHz oscillator, range switching being provided by the parallel connection of inductor T2 and capacitor C11 (12 pF) across its tuned circuit. The phase-frequency comparator providing this phase-locking action may also be connected to receive an LF signal in order to phase modulate the synthesised signal.

The 20-25 MHz output from the 20/25 MHz oscillator module is divided by 80 in integrated circuits SN8 and SN9 to provide a reference input to the phase-frequency comparator of the 320/650 MHz oscillator. This receives from the counter subsystem the difference frequency FS-FP divided by 80, where FS is the output frequency of the 320/650 MHz oscillator and FP is that of the 300/670 MHz oscillator. To compensate for the phase inversion which occurs on the change in sign of the FS-FP difference frequency integrated circuit SN10 switches over the two signals input to this comparator, under the control of bit "S" from the registers subsystem.

Control bit "S" also changes the range of the 32/42 MHz or 58/48 MHz oscillator and switches over the input signals to the phase-frequency comparator of this oscillator, through integrated circuit SN7.

A third phase-frequency comparator locks on the 300/670 MHz oscillator by means of a 250 kHz signal from the counters subsystem and a 250 kHz reference frequency obtained by dividing the 4 MHz output from the timebase by 16 in integrated circuit SN17.

The phase-frequency comparators of the 320/650 and 300/670 MHz oscillators operate only when the phase difference between the compared signal and the reference signal exceeds 180°, as detected by the gates of

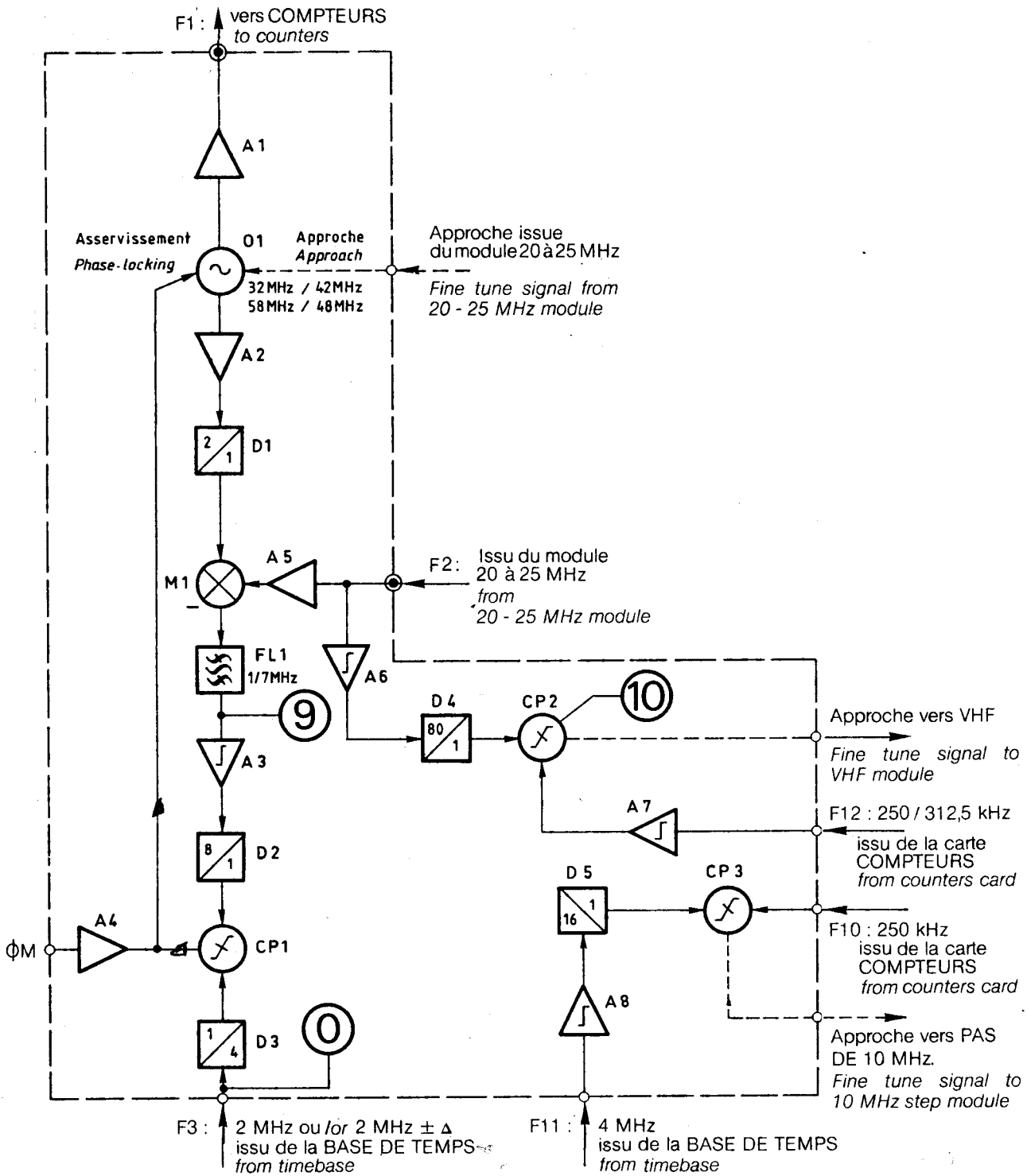
COMPARATEURS PHASE-FREQUENCE PHASE-FREQUENCY COMPARATORS

ge étant détecté par les portes du circuit intégré SN19 qui déclenchent alors les bascules monostables du circuit intégré SN16. En régime permanent, ces deux comparateurs phase/fréquence restent inactifs, l'asservissement des oscillateurs 320 MHz/650 MHz et 300 MHz/670 MHz étant réalisé par des comparateurs de phase à échantillonnage respectivement situés dans les modules VHF et PAS DE 10 MHz.

integrated circuit SN19 which then trigger the monostables of integrated circuit SN16. Under steady state operating conditions these two phase-frequency comparators are inactive, the 320/650 and 300/670 MHz oscillators being locked on by sampling type phase comparators in the VHF and 10 MHz steps modules, respectively.

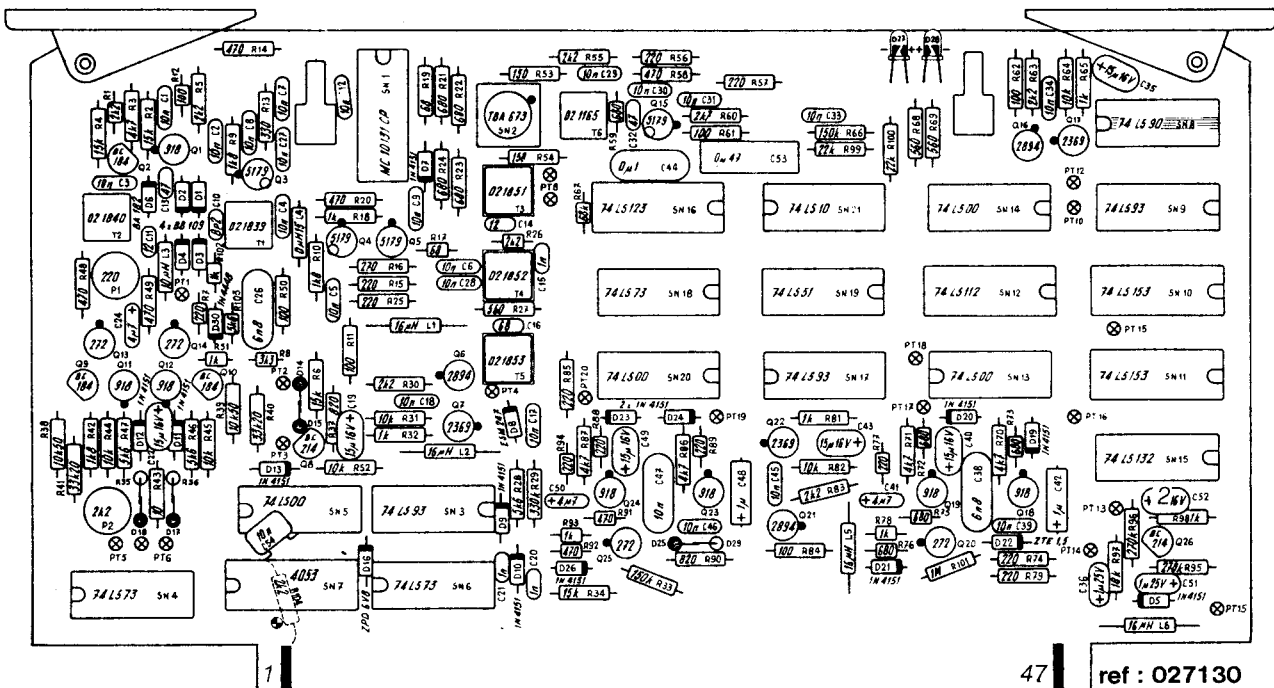
SYNOPTIQUE

BLOCK DIAGRAM



REPERAGE DES COMPOSANTS

COMPONENT IDENTIFICATION



REPERAGE DU CONNECTEUR

CONNECTOR PIN-OUT

Commande de modulation ΦM = issue du Panneau avant analogique.	1	Phase modulation (ΦM = from analogue front panel).
Test : Niveau du battement 4 MHz vers carte Registres.	2	Test : 4 MHz level to registers card.
Test : Niveau du 2 MHz ou 2 MHz $\pm \Delta f$ vers cartes Registres.	3	Test : 2 MHz or 2 MHz $\pm \Delta f$ level to registers card.
Signal d'approche issu du module 20 à 25 MHz (tension d'asservissement).	6	Fine tune signal from 20 - 25 MHz module (lock-on voltage).
2 MHz ou 2 MHz $\pm \Delta f$ issu de la Base de Temps.		2 MHz or 2 MHz $\pm \Delta f$ from timebase.
Tension d'approche FP* vers PAS DE 10 MHz	24	Fined tune signal FP* to 10 MHz step module.
Tension d'approche FS* vers Interface.	31	Fine tune voltage FS* to interface module.
Inhibition de la boucle FINE et validation de l'approche FP vers PAS DE 10 MHz	32	Fine loop disable and fine tune FP enable to 10 MHz step module.
Inhibition de la boucle FINE et validation de l'approche FS vers Registres et Interface.	33	Fine loop disable and fine tune FS enable to registers and interface cards.
(1) { bit de sens	34	Polarity bit
{ bit de changement de sens	35	Change of polarity bit } (1)
4 MHz issu de la Base de Temps.	36-37	4 MHz from timebase
250 kHz issu de la carte Compteurs.	38	250 kHz from counters card
Battement FS-FP/80 issu de la carte Compteurs.	40	FS - FP/80 from counters card.
Sens détecté du battement FS-FP/80 issu de la carte Compteurs.	41	Polarity of FS - FP/80 from counters card.
+ 18 V	42	+ 18 V
+ 12 V	44	+ 12 V
+ 5 V	45-46	+ 5 V
- 12 V	47	- 12 V
	{ 16-21 } { 22-23 }	

Les broches non mentionnées ne sont pas connectées. — NC — Pins not listed not connected.

* FS : 320 à 650 MHz (module VHF)
 * FP : 300 à 670 MHz (module PAS DE 10 MHz)
 (1) des oscillateurs 20 à 25 MHz, 32 à 58 MHz et des positions relatives de FS et FP

* FS : 320 — 650 MHz (VHF module)
 * FP : 300 — 670 MHz (10 MHz step module)
 (1) 20 - 25, 32 - 58 MHz oscillators and relative positions of FS and FP

CONTROLE DE LA CARTE

CARD TESTS

PREPARATION A LA MAINTENANCE

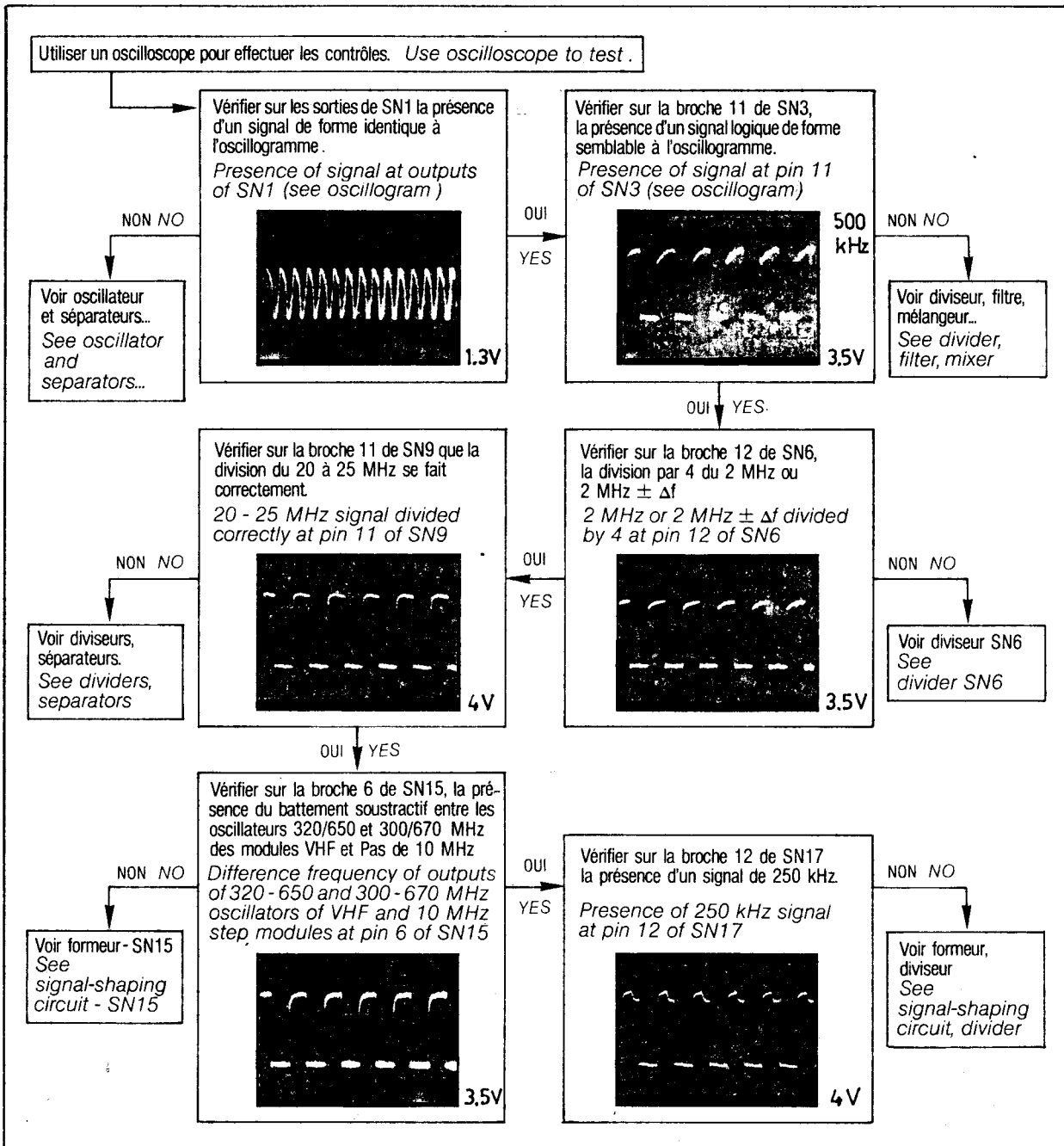
- Déconnecter les liaisons coaxiales : gauche à la carte Compteurs droite au module 20 à 25 MHz
- Sortir la carte 3 à l'aide des extracteurs.
- La placer sur prolongateur rigide pour permettre son dépannage (prévoir des extensions coaxiales pour les raccordements entre sous-ensembles).
- Introduire la nouvelle carte en cas de remplacement du sous-ensemble (rétablir les liaisons coaxiales).

PREPARATION

- *Unplug the coaxial connections at the lefthand side of the counters card and the righthand side of the 20 - 25 MHz module.*
- *Withdraw card 3 using extractors.*
- *Insert card into rigid extender (use coaxial extension cables for the intermodule connections).*
- *Insert new card if replacing-subsystem (set up again coaxial connections).*

DEPANNAGE-SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART



REGLAGE DE LA CARTE CARTE DEPANNEE

Matériels nécessaires :

- Oscilloscope 75 MHz
- Un fréquencemètre
- Un multimètre
- Wobulateur
- Té Subcllic

1. Circuit d'entrée 20 à 25 MHz

- a) Injecter sur la prise subcllic «entrée 20 à 25 MHz» un signal wobulé entre 20 et 25 MHz à la vitesse de 60 Hz, le niveau étant de 0 dBm.
- b) Court-circuiter le point commun de R2/émetteur de Q1 au boîtier du transistor.
- c) Connecter l'oscilloscope en PT08 et régler T6 pour centrer la résonance à 22,5 MHz. Le niveau à cette fréquence est de $0,7 V_{cc} \pm 80 \text{ mV}$.
- d) Oter le court-circuit.

2. Oscillateur 29,6 à 60,4 MHz

- a) Connecter sur la sortie subcllic 29,6 à 60,4 MHz un té qui permette le raccordement de la liaison coaxiale avec la carte compteurs et un adaptateur BNC.
- b) Raccorder l'adaptateur BNC au fréquencemètre sur lequel est asservi le 7100.
- c) Afficher 354,990 MHz sur le 7100 et vérifier que la fréquence indiquée sur le fréquencemètre est de 41,980 MHz.
- d) Connecter le multimètre sur PT1 et régler T1 pour obtenir un niveau de 11,5 V.
- e) Afficher 355 MHz et lire 58 MHz sur le fréquencemètre. Régler T2 pour obtenir un niveau de 11 V en PT1.
- f) Afficher 350 MHz et lire 32 MHz sur le fréquencemètre. Vérifier que le niveau en PT1 est de $3,5 \text{ V} \pm 0,25 \text{ V}$.
- g) Afficher 349,990 MHz et lire 48,020 MHz sur le fréquencemètre. Le niveau en PT1 doit être égal à $3,5 \text{ V} \pm 0,25 \text{ V}$.

3. FM continue 300 kHz

- a) Raccorder les 2 voies de l'oscilloscope respectivement en PT5 et PT6. Régler P1 pour obtenir la même largeur de créneau sur les deux voies.
- b) Afficher 100 MHz et valider la modulation FM avec couplage continu. Sélectionner la gamme 300 kHz et placer le potentiomètre de taux en butée à droite.
- c) Injecter sur l'entrée FM une tension de 4,24 V et vérifier que la fréquence affichée a été augmentée de 300 kHz.
- d) Excursionner la bande 100 à 102,5 MHz et vérifier que la variation de la largeur des créneaux est $\leq 0,2 \mu\text{s}$. Inverser la polarité de la tension injectée puis faire la même vérification de 102,5 MHz à 100 MHz.

4. Φ M continue

- a) Afficher 350 MHz et valider la modulation de phase (Φ M).
- b) Vérifier sur la borne 1 du connecteur que la tension est égale à 1,06 V.
- c) Raccorder les 2 voies de l'oscilloscope (lecture positive) respectivement en PT5 et PT6.
- d) Excursionner la bande 350 à 355 MHz par pas de 10 kHz et régler P2 pour obtenir une largeur moyenne des créneaux de $0,24 \mu\text{s}$.

ADJUSTMENTS CARD REPAIRED

Equipment required :

- 75 MHz oscilloscope,
- frequency meter,
- multimeter,
- wobulator,
- Subcllic Tee connector.

1) 20 - 25 MHz input circuit

- a) Apply to "20-25 MHz" Subcllic input connector a signal swept from 20-25 MHz at 60 Hz and 0 dBm level.
- b) Short-circuit the common point of R2/Q1 emitter to the transistor case.
- c) Connect the oscilloscope to PT08 and adjust T6 to centre the resonance peak on 22.5 MHz, at level $0.7 V_{pp} \pm 80 \text{ mV}$.
- d) Remove the short-circuit.

2) 29.6 - 60.4 MHz oscillator

- a) Connect Tee connector to 29.6 - 60.4 MHz Subcllic output to enable coaxial connection to counters card and fitting of BNC adaptor.
- b) Connect the BNC adaptor to the frequency meter to which the 7100 is locked on.
- c) Set 354.990 MHz on the 7100 and verify that the frequency meter reads 41.980 MHz.
- d) Connect the multimeter to PT1 and adjust T1 to obtain a level of 11.5 V.
- e) Set 355 MHz (frequency meter reading 58 MHz). Adjust T2 to obtain a level of 11 V at PT1.
- f) Set 350 MHz (frequency meter reading 32 MHz). Verify that the level at PT1 is $3.5 \text{ V} \pm 0.25 \text{ V}$.
- g) Set 349.990 MHz (frequency meter reading 48.020 MHz). The level at PT1 should be $3.5 \text{ V} \pm 0.25 \text{ V}$.

3) Continuous FM at 300 kHz

- a) Connect the oscilloscope to PT5 and PT6. Adjust P1 to obtain the same peak amplitude on both channels.
- b) Set 100 MHz and enable FM modulation (DC coupling). Select the 300 kHz range and rotate the modulation depth potentiometer fully clockwise.
- c) Apply input voltage of 4.24 V to FM input and check that the frequency indicated increases by 300 kHz.
- d) Sweep across the 100 - 102.5 MHz band and check that the peak amplitude variation is not more than $0.2 \mu\text{s}$. Reverse the input polarity and repeat the above test from 102.5 to 100 MHz.

4) Continuous Φ M

- a) Set 350 MHz and select phase modulation (Φ M).
- b) Check voltage at connector pin 1 is 1.06 V.
- c) Connect the oscilloscope to PT5 and PT6.
- d) Sweep the 350 - 355 MHz band in steps of 10 kHz and adjust P2 to obtain a mean peak amplitude of $0.24 \mu\text{s}$.

COMPTEURS COUNTERS

Ce sous-ensemble comprend le compteur par 32000 à 58000 et le comparateur phase/fréquence de la boucle d'asservissement de phase élaborant les pas de 500 Hz, le compteur par 30 à 67 de la boucle élaborant les pas de 10 MHz, ainsi que les circuits effectuant le battement FS/80-FP/80 et détectant le sens de ce battement.

Le compteur programmable par 32000 à 58000 reçoit du sous-ensemble COMPAREUR PHASE/FREQUENCE le signal généré par l'oscillateur 32 MHz/42 MHz ou 58 MHz/48 MHz et délivre un signal de 1 kHz. Ce signal est appliqué à un comparateur phase/fréquence qui reçoit la référence de 1 kHz élaborée par la BASE DE TEMPS, et fournit ainsi une tension continue asservissant l'oscillateur 20 MHz/25 MHz. Le compteur programmable se compose d'un diviseur par 10 ou 11 (circuit intégré SN1) suivi d'un diviseur par 2 ou 4 (circuit intégré SN2) et d'un diviseur fixe par 1600 (circuits intégrés SN5 et SN6). Le diviseur par 10 ou 11 permet la synthèse des pas de 500 Hz et 1 kHz de la fréquence de sortie, tandis que le diviseur par 2 ou 4 procure les pas de 10 kHz, 100 kHz et 1 MHz. Ces deux diviseurs sont commandés par les additionneurs binaires SN7 à SN10 en fonction des signaux BCD parallèles délivrés par les registres SN11, SN12 et SN18, qui effectuent le démultiplexage des octets transmis par le sous-ensemble CPU aux lignes D0 à D7.

Le compteur programmable par 30 à 67 reçoit du module PAS DE 10 MHz la fréquence de l'oscillateur 300 MHz/670 MHz divisée par 40, et fournit au sous-ensemble COMPAREUR PHASE/FREQUENCE un signal de 250 kHz à partir duquel s'effectue l'asservissement de cet oscillateur. Le compteur se compose d'un diviseur par 3 à 7 (circuit intégré SN16) suivi d'un diviseur par 10 (circuit intégré SN20), la programmation du taux de comptage étant effectuée par les additionneurs binaires SN17 et SN21 à partir des signaux BCD parallèles issus du registre SN18.

Le battement FS/80-FP/80 est effectué par un mélangeur à OU-exclusif, réalisé à l'aide de trois portes NAND du circuit intégré SN25, suivi d'un filtre passe-bas de bande passante 500 kHz. Ce mélangeur reçoit des signaux de fréquence FP/80 et FS/80 obtenus en divisant par 2 dans chaque bascule J-K du circuit intégré SN22 les fréquences FP/40 et FS/40 respectivement issues du module PAS DE 10 MHz et du module VHF.

Le sens du battement FS/80 est détecté par les deux bascules J-K du circuit intégré SN23, montées en comparateur phase/fréquence, et par les portes NAND du circuit intégré SN24. Cette détection fournit un bit «D», dont l'état «0» correspond à FS > FP et l'état «1» à FP > FS, qui est envoyé au sous-ensemble COMPAREUR PHASE/FREQUENCE comme le battement FS/80 - FP/80.

This subsystem comprises the 32 000 to 58 000 counter and the phase-frequency comparator of the phase-lock loop used to generate the 500 Hz steps, the 30 to 67 counter of the loop used to generate the 10 MHz steps and the circuits forming the FS - FP/80 difference signal and determining its polarity.

The 32 000 to 58 000 programmable counter receives the signal generated by the 32/42 or 58/48 MHz oscillator from the phase-frequency comparator subsystem. It outputs a signal at 1 kHz which is input to a phase-frequency comparator also receiving the 1 kHz reference from the timebase. It outputs a DC voltage controlling the 20/25 MHz oscillator. This programmable counter comprises a divider by 10 or 11 (integrated circuit SN1) followed by a divider by 2 or 4 (integrated circuit SN2) and a divider by 1 600 (integrated circuits SN5 and SN6). The divider by 10 or 11 is used to synthesise the 500 Hz and 1 kHz steps of the output frequency. The divider by 2 or 4 provides the 10 and 100 kHz and 1 MHz steps. These two dividers are controlled by binary adders SN7 to SN10, according to parallel BCD signals received from registers SN11, SN12 and SN18 which demultiplex bytes from the CPU subsystem received on lines D0 to D7.

The programmable 30 to 67 counter receives from the 10 MHz step module the output frequency of the 300/670 MHz oscillator divided by 40 and inputs to the phase-frequency comparator subsystem a signal at 250 kHz controlling this oscillator. The counter comprises a divider by 3 to 7 (integrated circuit SN16) followed by a divider by 10 (integrated circuit SN20), the counters being programmed by binary adders SN17 and SN21 according to parallel BCD signals from register SN18.

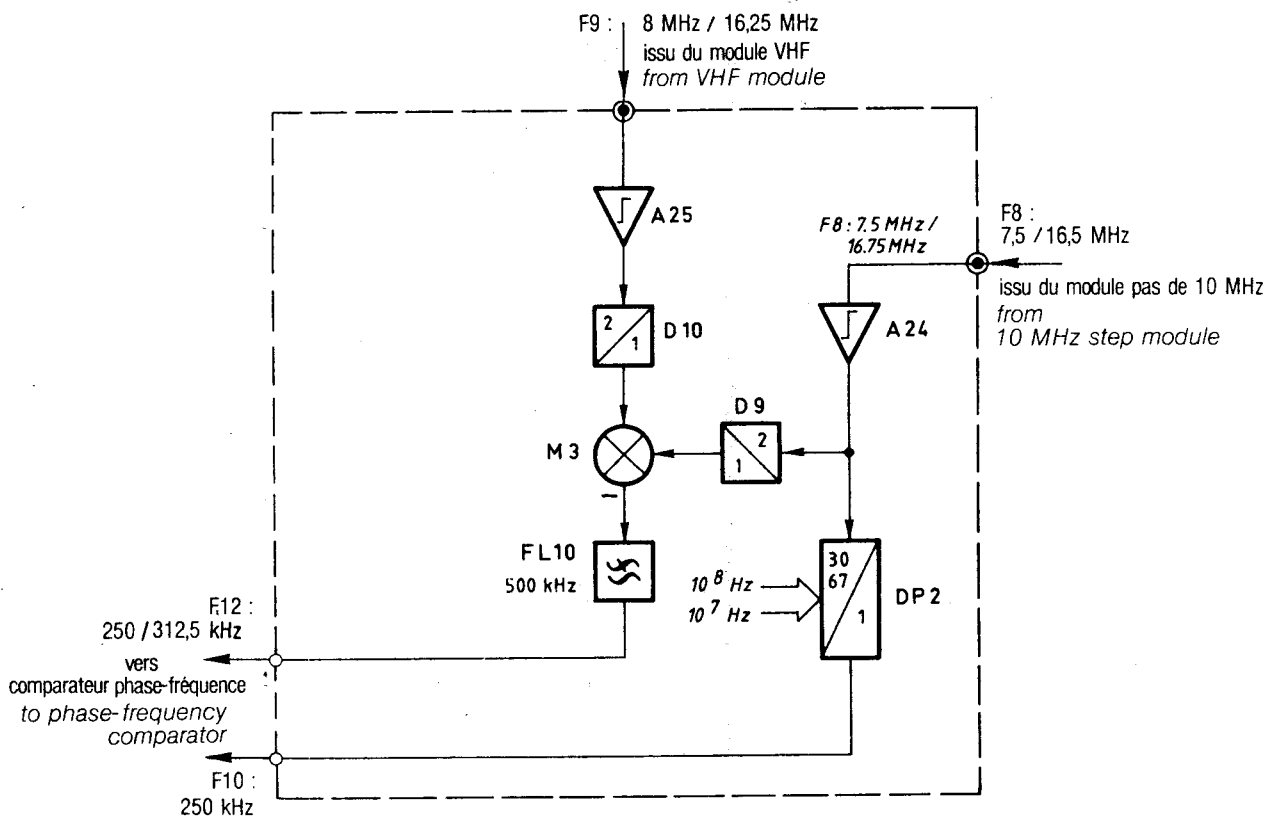
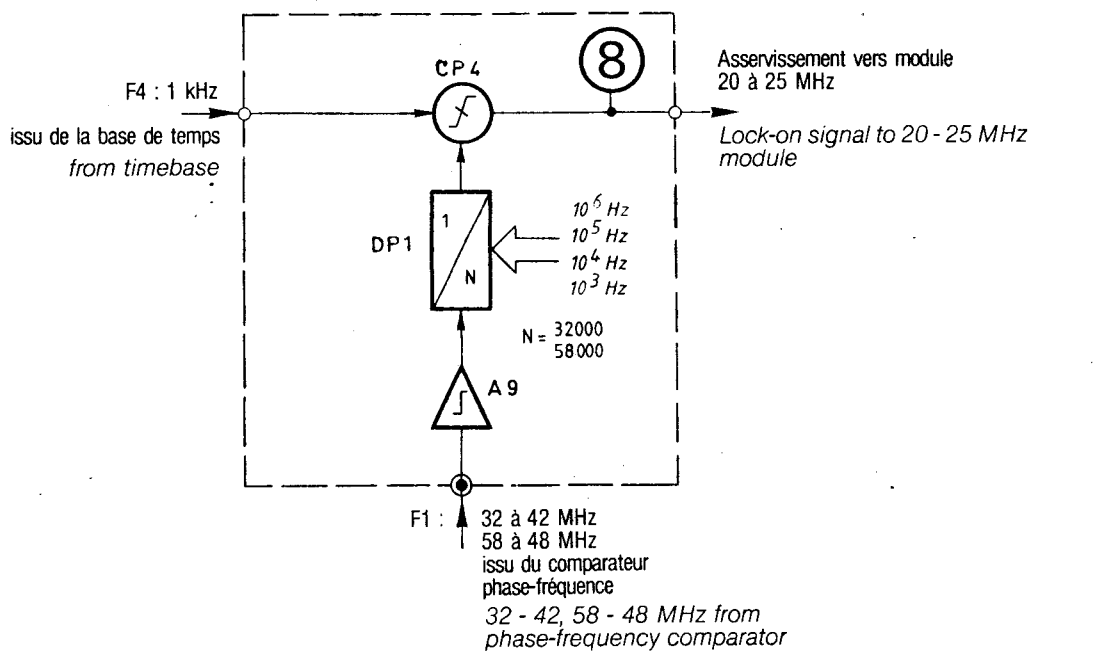
The FS - FP/80 reference frequency is generated by an exclusive-OR mixer comprising three NAND gates of integrated circuit SN25 followed by 500 kHz lowpass filter. The mixer receives signals at frequencies FP/80 and FS/80 obtained by dividing by 2 in respective J-K bistables of integrated circuit SN22 the frequencies FP/40 and FS/40 from the 10 MHz step and VHF modules, respectively.

The polarity of the difference frequency is sensed by two J-K bistables of integrated circuit SN23 operating as a phase-frequency comparator and by the NAND gates of integrated circuit SN24. The resulting output bit "D" is at "0" to signify FS > FP or "1" to signify FP > FS. This bit is sent to the phase-frequency comparator subsystem with the difference frequency FS - FP/80.

**COMPTEURS
COUNTERS**

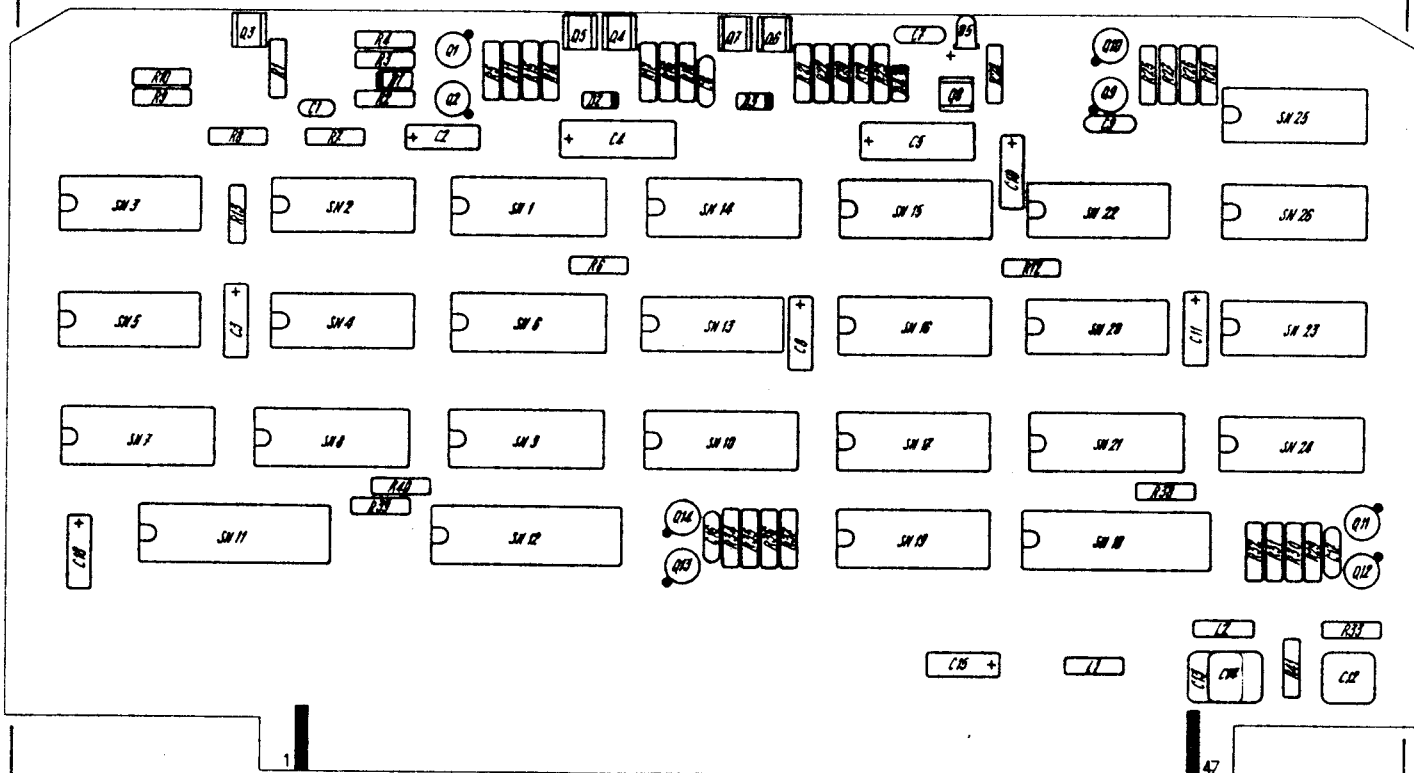
SYNOPTIQUE

BLOCK DIAGRAM



REPERAGE DES COMPOSANTS

COMPONENT IDENTIFICATION



REPERAGE DU CONNECTEUR

CONNECTOR PIN-OUT

Test : Verrouillage 1 kHz vers carte Registres	4	— Test : 1 kHz lock-on to registers card
Asservissement de l'oscillateur 80/100 MHz vers module 20 à 25 MHz	6	— 80/100 Hz oscillator lock-on to 20 - 25 MHz module
1 kHz \square de référence issu de la BASE DE TEMPS	7	— 1 kHz \square reference from timebase
BUS interne des DONNEES	D0 — 13	— D0
Entrées et sorties issues/vers carte CPU	D1 — 14	— D1
	D2 — 15	— D2
	D3 — 16	— D3
	D4 — 17	— D4
	D5 — 18	— D5
	D6 — 19	— D6
	D7 — 20	— D7
1 MHz \square (E) issu de la carte CPU	24	— 1 MHz \square (E) from CPU card
BUS interne	A0 — 26	— A0
Entrées des ADRESSES issues de la carte CPU	A1 — 27	— A1
	A2 — 28	— A2
	A3 — 29	— A3
	A4 — 30	— A4
250 kHz vers Comparateurs phase-fréquence	38	— 250 kHz to phase-frequency comparators
Battement FS-FP/80 vers Comparateurs phase-fréquence	40	— FS - FP/80 difference frequency to phase-frequency comparators
Sens détecté du battement FS-FP/80 vers Comparateurs phase-fréquence	41	— FS-FP/80 polarity to phase-frequency comparators
+ 12 V	44	— + 12 V
+ 5 V	45-46	— + 5 V
- 12 V	47	— - 12 V
	9-21-22-23	
	25-34-39	
Les broches non mentionnées ne sont pas connectées	NC	— Pins not listed not connected

CONTROLE DE LA CARTE

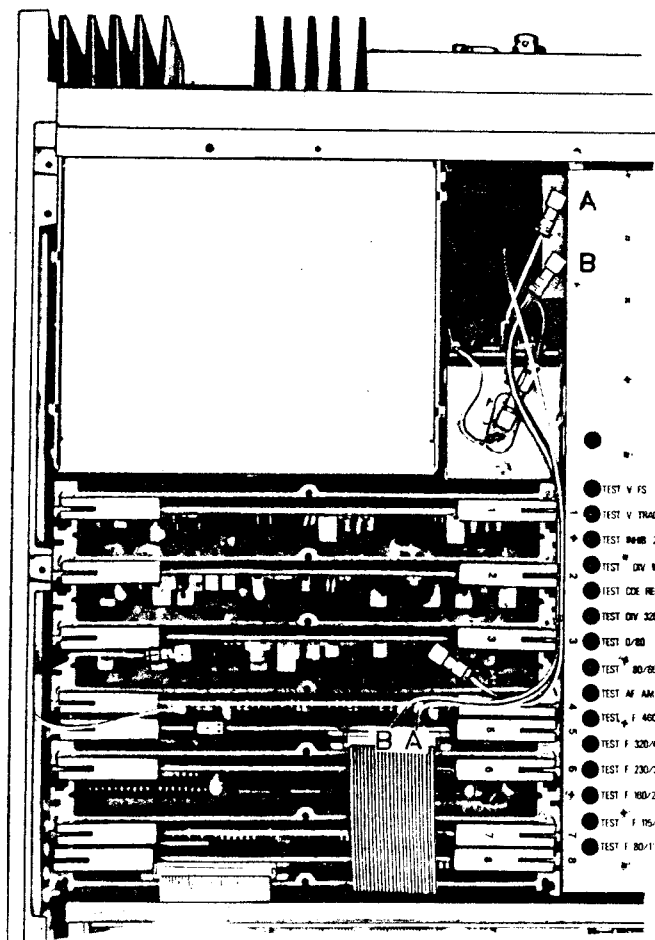
CARD TESTS

PREPARATION A LA MAINTENANCE

- Mise sur prolongateur ou remplacement de la carte
- Déconnecter la liaison coaxiale gauche de la carte 3 (Comparateurs phase-fréquence ou CPF).
- Débrancher les raccordements de la plaque de relais placée derrière le module PILOTE, afin de libérer les liaisons coaxiales fixées sur la carte Compteurs.
- Sortir la carte 5 de moitié. Cette précaution évite de détériorer, lors de la sortie de la carte Compteurs, le condensateur C17.
- Sortir la carte 4 à l'aide des extracteurs et la placer sur prolongateur rigide pour permettre son dépannage.
- Dans le cas d'un remplacement du sous-ensemble introduire la nouvelle carte et effectuer les opérations suivantes :
 - mise en place de la carte 5
 - connecter la liaison coaxiale gauche sur la carte 3
 - connecter les liaisons coaxiales sur la plaque relais

Fitting card to extender and replacing card :

- *Disconnect the lefthand coaxial connection to card 3 (phase-frequency comparators).*
- *Remove the connections from the relay board behind the pilot frequency module, to release the coaxial connections attached to the counters card.*
- *Pull card 5 halfway out, to avoid damaging capacitor C17 on withdrawing the counters card.*
- *Withdraw card 4 using extractors and insert into rigid extender.*
- *If replacing the subsystem, insert the new card and :*
 - *replace card 5,*
 - *replace lefthand coaxial connection on card 3,*
 - *replace coaxial connections on relay board.*

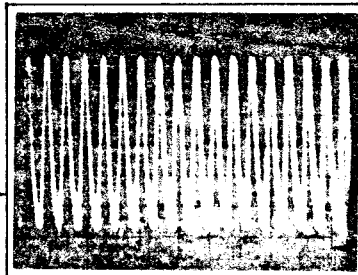


DEPANNAGE - SYNOPTIQUE DE DEFAILLANCE

TROUBLESHOOTING CHART

Utiliser un oscilloscope pour faire les contrôles
Use oscilloscope to test

Vérifier sur la broche 16 de SN1,
la présence d'un signal compris entre
32 et 58 MHz. Voir oscillogramme 1
Signal at between 32 and
58 MHz on pin 16 of SN1
(see oscillogram 1)



1.1V

Voir formeur d'entrée
See input signal-
shaping circuit

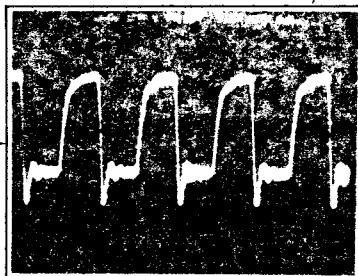
Vérifier sur la broche 3 de SN14
que le signal en sortie du compteur
32000 à 64000 est identique au relevé
de l'oscillogramme 2 $F \approx 1$ kHz
32000 to 64000 counter
output signal at pin 3 of SN14
(see oscillogram 2)



4.6V

Voir compteur 32000
à 64000
See 32000 - 64000
counter

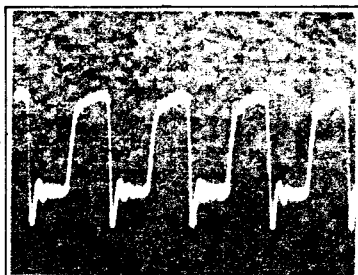
Vérifier sur la broche 12 de SN22
la présence d'un signal de forme
semblable à celle de l'oscillogramme 3
(FP/40)
FP/40 signal at pin 12 of SN22
(see oscillogram 3)



3.5V

Voir formeur d'entrée ou
diviseur (SN22)
See input signal-
shaping circuit
or divider (SN22)

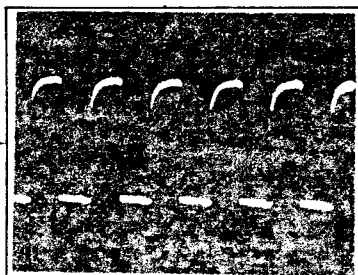
Faire le même contrôle sur la broche 9
de SN22.
Voir oscillogramme 4 (Fs/40)
FS/40 signal at pin 9 of SN22
(see oscillogram 4)



3.5V

Voir formeur d'entrée ou
diviseur (SN22)
See input signal-
shaping circuit
or divider (SN22)

Vérifier sur la broche 12 de SN20
la présence d'un signal de 250 kHz
Voir oscillogramme 5
250 kHz signal at pin 12 of
SN20 (see oscillogram 5)



4V

Voir compteur 30 à 69
See 30 - 60 counter

COMPTEUR 32000 à 64000

Le compteur divise par 32000 à 58000 la fréquence de l'oscillateur 32/58 MHz de la carte CPF et délivre une fréquence de 1 kHz au comparateur CP4 qui asservit l'oscillateur 80 à 100 MHz (20 à 25 MHz après division par 4). Ce compteur se compose d'un diviseur de tête SN1, de deux diviseurs intermédiaires SN2 et SN5 et d'un diviseur de queue SN6.

La variation du taux de comptage est commandée par les circuits NAND SN3 et SN4 et les circuits additionneurs SN10, SN09, SN08 et SN07 qui reçoivent les signaux BCD parallèles délivrés par les registres SN11 et SN12, ces derniers effectuant le démultiplexage des octets transmis par le sous-ensemble CPU aux lignes D0 à D7.

Le taux de comptage minimum de 32000 est donné par la chaîne directe suivante :

- SN1 divise par 10 lorsqu'au moins une des entrées PE est à «1».
- SN2 divise par 2 lorsque son entrée «K» (broche 3) est à «0»
- SN5 divise par 16
- SN6 divise par 100 (10 x 10)

Le taux minimum ainsi déterminé est obtenu lorsqu'un niveau «1» est appliqué sur chaque entrée des additionneurs SN7 à SN10, ce qui est le cas lorsque la fréquence délivrée en sortie du générateur est un multiple de 10 MHz dans la gamme 320 à 650 MHz.

Les principaux signaux de la chaîne de division sont repérés sur le schéma électronique par les lettres A, B, C, D et E, pour permettre la vérification du fonctionnement du compteur à partir des informations ci-dessous :

- A : Signal ECL d'entrée
Niveau continu d'environ 3,7 V
Niveau RF d'environ 1 Vcc
- B : Signal carré, niveau TTL
- C : Signal carré, niveau TTL
- D : Impulsion TTL dont le niveau bas à 25 % de rapport de charge R11)
- E : Impulsion CMOS dont le niveau haut à 20 % de rapport cyclique

MODIFICATION DU TAUX DE COMPTAGE

a. Introduction des UNITES

Le diviseur de tête SN1 divise par 11 lorsque les deux entrées PE qui reçoivent les signaux J et H sont à «0».

Le signal J, en sortie de SN3, est l'intersection par une porte NAND de 1 état unique de SN2 (divisant par 2 ou 4), avec 1 état unique de SN5 (divisant par 16) et la sortie «D» d'un compteur divisant par 10 (1/2 SN6).

Le rapport cyclique de l'impulsion négative J est ainsi de 20/x, où «x» représente la variation du taux de comptage du «compteur de queue» formé de SN2, SN5 et SN6.

Le signal I est la retenue sortante de l'additionneur SN10, qui lorsque la retenue entrante est à «1» (broche 9) est une impulsion négative avec un rapport cyclique de N/10 ou (N + 1)/10 lorsque la retenue entrante est à «0». N représente les unités appliquées sur les entrées de SN10.

La retenue entrante correspond à la demi-unité P intersectée par le signal K dont le rapport cyclique est de 50 %.

Le rapport cyclique est ainsi en moyenne de (N + P/2)/10.

32 000 -64 000 COUNTER

This counter divides the output frequency of the 32/58 MHz oscillator on the CPF card by 32 000 to 58 000 to input a signal at 1 kHz to comparator CP4 which phase-locks the 80 - 100 MHz oscillator (20 - 25 MHz following division by 4).

The counter comprises an input divider SN1, two intermediate dividers SN2 and SN5 and an output divider SN6.

The dividing ratio is controlled by NAND circuits SN3 and SN4 and adders SN10, SN09, SN08 and SN07 which receive parallel BCD signals from registers SN11 and SN12 which demultiplex bytes received from the CPU subsystem over lines D0 to D7.

The minimum ratio (32 000) is provided by the following direct-connected configuration :

- SN1 divides by 10 when at least one input PE is at "1".
- SN2 divides by 2 when input "K" (pin 3) is at "0",
- SN5 divides by 16,
- SN6 divides by 100 (10 x 10).

This minimum ratio is obtained when logic "1" is applied to each input of adders SN7 to SN10. This is the case when the generator output frequency is a multiple of 10 MHz in the range 320 - 650 MHz.

Operation of the counter may be tested using the data set out below. The principal divider signals are marked A to E on the electronic circuit diagram.

- A : ECL input signal.
DC level \approx 3.7 V.
RF level \approx 1 Vpeak
- B : Squarewave signal, TTL level.
- C : Squarewave signal, TTL level.
- D : TTL-compatible pulse signal with 0.25 cyclic ratio (low), increased to CMOS-compatible level by load resistor R11.
- E : CMOS-compatible pulse signal with 0.20 cyclic ratio (high).

SETTING THE DIVISION RATIO

a) Entry of units digits

The input divider SN1 divides by 11 when both inputs PE (signals J and H) are at logic "0".

Signal J at the output of SN3 is the output of an NAND gate receiving the output of SN2 (dividing by 2 or 4) and the output of SN5 (dividing by 16) and the "D" output of a counter dividing by 10 (1/2 SN6).

The cyclic ratio of negative pulse J is thus 20/x where "x" represents the division ratio variation of the output divider formed by SN2, SN5 and SN6.

Signal I is the carry output from adder SN10. When the input carry is "1" (pin 9) this is a negative-going pulse with a cyclic ratio of N/10. The ratio is (N + 1)/10 when the input carry is "0". N represents the units applied to the inputs of SN10.

The input carry corresponds to the half-unit P ANDed with signal K, the cyclic ratio of which is 50 %.

The main cyclic ratio is thus (N + P/2)/10.

COMPTEUR 32000 à 64000

Le compteur divise par 32000 à 58000 la fréquence de l'oscillateur 32/58 MHz de la carte CPF et délivre une fréquence de 1 kHz au comparateur CP4 qui asservit l'oscillateur 80 à 100 MHz (20 à 25 MHz après division par 4). Ce compteur se compose d'un diviseur de tête SN1, de deux diviseurs intermédiaires SN2 et SN5 et d'un diviseur de queue SN6.

La variation du taux de comptage est commandée par les circuits NAND SN3 et SN4 et les circuits additionneurs SN10, SN09, SN08 et SN07 qui reçoivent les signaux BCD parallèles délivrés par les registres SN11 et SN12, ces derniers effectuant le démultiplexage des octets transmis par le sous-ensemble CPU aux lignes D0 à D7.

Le taux de comptage minimum de 32000 est donné par la chaîne directe suivante :

- SN1 divise par 10 lorsqu'au moins une des entrées PE est à «1».
- SN2 divise par 2 lorsque son entrée «K» (broche 3) est à «0»
- SN5 divise par 16
- SN6 divise par 100 (10 x 10)

Le taux minimum ainsi déterminé est obtenu lorsqu'un niveau «1» est appliqué sur chaque entrée des additionneurs SN7 à SN10, ce qui est le cas lorsque la fréquence délivrée en sortie du générateur est un multiple de 10 MHz dans la gamme 320 à 650 MHz.

Les principaux signaux de la chaîne de division sont repérés sur le schéma électronique par les lettres A, B, C, D et E, pour permettre la vérification du fonctionnement du compteur à partir des informations ci-dessous :

- A : Signal ECL d'entrée
Niveau continu d'environ 3,7 V
Niveau RF d'environ 1 Vcc
- B : Signal carré, niveau TTL
- C : Signal carré, niveau TTL
- D : Impulsion TTL dont le niveau bas à 25 % de rapport de charge R11)
- E : Impulsion CMOS dont le niveau haut à 20 % de rapport cyclique

MODIFICATION DU TAUX DE COMPTAGE

a. Introduction des UNITES

Le diviseur de tête SN1 divise par 11 lorsque les deux entrées PE qui reçoivent les signaux J et H sont à «0».

Le signal J, en sortie de SN3, est l'intersection par une porte NAND de 1 état unique de SN2 (divisant par 2 ou 4), avec 1 état unique de SN5 (divisant par 16) et la sortie «D» d'un compteur divisant par 10 (1/2 SN6).

Le rapport cyclique de l'impulsion négative J est ainsi de 20/x, où «x» représente la variation du taux de comptage du «compteur de queue» formé de SN2, SN5 et SN6.

Le signal I est la retenue sortante de l'additionneur SN10, qui lorsque la retenue entrante est à «1» (broche 9) est une impulsion négative avec un rapport cyclique de N/10 ou (N + 1)/10 lorsque la retenue entrante est à «0». N représente les unités appliquées sur les entrées de SN10.

La retenue entrante correspond à la demi-unité P intersectée par le signal K dont le rapport cyclique est de 50 %.

Le rapport cyclique est ainsi en moyenne de (N + P/2)/10.

32 000 -64 000 COUNTER

This counter divides the output frequency of the 32/58 MHz oscillator on the CPF card by 32 000 to 58 000 to input a signal at 1 kHz to comparator CP4 which phase-locks the 80 - 100 MHz oscillator (20 - 25 MHz following division by 4).

The counter comprises an input divider SN1, two intermediate dividers SN2 and SN5 and an output divider SN6.

The dividing ratio is controlled by NAND circuits SN3 and SN4 and adders SN10, SN09, SN08 and SN07 which receive parallel BCD signals from registers SN11 and SN12 which demultiplex bytes received from the CPU subsystem over lines D0 to D7.

The minimum ratio (32 000) is provided by the following direct-connected configuration :

- SN1 divides by 10 when at least one input PE is at "1".
- SN2 divides by 2 when input "K" (pin 3) is at "0",
- SN5 divides by 16,
- SN6 divides by 100 (10 x 10).

This minimum ratio is obtained when logic "1" is applied to each input of adders SN7 to SN10. This is the case when the generator output frequency is a multiple of 10 MHz in the range 320 - 650 MHz.

Operation of the counter may be tested using the data set out below. The principal divider signals are marked A to E on the electronic circuit diagram.

- A : ECL input signal.
DC level \approx 3.7 V.
RF level \approx 1 Vpeak
- B : Squarewave signal, TTL level.
- C : Squarewave signal, TTL level.
- D : TTL-compatible pulse signal with 0.25 cyclic ratio (low), increased to CMOS-compatible level by load resistor R11.
- E : CMOS-compatible pulse signal with 0.20 cyclic ratio (high).

SETTING THE DIVISION RATIO

a) Entry of units digits

The input divider SN1 divides by 11 when both inputs PE (signals J and H) are at logic "0".

Signal J at the output of SN3 is the output of an NAND gate receiving the output of SN2 (dividing by 2 or 4) and the output of SN5 (dividing by 16) and the "D" output of a counter dividing by 10 (1/2 SN6).

The cyclic ratio of negative pulse J is thus 20/x where "x" represents the division ratio variation of the output divider formed by SN2, SN5 and SN6.

Signal I is the carry output from adder SN10. When the input carry is "1" (pin 9) this is a negative-going pulse with a cyclic ratio of N/10. The ratio is (N + 1)/10 when the input carry is "0". N represents the units applied to the inputs of SN10.

The input carry corresponds to the half-unit P ANDed with signal K, the cyclic ratio of which is 50 %.

The main cyclic ratio is thus (N + P/2)/10.

Après intersection de I avec le signal J dans SN1, le rapport cyclique devient $2(N + P/2)/x$ ou :

— le rapport de division est de 10 lorsque $I + J = 1$ soit par exemple pendant $x - 2(N + P/2)$ fois ;

— le rapport de division est de 11 lorsque $I + J = 0$ soit par exemple pendant $2(N + P/2)$ fois.

Le rapport cyclique réel est égal à :

$$10 [x - 2(N + P/2)] + 11 [2(N + P/2)]$$

l'expression se ramenant à $10x + 2N + P$ (1)
ou l'action de N et P ne dépend pas de la valeur de x.

b) Introduction des DIZAINES, CENTAINES et MILLIERS

L'étage intermédiaire SN2 divise par 4 lorsque son entrée «K» (broche 3) est à «1»; c'est-à-dire lorsque le signal H issu de la chaîne d'addition est à un niveau bas. Le signal H correspondant à la retenue sortante de SN7 a pour rapport cyclique M/1600, le taux de comptage de SN2 étant de 4 pendant M impulsions et de 2 pendant les 1600 - M autres impulsions.

Le taux de comptage du diviseur de «queue» (SN2 - SN5 et SN6) devient :

$$x = 4M + 2(1600 - M) = 3200 + 2M$$

La valeur de x ainsi déterminée est ensuite reportée dans l'expression (1) pour obtenir le taux de comptage général soit :

$$T = 10(3200 + 2M) + 2N + P$$

$$T = 32000 + 2(10M + N + P/2)$$

Il est à remarquer que le taux de comptage général peut varier de 32000 à 63999 mais que seules les plages 32000 à 41999 et 48001 à 58000 sont utilisées.

When I is ANDed with signal J in SN1 the cyclic ratio becomes $2(N + P/2)/x$:

— the division ratio is 10 when $I + J = 1$ for example : $x - 2(N + P/2)$ times,

— the division ratio is 11 when $I + J = 0$ for example : $2(N + P/2)$ times.

The actual cyclic ratio is :

$$10 [x - 2(N + P/2)] + 11 [2(N + P/2)]$$

This expression reduces to $10x + 2N + P$ (1)
where the action of N and P is independent of the value of x.

b) Entry of tens, hundreds and thousands digits

Intermediate stage SN2 divides by 4 when its input "K" (pin 3) is at logic "1", in other words when signal H from the adder circuits is low. Signal H corresponding to the output carry of SN7 has a cyclic ratio M/1600, the division ratio of SN2 being 4 for M pulses and 2 for the other 1600 - M pulses.

The division ratio of the output divider (SN2, SN5, SN6) is thus :

$$x = 4M + 2(1600 - M) = 3200 + 2M$$

The value of x thus determined is introduced into expression (1) to obtain the overall division ratio :

$$T = 10(3200 + 2M) + 2N + P$$

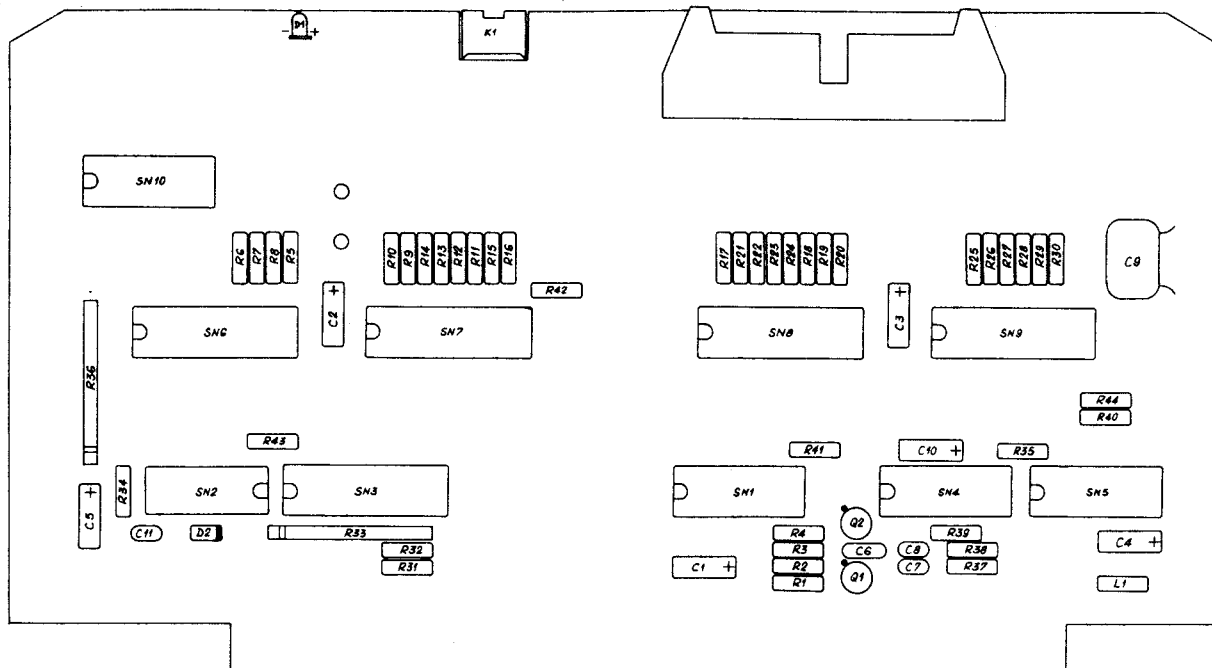
$$T = 32000 + 2(10M + N + P/2)$$

Note that the overall division ratio may vary between 32000 and 63999, whereas only the ranges 32000 to 41999 and 48001 to 58000 are used.

REGISTRES 7100 Séries B1 à B6 7100 REGISTERS Series B1 - B6

REPERAGE DES COMPOSANTS

COMPONENT IDENTIFICATION



REPERAGE DU CONNECTEUR

CONNECTOR PIN-OUT

Test VHF : Contrôle boucle de régul. Signal issu de l'Interface.	1	VHF test: Regul. loop test signal from interface mod.
(1) { Test : Niveau du battement 4 MHz	2	Test : 4 MHz difference frequency level
{ Test : Niveau 2 MHz ou 2 MHz ± ΔF	3	Test : 2 MHz or 2 MHz ± Δf level
Test : Verrouillage du 1 kHz d'asservissement. Signal issu de la carte Compteurs.	4	Test : 1 kHz lock-on signal from counters card
IRQ : Demande d'interruption vers carte CPU.	6	IRQ : Interrupt request to CPU card.
RESET : Remise à zéro issue de la carte CPU.	7	RESET : Reset from CPU card.
Sélection de la gamme FM = vers Interpolateur	{ B -10 A -11	{ B A } FM = range to interpolator module
Commande Vernier vers Base de temps.	-12	Vernier control signal to timebase
BUS INTERNE DONNEES	{ D0 -13 D1 -14 D2 -15 D3 -16 D4 -17 D5 -18 D6 -19 D7 -20	{ D0 D1 D2 D3 D4 D5 D6 D7 } INTERNAL DATA BUS CPU Inputs-Outputs
Entrées et sorties Issues/vers carte CPU.		
1 MHz □ (E) issu de la carte CPU	-24	1 MHz □ (E) from CPU card
BUS INTERNE ADRESSES	{ A0 -26 A1 -27 A2 -28 A3 -29 A4 -30	{ A0 A1 A2 A3 A4 } INTERNAL ADDRESS BUS Inputs from CPU card
Entrées issues de la carte CPU		
Inhibition de la boucle FINE et validation de l'approche FS issues du «Comparateurs phase-fréquence».	-35	Fine loop disable and fine tune FS enable from phase-frequency comparators.
(2) { bit de sens	-36	Polarity bit
{ bit de changement de sens	-37	Change of polarity bit
+ 5 V	45-46	+ 5 V
Les broches non mentionnées ne sont pas connectées.	21-22-23-25	NC Pins not listed not connected.

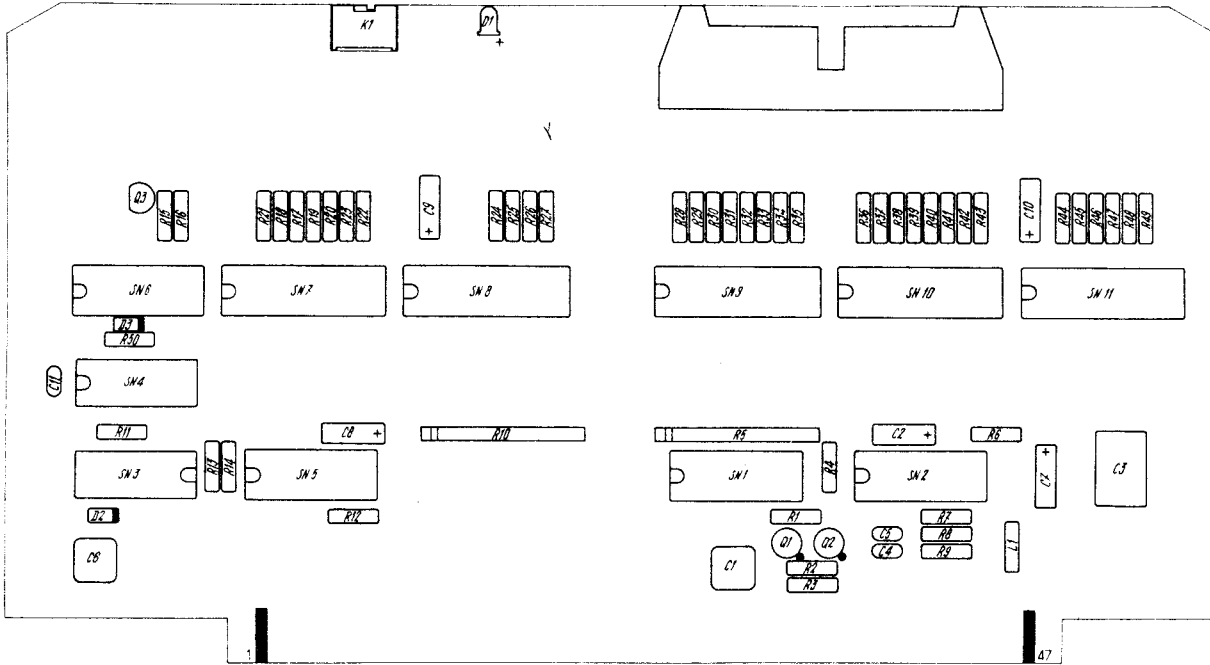
(1) Signaux issus de la carte CPF

(2) des oscillateurs 20 à 25 MHz, 32 à 58 MHz et des positions relatives de FS et FP vers CPF
FS : 320 à 650 MHz (module VHF)
FP : 300 à 670 MHz (module PAS DE 10 MHz)

(1) Signals from CPF card

(2) 20-25, 32-58 MHz oscillators and relative positions of FS and FP to CPF
FS : 320 - 650 MHz (VHF module)
FP : 300 - 670 MHz (10 MHz step module)

REGISTRES 7100 Série B7 à B12 7100 REGISTERS Series B7 - B12



Test VHF : Contrôle boucle dérégul. Signal issu de l'Interface.	1	VHF test : Regul. loop test signal from interface mod.
(1) Test : Niveau du battement 4 MHz	2	Test : 4 MHz difference frequency level
Test : Niveau 2 MHz ou 2 MHz ± ΔF	3	Test : 2 MHz or 2 MHz ± Δf level
Test : Verrouillage du 1 kHz d'asservissement. Signal issu de la carte Compteurs.	4	Test : 1 kHz lock-on signal from counters card
Bit de signalisation de la disjonction délivré par l'option 02 (DISJONCTEUR)		Option 02 (circuit-breaker) "open-circuit" signalling bit
IRQ : Demande d'interruption vers carte CPU.	6	IRQ : Interrupt request to CPU card.
RESET : Remise à zéro issue de la carte CPU.	7	RESET : Reset from CPU card.
Sélection de la gamme FM = vers Interpolateur	B -10 A -11	FM = range to interpolator module
Commande Vernier vers Base de temps.	-12	Vernier control signal to timebase
BUS INTERNE DONNEES	D0 -13 D1 -14 D2 -15 D3 -16 D4 -17 D5 -18 D6 -19 D7 -20	INTERNAL DATA BUS CPU Inputs-Outputs
Entrées et sorties Issues/vers carte CPU.		
1 MHz □ (E) issu de la carte CPU	-24	1 MHz □ (E) from CPU card
BUS INTERNE ADRESSES	A0 -26 A1 -27 A2 -28 A3 -29 A4 -30	INTERNAL ADDRESS BUS Inputs from CPU card
Entrées issues de la carte CPU		
Inhibition de la boucle FINE et validation de l'approche FS issues du «Comparateurs phase-fréquence».	-35	Fine loop disable and fine tune FS enable from phase-frequency comparators.
(2) bit de sens	-36	Polarity bit
bit de changement de sens	-37	Change of polarity bit
	40-41	A1 pulse modulation
+ 5 V	45-46	+ 5 V
	21-22-23-25	
Les broches non mentionnées ne sont pas connectées.	NC	Pins not listed not connected.

(1) Signaux issus de la carte CPF

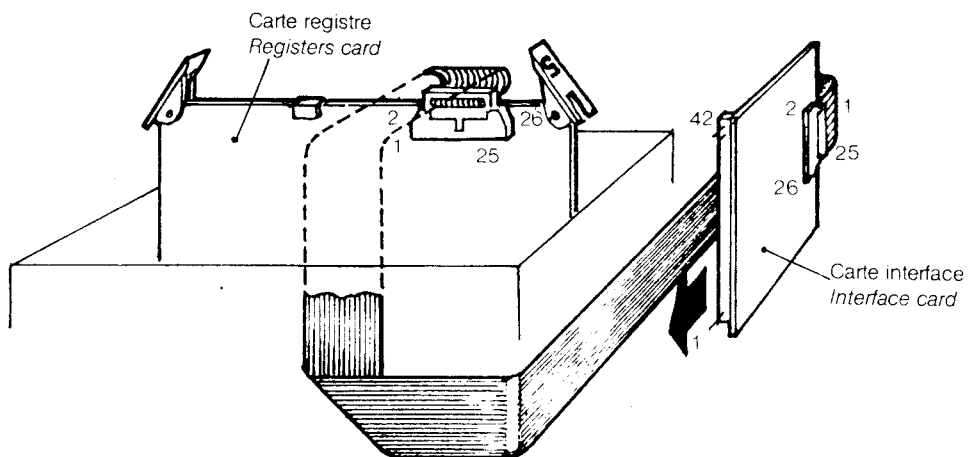
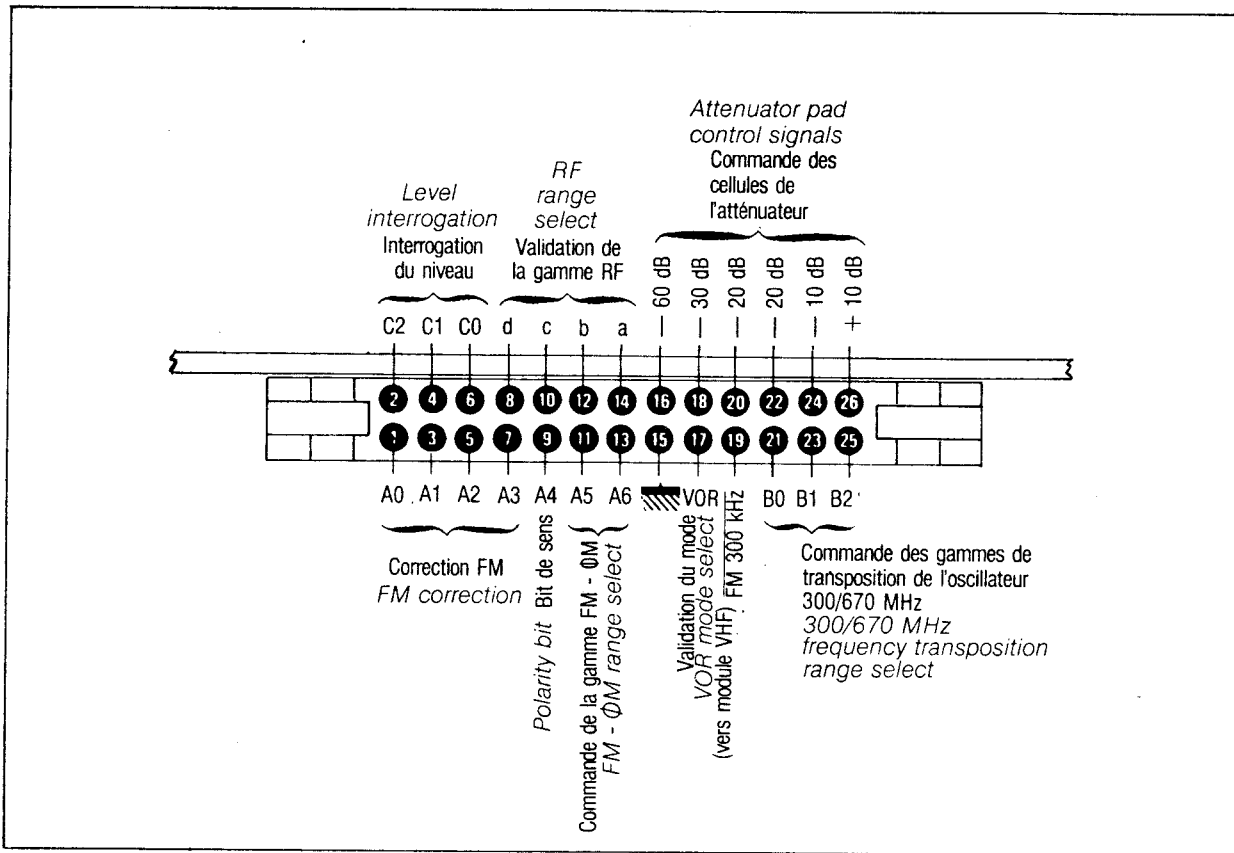
(2) des oscillateurs 20 à 25 MHz, 32 à 58 MHz et des positions relatives de FS et FP vers CPF :
FS : 320 à 650 MHz (module VHF)
FP : 300 à 670 MHz (module PAS DE 10 MHz)

(1) Signals from CPF card

(2) 20-25, 32-58 MHz oscillators and relative positions of FS and FP to CPF :
FS : 320 - 650 MHz (VHF module)
FP : 300 - 670 MHz (10 MHz step module)

REPERAGE DU CONNECTEUR DE LIAISON
A LA CARTE INTERFACE

INTERFACE CARD CONNECTOR PIN-OUT



CONTROLE DE LA CARTE

CARD TESTS

PREPARATION A LA MAINTENANCE

- Mise sur prolongateur ou remplacement de la carte.
- Déconnecter la natte de liaison à la carte Interface.
- Sortir la carte 5 à l'aide des extracteurs.
- La placer sur prolongateur pour effectuer les vérifications nécessaires (brancher la natte de liaison).
- Dans le cas d'un remplacement du sous-ensemble introduire la nouvelle carte et connecter la natte de liaison. Aucun réglage n'est à faire pour assurer la compatibilité carte - instrument.

PREPARATION

- Fitting card to extender or replacing the card :*
- Disconnect the connecting wires from the interface card.
 - Remove card 5 using extractors.
 - Fit to extender to carry out tests and connect connecting wires.
 - If replacing the subsystem insert the new card and connect connecting wires. No adjustments are required to ensure card/instrument compatibility.

DEPANNAGE

CONTROLE DU FONCTIONNEMENT

1. Gammes Interpolateur et FM/ØM

- a) Afficher une fréquence et un niveau de sortie quelconques.
- b) Inhiber le Vernier de fréquence.
- c) Valider la modulation de fréquence externe avec couplage continu. Injecter sur l'entrée FM un signal modulant BF.
- d) Valider successivement les positions PM, FM3, FM30 et FM300 en vérifiant l'état logique des points 10, 11, 12 ainsi que A5 et A6 (du connecteur 47 points).

TROUBLESHOOTING

OPERATING TEST

1) Interpolator and FM/ØM ranges

- a) Set any output frequency and level.
- b) Disable the frequency Vernier control.
- c) Select external FM source with DC coupling. Apply LF modulating signal to FM input.
- d) Select positions PM, FM3, FM 30 and FM300 successively, testing the logic state at points 10, 11, 12 A5 and A6 (of 47 points connector).

VALIDER ENABLE	CONTROLLER CHECK				
	10	11	12	A6	A5
PM	0	0	0	0	0
FM3	0	1	1	0	1
FM30	1	1	1	1	1
FM300	1	0	1	1	0

2. Correction FM

- a) Afficher une fréquence de départ de 300 MHz sur le générateur et valider le pas de résolution de 100 kHz.
- b) Afficher progressivement les fréquences indiquées dans le tableau ci-dessous au moyen du poussoir + (Incrémentation manuelle sur panneau avant), et vérifier les états logiques des points A0, A1, A2 et A3.

2) FM correction

- a) Set frequency 300 MHz and 100 kHz step resolution.
- b) Set the frequencies shown in the table below successively using the manual increment pushbutton (+) on the front panel. Verify the logic states at points A0, A1, A2 and A3.

MHz	A0	A1	A2	A3
330	0	0	0	0
330.2	1	0	0	0
330.4	0	1	0	0
330.8	1	1	0	0
331.2	0	0	1	0
331.6	1	0	1	0
332	0	1	1	0
332.4	1	1	1	0
332.9	0	0	0	1
333.2	1	0	0	1
333.6	0	1	0	1
334	1	1	0	1
334.4	0	0	1	1
334.6	1	0	1	1
334.8	0	1	1	1

3. Commande de Sens

Le bit de sens A4 change d'état tous les 5 MHz.
Afficher 320 MHz et vérifier que l'état logique du point A4 est 0.
Afficher 335 MHz et vérifier que l'état de A4 est 1.
Afficher 340 MHz et vérifier que l'état de A4 est 0.

3) Polarity

Polarity bit A4 changes state every 5 MHz :
Set 320 MHz and check logic state at point A4 = 0.
Set 335 MHz and check logic state at point A4 = 1.
Set 340 MHz and check logic state at point A4 = 0.

4. Gammes RF

- Valider le mode CW.
- Afficher successivement les fréquences indiquées dans le tableau ci-dessous en vérifiant l'état logique des points a, b, c et d.

4) RF ranges

- Select CW mode
- Set the frequencies indicated in the table below successively and test the logic state at points a, b, c and d.

MHz	d	c	b	a
1	0	1	1	0
60	1	1	1	0
80	0	0	0	0
115	1	0	0	0
160	0	0	0	1
230	1	0	0	1
320	0	0	1	0
460	1	0	1	0

5. Commande des gammes de transposition de l'oscillateur 300/670 MHz

- Valider le mode CW.
- Afficher successivement les fréquences indiquées dans le tableau ci-dessous en vérifiant l'état logique des points B0, B1 et B2.

5) 300/670 MHz oscillator transposition ranges

- Select CW mode.
- Set the frequencies indicated in the table below successively and test the logic state at points B0, B1 and B2.

MHz	B0	B1	B2
330	0	0	0
400	1	0	0
480	0	1	0
550	1	1	0
640	0	0	1

6. Modulation VOR

- Valider la modulation AM et sélectionner la position =
Vérifier que l'état logique du point «VOR» est 0.
- Sélectionner la position VOR et vérifier que l'état logique correspondant est 1.

6) VOR modulation

- Select amplitude modulation (AM) and position = (DC coupling).
Check that the logic state at point +VOR- is 0.
- Select position VOR and check that the corresponding logic state is 1.

7. Modulation FM - déviation 300 kHz

- Valider la modulation FM et sélectionner la déviation «300 K».
- Vérifier que le point FM 300 K, dans la gamme 80 à 320 MHz, est à un état logique 0.
- Vérifier que l'état logique du point FM 300 K est à 1 dans la gamme 320 à 650 MHz et 0.3 à 80 MHz.

7) FM modulation - 300 kHz deviation

- Select frequency **modulation** (FM) and "300 K" deviation.
- Check that point **FM 300 K** is at logic 0 in the range 80 to 320 MHz
- Check that point **FM 300 K** is at logic 1 in the range 320 - 650 MHz and 0.3 at 80 MHz

8. Atténuateur

Passer tous les pas de 10 dB de + 20 à - 130 dBm et vérifier l'état logique des points + 10, - 10, - 20, - 20, - 30 et - 60.

8) Attenuator

Select all 10 dB steps from + 20 to - 130 dBm and test logic state at + 10, - 10, - 20, - 20, - 30 and - 60.

dB	- 60	- 30	- 20	- 20	- 10	+ 10
+ 20	0	0	0	0	0	1
+ 10	0	0	0	0	0	0
0	0	0	0	0	1	0
- 10	0	0	0	1	0	0
- 20	0	0	1	0	1	0
- 30	0	1	0	0	1	0
- 40	0	0	1	1	1	0
- 50	0	1	0	1	1	0
- 60	1	0	0	0	1	0
- 70	0	1	1	1	1	0
- 80	1	0	0	1	1	0
- 90	1	1	0	0	1	0
- 100	1	0	1	1	1	0
- 110	1	1	0	1	1	0
- 120	1	1	1	1	0	0
- 130	1	1	1	1	1	0

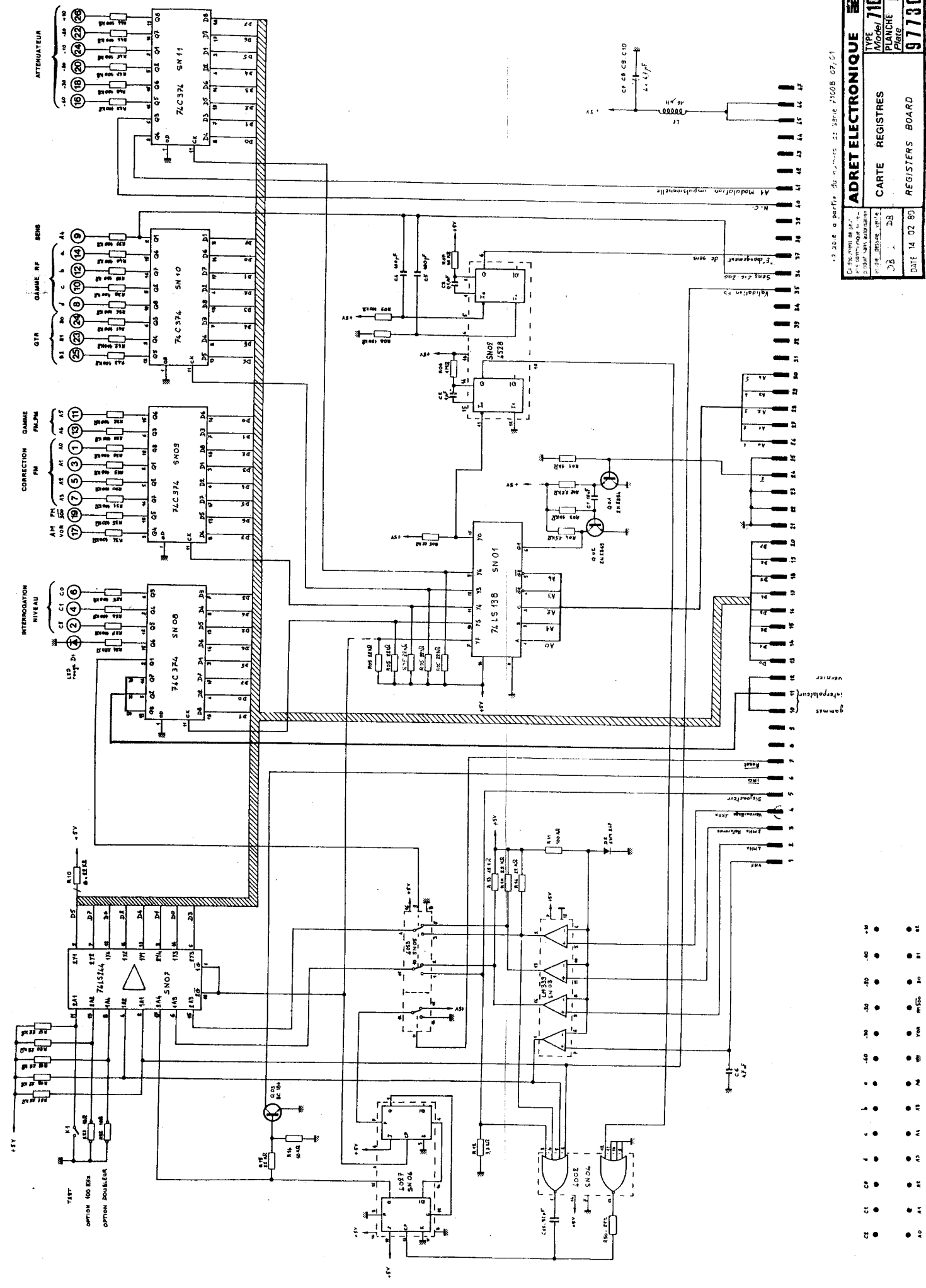
9. Test

- Pousser le commutateur de validation d'auto test.
- Provoquer une «interruption» en tournant la manivelle de fréquence.
- Sélectionner la position 0 parmi les différents pas de résolution.
- Valider les Tests 00 à 07 et vérifier l'état logique correspondant aux points C0, C1 et C2.

9) Test

- Press the self-test enabling pushbutton.
- Provoke an "interrupt" by rotating the frequency spinwheel.
- Select resolution step position 0.
- Enable tests 00 to 07 and verify corresponding logic state at points C0, C1 and C2.

Test	C2	C1	C0
00	0	0	0
01	1	0	0
02	0	0	1
03	1	0	1
04	0	1	0
05	1	1	0
06	0	1	1
07	1	1	1



ADRET ELECTRONIQUE	
TYPE	7100B
Model	7100B
PLANCHE	IV-7
PIECE	977301A
DATE	14 02 80

23 page a partir du numero 21 Serie 7100B 07,21

Dr. ingénieur de génie
 Ingénieur de génie
 Ingénieur de génie

33 33

DATE 14 02 80

