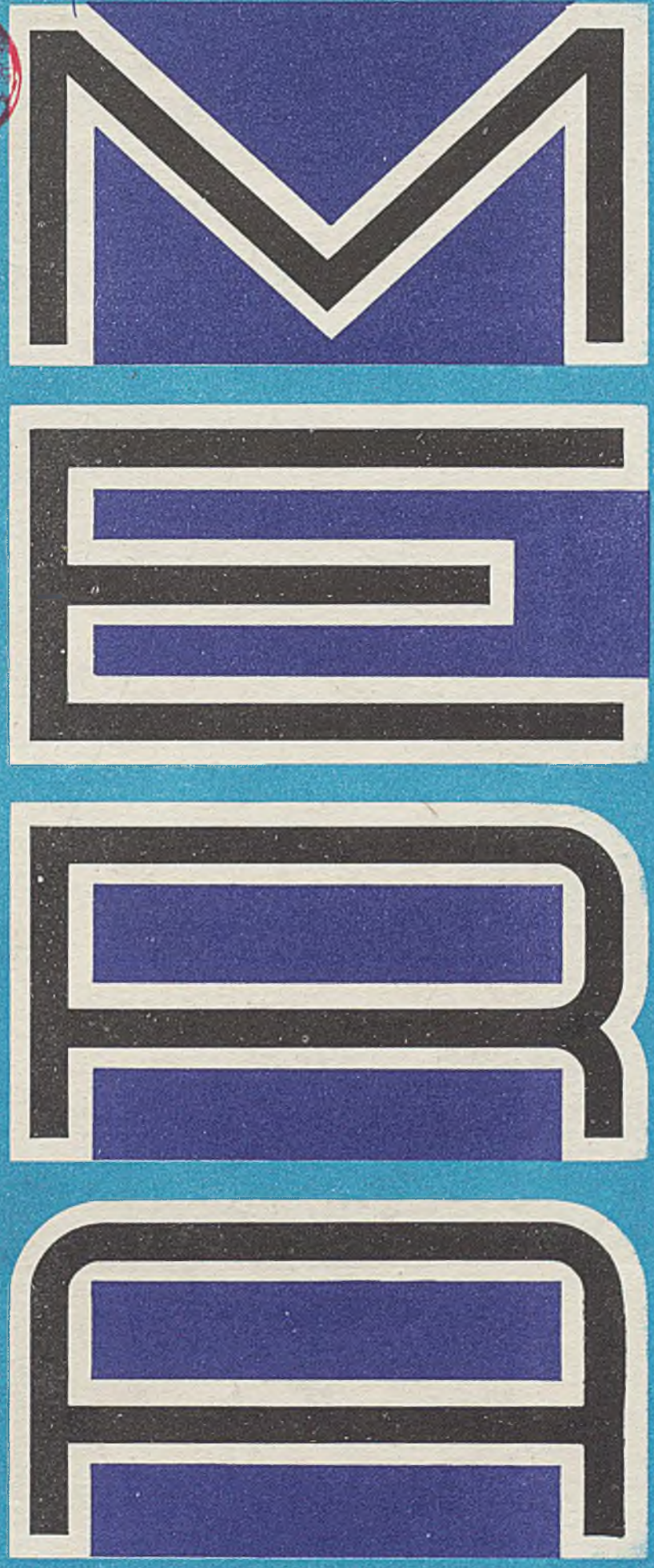


P. 2900/80



# BIULETYN TECHNICZNY



**6**(220)  

---

1980

Redakcja Kolegium w składzie:  
mgr W. Borucki (redaktor działu „Ekonomika”),  
mgr B. Drożak, mgr inż. J. Dziewięcki (redaktor naczelny), J. Esikowski,  
mgr inż. R. Farfał, dr hab. M. Greniewski,  
prof. dr hab. inż. A. Janicki (redaktor naukowy), inż. L. Kowalski,  
mgr J. Kutrowska (sekretarz redakcji), mgr inż. L. Krzystolik, inż. R. Maciesowicz,  
mgr E. Mańkiewicz-Cudny, red. T. Podwysocki, dr inż. R. Pregiel,  
mgr inż. A. Teodorczuk, mgr inż. T. Ustaborowicz,  
mgr inż. M. Wajcen (redaktor działu „Technika”)

#### Warunki prenumeraty

Jednostki gospodarki uspołecznionej, instytucje, organizacje i wszelkiego rodzaju zakłady pracy zamawiają prenumeratę w miejscowych Oddziałach RSW „Prasa-Książka-Ruch”, w miejscowościach zaś, w których nie ma Oddziałów RSW – w urzędach pocztowych. Czytelnicy indywidualnie opłacają prenumeratę wyłącznie w urzędach pocztowych i u doręczycieli. Prenumeratę roczną w cenie 516 zł należy zamawiać do 25 listopada na rok następny, półroczną do 10 czerwca na II półrocze.

**ZJEDNOCZENIE PRZEMYSŁU AUTOMATYKI  
I APARATURY POMIAROWEJ „MERA”**



P. 2900/80

**„MERA”**

**BIULETYN PRZEMYSŁU  
KOMPUTEROWYCH SYSTEMÓW  
AUTOMATYZACJI I POMIARÓW**

**WARSZAWA, CZERWIEC 1980**

## SPIS TRESCI

A. Kolus J. Kolodziejcki	Układy 8-bitowego systemu mikroprocesorowego z jednostką centralną MCY 7880 .....	3
P. Ruszkarski J. Witewski	Nowe układy kalkulatorowe wprowadzane do produkcji w kraju .	5
E. L. Dudnikow Ch. M. Chinow	Wybrane problemy stosowania mikroprocesorów do sterowania produkcją przemyślową .....	8
M. Woźnica	Zastosowanie procesora Mera-60 w systemach sterowania czasem rzeczywistego .....	11
A. Mikuła	Systemy mikrokomputerowe MERA 60-30 z kasetą systemu CAMAC .....	14
L. Szyngwelski	Sterowanie pracą zestawów MST przy pomocy minikomputerów MERA-400, MERA-60 i ROSA .....	19
W. Pfostrzyński	Uniwersalny pakietowy mikrokomputer "Mikroster" .....	22
S. Grocholewski	System rozpoznawania mowy dla mikrokomputera typu 8080 . . .	31
P. Kwasnowski J. Senkowski	Inteligentny pulpit operatorski mikrokomputera .....	33
M. Foltyniewicz A. Siwek J. Kern	Mikrokomputerowy system uruchomieniowy MSU-80/1 .....	35
M. Foltyniewicz J. Kern	Minitester systemów mikroprocesorowych MTS-80 .....	37
K. Majdan	Diagnostyka jakości kanałów asynchronicznej transmisji szeregowej w zdecentralizowanych, mikroprocesorowych systemach automatyki .....	38

Opracowanie Redakcyjne: Redakcja Biuletynu "Mera", ul. Patriotów 77, 04-950 Warszawa /tel. 12-41-71/. Wydawca: Przedsiębiorstwo Automatyki Przemysłowej "Mera-Pnefal", ul. Poezji 19, 04-994 Warszawa, Zam. 151/80, 2300 egz.

## UKŁADY 8-BITOWEGO SYSTEMU MIKROPROCESOROWEGO Z JEDNOSTKĄ CENTRALNĄ MCY 7880

### Ogólna charakterystyka układów systemu

Istniejące systemy mikroprocesorowe, w tym również z mikroprocesorami tzw. jednostrukturalnymi, wymagają dla zwiększenia obszaru zastosowań użycia szeregu układów pomocniczych. W 8-bitowym systemie mikroprocesorowym z jednostką centralną MCY 7880 część takich układów jest wręcz niezbędna do prawidłowego działania systemu, inne zaś mogą rozszerzać możliwość jego wykorzystania. Ze względu na realizowane funkcje, układy omawianego systemu mikroprocesorowego można podzielić na cztery główne grupy:

- jednostka centralna i współpracujące z nią - układ zegarowy i układ kontrolera systemu,
- układy pamięciowe,
- układy pełniące funkcje sterowania w systemie,
- układy sprzęgające z urządzeniami peryferyjnymi.

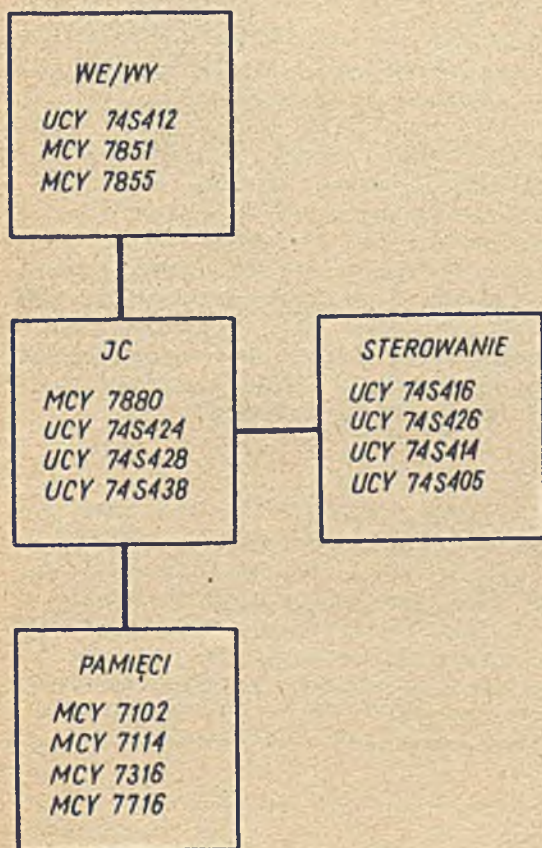
Podział taki z przyporządkowaniem układów do poszczególnych grup przedstawiony został na rys. 1. Poza pamięciami w pozostałych grupach występują zarówno układy MOS jak i bipolarnie. I tak jednostka centralna, dwa układy E WE/WY oraz układy pamięciowe są wykonane technologią NMOS z bramką krzemową, natomiast pozostałe - to układy TTL z diodami Schottky typu TTL S lub TTL S.

### Układy jednostki centralnej

● MCY 7880 - jest układem 8-bitowej równoległej jednostki centralnej z sześcioma rejestrami uniwersalnymi i akumulatorem oraz 16-bitowym licznikiem programu i 16-bitowym wskaźnikiem stosu. Układ ma niezależną 16-bitową szynę adresów i niezależną 8-bitową dwukierunkową szynę danych. Układ ten w systemie mikroprocesorowym wykonuje 72 instrukcje przy maksymalnym cyklu wykonywania instrukcji 2 us i pozwala na adresowanie pamięci o pojemności 64 kbajt.

● UCY 74S424 - generator impulsów zegarowych. Wytwarza dwa przesunięte w fazie sygnały taktujące  $\phi_1$  i  $\phi_2$  o poziomach  $U_{O1} = 0,45 V$  i  $U_{O11} = 10 V$  oraz zgodny w fazie z  $\phi_2$  sygnał taktujący o poziomach TTL. Wewnętrzny oscylator impulsów prostokątnych stabilizowany jest z zewnątrz kwarcem o podstawowej częstotliwości drgań 9-krotnie wyższej niż wymagana częstotliwość pracy mikroprocesora.

● UCY 74S428 - kontroler systemu i dwukierunkowy bufor do magistrali danych. Działa-



Rys. 1.

\*/ W artykule zastosowano oznaczenia, jakie należy przyjąć wg nomenklatury obowiązującej w Polsce.

jąc jako bufor układ ten zapewnia separację szyny danych jednostki centralnej i szyny danych systemu, generując sygnały do bezpośredniej współpracy z pamięciami zewnętrznymi i urządzeniami WE/WY. Wyjścia układu są trójstanowe.

● UCY 74S438 - układ ten różni się od omówionego wyżej innym przebiegiem sygnałów kontrolnych związanych z przekazywaniem danych do urządzeń wyjściowych /I/OW/ oraz ich zapisem do pamięci /MEMW/.

#### Układy pamięciowe

● MCY 7102 - 1-kbitowa pamięć statyczna RAM o organizacji 1024 X 1b. Napięcie zasilania oraz wejścia i wyjścia układu są dostosowane do bezpośredniej współpracy z układami TTL. Trójstanowe wyjście danych o dużej impedancji w stanie wyłączenia oraz wejście WYBÓR MODUŁU zapewniają szerokie możliwości zastosowań układu w małych i średnich systemach pamięciowych o krótkim czasie dostępu i cyklu zapisu /250 - 600 ns/ oraz w systemie mikroprocesorowym z jednostką centralną MCY 7880.

● MCY 7316 - 16-kbitowa pamięć ROM programowana maską o organizacji 2048 x 8b w pełni zdekodowana z trzema programowanymi maską wejściami WYBÓR MODUŁU i trójstanowymi wyjściami danych. Maksymalny czas dostępu - 450 ns.

● MCY 7716 - 16-kbitowa pamięć reprogramowalna /EPROM/ o organizacji 2048 x 8b - programowana elektrycznie i wymazywana ultrafioletem. Rozkład wyprowadzeń, napięcia zasilające oraz napięcia sygnałów jak w pamięci MCY 7316.

● MCY 7114 - 4-kbitowa pamięć statyczna RAM o organizacji 1024 x 4b o maksymalnych czasach dostępu 200, 300 lub 450 ns. Wspólne wyprowadzenia WE/WY danych wykorzystują układy trójstanowe. Funkcje wyprowadzeń WE/WY ustawiane są sygnałem ZEZWOI ENIE ZAPISU.

#### Układy kontrolne i sterujące

● UCY 74S414 - kontroler priorytetu przerwań na 8 poziomach, generujący 3-bitowy wektor wskazujący adres procedury obsługi przerwań. Wyjścia z otwartym kolektorem pozwalają na łączenie większej liczby układów i zwiększenie w ten sposób liczby poziomów przerwań.

● UCY 74S416/426 - 4-bitowy nadajnik/odbiornik do magistrali danych o wyjściach trójstanowych odwracających /416/ lub nieodwracających /426/, stosowany jako układ sprzęgający jednostkę centralną z szyną danych systemu lub szynę danych z pamięciami zewnętrznymi i urządzeniami WE/WY.

● UCY 74S405 - dekodery 1 z 8, stosowany jako selektor /demultiplekser/ urządzeń WE/WY lub poszczególnych bloków pamięci zewnętrznej.

#### Układy WE/WY

● UCY 74S412 - 8-bitowa brama wejścia/wyjścia utworzona z 8 przerzutników D typu zatrzask o wyjściach trójstanowych. Może pełnić rolę rejestru buforowego lub multipleksora i generować sygnały przerwania.

● MCY 7851 - programowany komunikacyjny /szeregowy/ układ WEJŚCIA/WYJŚCIA /USART/ przeznaczony do szeregowej transmisji danych. Układ przyjmuje dane z jednostki centralnej w postaci równoległej i przekształca je na dane szeregowe do transmisji.

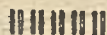
● MCY 7855 - programowany równoległy układ WEJŚCIA/WYJŚCIA /PPI/. Układ posiada 24 zaciski WEJŚCIA/WYJŚCIA, które mogą być programowane po 12 WEJŚĆ/WYJŚĆ i wykorzystywane w trzech różnych trybach pracy:

- TRYB PRACY 0: WEJŚCIA/WYJŚCIA normalne
- TRYB PRACY 1: WEJŚCIA/WYJŚCIA strobowane
- TRYB PRACY 2: strobowana dwukierunkowa szyna WEJŚCIA/WYJŚCIA.

Wymieniony zestaw układów umożliwia konstruowanie prostych mikrokomputerów jedno- lub kilkoplukowych klasy systemów SDK 80 i SBC 80/10 firmy "Intel" lub podobnych. Wykorzystaniu układów systemu mikroprocesorowego będzie pomocna biblioteka programów mikroprocesorowych B·ITE·M organizowana wspólnie przez ZETO - Łódź i ITE NPCP [1, 2]. Biblioteka ma na celu dostarczanie programów bibliotecznych mikrokomputera opartego na mikroprocesorze MCY 7880 użytkownikom mikroprocesora tego typu lub jego odpowiedników funkcjonalnych. Będą to zarówno programy systemowe jak i użytkowe.

#### L i t e r a t u r a :

- [1] J. Dańda: Słec B·ITE·M - Biblioteki programów mikroprocesorowych. Koncepcja. Pierwsze wyniki. Problemy. Mikroprocesorowa Szkoła Zimowa 1980. ITE Warszawa
- [2] A. Grandys, L. Namysłowski: Koncepcja systemu automatyzującego prace administracyjno-edycyjne biblioteki programów mikroprocesorowych B·ITE·M. Mikroprocesorowa Szkoła Zimowa 1980. ITE Warszawa.



mgr inż. PIOTR RUSZKARSKI  
 mgr inż. JAREMI WITEWSKI  
 Instytut Technologii Elektronowej NPCP  
 Warszawa

## NOWE UKŁADY KALKULATOROWE WPROWADZANE DO PRODUKCJI W KRAJU

Z punktu widzenia możliwości funkcjonalnych prezentowane układy kalkulatorowe przeznaczone są do kalkulatorów prostych, tj. wykonujących podstawowe operacje arytmetyczne /łącznie z pierwiastkiem kwadratowym/ oraz kilka operacji na pojedynczym rejestrze pamięci oraz kalkulatorów inżynierskich z bogatym repertuarem funkcji arytmetycznych, trygonometrycznych i logarytmicznych, kilkoma poziomami nawiasów, dwoma i więcej rejestrami pamięci oraz - w wersjach najbardziej rozbudowanych - z możliwością programowania. Wszystkie omawiane układy są układami wielkiej skali integracji /LSI/ wykonanymi w technologii MOS.

### Układy kalkulatorowe proste

Można brać pod uwagę jednoczesną produkcję nie więcej niż dwóch typów prostych ukła-

Tabela 1

	MC 74007	MC 74013
Technologia	P-MOS	C-MOS
Napięcie zasilania	min. - 6,0 V typ. - 7,5 V max. - 9,5 V	min. - 2,6 V typ. - 3,0 V max. - 3,8 V
Pobór mocy	45 mW	typ. 200 $\mu$ W max. 400 $\mu$ W
Typ wyświetlacza	diody świecące /LED/	ciekłe kryształy /LCD/
Liczba pozycji wyświetlacza	8 + 1	8 + 1
Maksymalna konfiguracja klawiatury	30 kluczy	28 kluczy

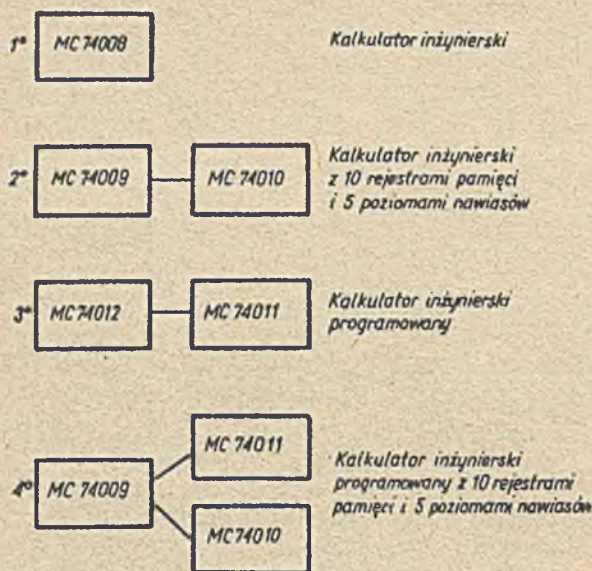
dów kalkulatorowych. Wynika to przede wszystkim z malejącej chłonności rynku na tego rodzaju układy spowodowanej ich ograniczonymi możliwościami funkcjonalnymi.

Pierwszy z układów kalkulatorowych - układ MC 74007 jest już od pewnego czasu wytwarzany seryjnie w Naukowo-Produkcyjnym Centrum Półprzewodników CEMI, natomiast drugi - MC 74013 jest wdrażany do produkcji. Charakterystyczne dane dotyczące wymienionych układów podaje tabela 1.

Układ MC 74013 współpracuje z wyświetlaczem w sposób bezpośredni, podczas gdy układ MC 74007 wymaga użycia pośredniczącego układu bipolarnego tzw. wzmacniacza cyfr. Możliwości funkcjonalne obu układów są bardzo podobne. Pewne różnice w sposobie wykonywania niektórych operacji zwłaszcza dotyczących zawartości rejestru pamięci sprawiają, że trudno wskazać którykolwiek z układów jako funkcjonalnie generalnie lepszy.



Rys. 1. Klawiatura przystosowana do współpracy z układami kalkulatorowymi MC 74007 MC 74013



Rys. 2. Kalkulatory możliwe do wykonania z nowych układów kalkulatorowych

Maksymalne konfiguracje klawiatur, z którymi mogą współpracować omawiane układy, przedstawiono na rys. 1.

W obu układach występuje sygnalizacja niezerowej zawartości pamięci oraz nadmiaru wyniku, w układzie MC 74007 sygnalizowane są ponadto: niedomiar oraz zbyt niskie napięcie zasilania.

### Układy kalkulatorowe inżynierskie i programowane

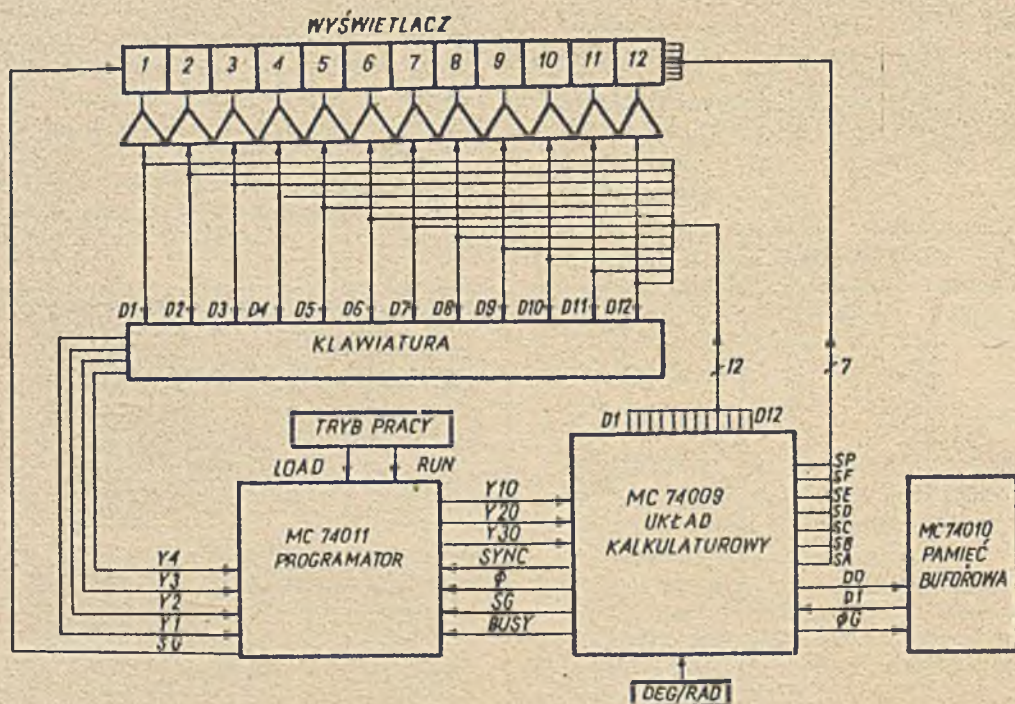
W zakresie inżynierskich i programowanych układów kalkulatorowych można rozważyć rodzinę 5 układów wg obowiązującej w Polsce nomenklatury wstępnie oznaczonych jako:

- MC 74008
- MC 74009
- MC 74010
- MC 74011
- MC 74012

Wymienione układy odpowiednio połączone ze sobą umożliwiałyby zbudowanie czterech rodzajów kalkulatorów.

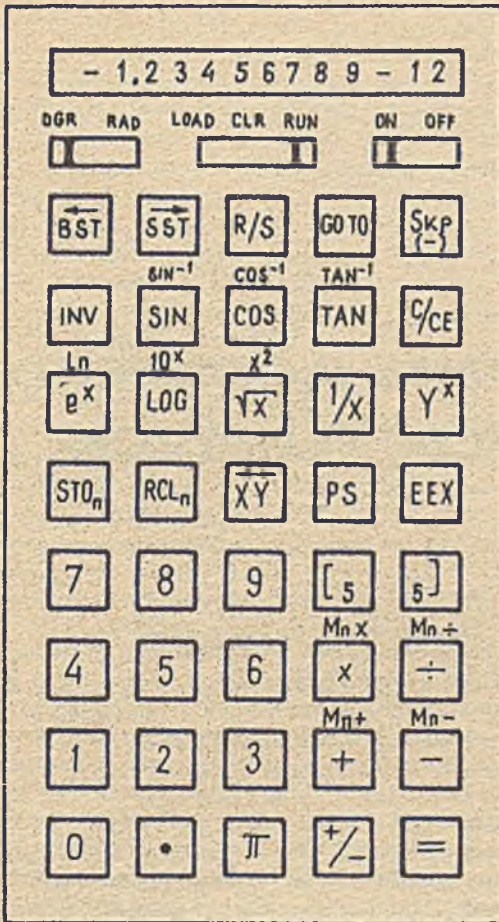
MC 74008, MC 74009, MC 74012 stanowią układy kalkulatorowe, dwa pozostałe służą do rozszerzenia ich możliwości. Układy MC 74012 i MC 74008 są niemal identyczne pod względem struktury logicznej. Różnią się ilością wyprowadzeń, dzięki czemu do układu MC 74012 można dołączyć układ programatora /MC 74011/. Zestaw działań arytmetycznych wykonywanych przez układy MC 74008, MC 74009 i MC 74012 jest następujący:  $+$ ,  $-$ ,  $\times$ ,  $\div$ ,  $\sin$ ,  $\cos$ ,  $\tan$ ,  $\sin^{-1}$ ,  $\cos^{-1}$ ,  $\tan^{-1}$ ,  $\ln$ ,  $\log$ ,  $e^x$ ,  $10^x$ ,  $y^x$ ,  $1/x$ ,  $x^2$ ,  $x$ . Zakres liczb  $10^{-99}$  + /10 + 10/  $10^{+99}$ .

Układ pamięci buforowej MC 74010 służy do współpracy z układem MC 74009. Uzyskuje się w ten sposób zwiększenie ilości rejestrów pa-



Rys. 3. Schemat połączeń kalkulatora zbudowanego na układach MC 74009, MC 74010 i MC 74011





Rys. 4. Klawiatura kalkulatora zbudowanego w oparciu o układy MC 74009, MC 74010 i MC 74011.

mięci z jednego do 10 oraz możliwość wykonywania pięciu poziomów nawiasów.

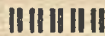
Układ programatora MC 74010 służy do współpracy z układami MC 74009 lub MC 74012.

Uzyskuje się dzięki niemu możliwość zapisania sekwencji naciskanych kluczy. Zapamiętany w ten sposób program może składać się z 72 kroków, przy czym możliwe jest dokonywanie rozgałęzień i skoków w programie.

Cztery typy kalkulatorów, które można zbudować z omówionych układów przedstawiono na rys. 2. W każdym przypadku należy dołączyć układ sterujący wyświetlaczem. Wszystkie ww. układy kalkulatorowe przeznaczone są do współpracy z 12-cyfrowym wyświetlaczem na diodach świecących. Wyniki wyświetlane są w postaci zmiennoprzecinkowej lub wykładniczej. Wszystkie układy posiadają sygnalizację przekroczenia zakresu liczb, sygnalizację niezerowej zawartości pamięci oraz sygnalizację niskiego napięcia zasilania. Schemat połączeń oraz rysunek klawiatury kalkulatora inżynierskiego z 10 rejestrami pamięci i 5 poziomami nawiasów ilustrują rys. 3 i 4. Kalkulatory mają możliwość zapamiętania 72 naciśnięć kluczy, zapamiętania kilku programów, wykonywania skoków bezwarunkowych i warunkowych oraz zatrzymania programu w celu wprowadzenia danych przez operatora. Programy mogą być wykonywane w sposób automatyczny i krokowo.

Wszystkie opisywane układy są realizowane technologią P-MOS z bramką aluminiową z wykorzystaniem implantacji jonów. Niezależnie od układów kalkulatorów inżynierskich realizowanych w technologii P-MOS można też wykonywać układy kalkulatora inżynierskiego w technologii C-MOS /np. układ MC 74014/.

Realizacja przedstawionej powyżej koncepcji układów kalkulatorowych pozwoliłaby pokryć zapotrzebowanie na kalkulatory, począwszy od kalkulatorów prostych a skończywszy na inżynierskich programowanych. W dziedzinie kalkulatorów specjalizowanych oraz kalkulatorów z urządzeniami zewnętrznymi przewiduje się zastosowanie standardowych układów mikroprocesorowych.



doc. EWGENIJ E. DUDNIKOW  
prof. CHRISTOW M. CHINOW  
Międzynarodowy Naukowo-Badawczy  
Instytut Problemów Sterowania  
Moskwa

## WYBRANE PROBLEMY STOSOWANIA MIKROPROCESORÓW DO STEROWANIA PRODUKCJĄ PRZEMYSŁOWĄ

Z początkiem lat siedemdziesiątych w rozwoju elektronicznej techniki obliczeniowej nastąpił bardzo istotny skok jakościowy, wywołany pojawieniem się mikroprocesorów, wytwarzanych za pomocą technologii układów scalonych LSI. Obecnie na całym świecie trwa intensywny proces wdrażania tych nowych elementów do sprzętu elektronicznego. Niewielki koszt, mały pobór energii, małe gabaryty i szerokie możliwości funkcjonalne przesądzają o szerokich perspektywach zastosowań mikroprocesorów.

W artykule niniejszym rozpatrzono niektóre problemy zastosowań mikroprocesorów w systemach sterowania produkcją przemysłową, wchodzące w zakres badań, prowadzonych w Międzynarodowym Naukowo-Badawczym Instytucie Problemów Sterowania. Na wstępie przedstawimy podstawowe dane dotyczące samego Instytutu.

### Organizacja Instytutu

Międzynarodowy Naukowo-Badawczy Instytut Problemów Sterowania /Międzynarodowy i Nauczno-Isledowatel'skij Instytut Problemów Uprawlenia - w skrócie MNIPU/ utworzony został na podstawie porozumienia, zawartego 9 lipca 1976 r. przez rządy Czechosłowacji, Bułgarii, Kuby, Mongolii, NRD, Polski, Węgier i ZSRR. Siedzibą Instytutu jest Moskwa. Instytut ma charakter otwarty: członkami Instytutu oprócz wyżej wymienionych mogą zostać również inne kraje, które przyłączą się do zawartego w tej sprawie porozumienia. Do zadań Instytutu należy:

- podejmowanie prac badawczych i opracowań, interesujących kraje członkowskie,
- koordynacja prac naukowo-badawczych prowadzonych w tych krajach,
- działalność konsultacyjno-doradcza i ułatwianie wymiany doświadczeń między zainteresowanymi organizacjami krajów członkowskich.

Tematyka prac Instytutu obejmuje całokształt spraw związanych z problemami sterowania różnorodnymi obiektami. Najwyższym organem kierowniczym Instytutu jest Rada, w skład której wchodzi stali przedstawiciele wyznaczeni przez kompetentne organizacje krajów członkowskich /po jednym przedstawicielu z każdego kraju/. Rada zatwierdza statut Instytutu, podstawowe kierunki i perspektywiczne plany działalności, tematy prac naukowo-badawczych i budżet. Powołuje także Dyrektora i jego zastępców. Budżet Instytutu tworzy się z corocznych składek krajów członkowskich. Poszczególne kraje członkowskie mają przewidziane określone limity pracowników naukowych, których mogą delegować do pracy w Instytucie. Okres takiej delegacji zazwyczaj przekracza 1 rok.

Zadania Instytutu mogą być realizowane:

- siłami własnych pracowników,
- przy współpracy z odpowiednimi organizacjami krajowymi, przy czym część prac wykonywana jest w Instytucie, a część w tych organizacjach,
- za pomocą grup ekspertów, zapraszanych do Instytutu na okres do kilku miesięcy dla rozwiązania poszczególnych problemów
- metodą koordynacji i organizacji badań prowadzonych w różnych krajach i ukierunkowanych na rozwiązanie określonego problemu

Działalność Instytutu opiera się na potencjale naukowym krajów członkowskich. Dlatego w poszczególnych krajach wyznaczone zostały tzw. organizacje bazowe, z którymi Instytut utrzymuje ścisły kontakt we wszystkich sprawach związanych z jego działalnością naukową i koordynacyjną. Niezależnie od tego Instytut może współpracować również z innymi organizacjami działającymi w krajach członkowskich i zainteresowanymi nawiązaniem takiej współpracy. Przeważnie kontakty w ramach poszcze-

gólnych krajów nawiązywane są za pośrednictwem odpowiednich członków Rady Instytutu, reprezentujących ten kraj i jego organizację bazową. W poszczególnych krajach oprócz organizacji bazowych są również ustalane inne instytucje wiodące, współpracujące z MNIIPU w zakresie badań obejmujących wybrane, szczególnie ważne problemy.

MNIIPU pod względem organizacyjnym dzieli się na oddziały, w skład których wchodzi pracownie /laboratoria/ tematyczne. Obecnie istnieją następujące oddziały:

- Oddział organizacyjno-ekonomicznych problemów kierowania produkcją,
- Oddział problemów kierowania przedsiębiorstwami wielobranżowymi;
- Oddział problemów kierowania procesami integracji ekonomicznej;
- Oddział problemów kierowania rozwojem naukowo-technicznym;
- Oddział modelowania systemów kierowania;
- Oddział badania operacji i podejmowania decyzji;
- Oddział socjologicznych i prawnych problemów kierowania.

Perspektywiczne kierunki działalności naukowo-technicznej Instytutu zostały zatwierdzone na posiedzeniu Rady MNIIPU odbytym w grudniu 1978 r. Za jedną z najważniejszych uznano działalność zmierzającą do "podwyższenia efektywności wykorzystania współczesnych metod matematycznych i środków techniki obliczeniowej w systemach sterowania /kierowania/". W ramach tego kierunku, szereg krajów członkowskich wyraziło zainteresowanie rozwojem badań i działalnością naukowo-koordynacyjną w zakresie zastosowania techniki mikroprocesorowej/.

#### Działalność Instytutu w zakresie mikroprocesorów

W perspektywnym planie pracy Instytutu zatwierdzonym na posiedzeniu Rady odbytym w grudniu 1978 r., za jedną z najważniejszych dziedzin działalności uznano działalność zmierzającą do podwyższenia efektywności wykorzystania współczesnych metod matematycznych i środków techniki obliczeniowej w systemach sterowania /kierowania/. W ramach tego kierunku przedstawiciele wielu krajów członkowskich wyraziły zainteresowanie rozwojem badań i działalnością naukowo-koordynacyjną w zakresie zastosowania techniki mikroprocesorowej. Użyty w tym stwierdzeniu termin "technika mikroprocesorowa" obejmuje zarówno zestaw odpowiednich podzespołów mikroelektronicznych /tj. przede wszystkim wielkoskalowych układów scalonych/ niezbędnych do realizacji mikrokomputera, jak i urządzenia zewnętrzne, przeznaczone do współpracy z tymi mikrokomputerami;

Mikroprocesorem w tym przypadku nazywany układ lub urządzenie, złożone z jednego

lub z kilku układów LSI i realizujące obróbkę informacji cyfrowej. Kompletną maszyną cyfrową złożoną z mikroprocesora, pamięci półprzewodnikowych i układów sprzężenia z urządzeniami zewnętrznymi nazywamy mikrokomputerem. Opracowaniem i badaniami mikrokomputerów oraz ich wdrażaniem do praktyki zajmują się wszystkie kraje RWPG. W wielu z nich zgromadzono już istotne zasoby doświadczeń w tej ważnej dziedzinie.

Pragnąc właściwie wykorzystać istniejące doświadczenia, w MNIIPU podjęto badania aktualnych problemów stosowania techniki mikroprocesorowej. Program prac obejmuje:

- analizę i opracowanie wniosków z dotychczasowych doświadczeń w zakresie stosowania mikroprocesorów w systemach sterowania,
- analizę trendów rozwojowych środków technicznych i matematycznego zabezpieczenia mikrokomputerów, przeznaczonych do pracy w systemach sterowania,
- analizę socjalnych następstw szerokiego wdrażania mikroprocesorów.

#### Typowe systemy mikroprocesorowe

Specjalną uwagę Instytut zamierza poświęcić rozwojowi typowych konfiguracji systemów mikroprocesorowych, przystosowanych do rozwiązywania określonych klas zastosowań, odznaczających się określoną specyfiką wymagań. Pod pojęciem "typowych konfiguracji" w tym przypadku rozumiemy całość środków technicznych, obejmujących zarówno sam mikrokomputer jak i urządzenia zewnętrzne, urządzenia sprzężenia z obiektem, oprogramowanie oraz środki obsługi technicznej, zorientowanych na rozwiązywanie określonej klasy zadań. Dotychczasowe doświadczenia pozwalają wydzielić niektóre klasy zadań, efektywnie rozwiązywanych za pomocą mikroprocesorów. Zdanem autorów, można wskazać następujące klasy:

- Sterowanie procesami technologicznymi i zespołami maszyn;
- Obróbka i przechowywanie informacji w systemach stosowanych do celów organizacyjno-administracyjnych;
- Przekształcanie i przesyłanie informacji w systemach telekomunikacyjnych.

Zasadne wydzielenie każdej z podanych klas wymaga rozpatrzenia specyfiki rozwiązywanych zadań oraz zalet, wynikających z zastosowania techniki mikroprocesorowej do danej klasy zagadnień. Dlatego powyższy wykaz należy traktować wyłącznie jako wstępny, wymagający szczegółowego zbadania przez odpowiednich specjalistów.

#### Typowe systemy do automatyzacji procesów technologicznych

Bardziej szczegółowo rozpatrzono jedną z proponowanych klas, związaną z automatyzacją procesów technologicznych. Klasa ta jest szeroko reprezentowana we wszystkich gałęziach produkcji przemysłowej. Wymagania na typowe

wą konfigurację systemów omawianej klasy rozpatrzmy na przykładzie systemu automatycznego sterowania procesami ciągłymi, reprezentowanymi za pomocą próbek dyskretnych.

Procesy takie występują w metalurgii, chemii, petrochemii, przemyśle materiałów budowlanych, przemyśle spożywczym i w innych gałęziach przemysłowych. Systemy zaliczane do omawianej klasy charakteryzują się mnogością rozwiązywanych zadań funkcjonalnych. Do zadań tych należy zaliczyć:

- sterowanie procesami technologicznymi i sprzętem realizującym te procesy, w tym obróbkę informacji uzyskiwanej z przetworników oraz obliczanie nastaw regulatorów analogowych,
- przedstawianie aktualnej informacji o procesach dla potrzeb operatora,
- bezpośrednią cyfrową regulację różnorodnych procesów technologicznych /włączając w to regulację optymalną, ekstremalną, adaptywną i inne rodzaje regulacji/,
- rozwiązywanie zadań związanych z rozdzieleniem strumieni materiałowych oraz innych zadań związanych z operatywnym zarządzaniem produkcją.

Konkretne systemy należące do rozpatrywanej klasy mogą rozwiązywać zarówno pojedyncze zadania jak i całe ich grupy. Wspólną cechą charakteryzującą te systemy są rozdzielane układy interfejsowe, zapewniające możliwość odpowiedniego przetwarzania sygnałów wejściowych i wyjściowych oraz realizujące łączność systemu z operatorem. Inną charakterystyczną cechą tych systemów jest praca w czasie rzeczywistym. W większości przypadków systemy tej klasy rozciągają się na znacznej przestrzeni. Zadania sterowania oddzielnymi maszynami lub grupami maszyn realizowane są lokalnie, natomiast funkcje operatorskie są centralizowane na poziomie linii technologicznych lub całych wydziałów produkcyjnych. Poszczególne systemy przemysłowe różnią się znacznie między sobą, co utrudnia typizację i wymaga opracowywania dużej ilości wariantów. Największe różnice występują w zakresie oprogramowania.

Zadania należące do omawianej klasy zastosowań są obecnie realizowane za pomocą minikomputerów. Ze względów ekonomicznych istnieje tendencja do możliwie pełnego wykorzystywania możliwości minikomputerów, co skłania do budowy dużych, zcentralizowanych systemów. Takie systemy mają liczne wady; ich opracowywanie i wdrażanie jest trudniejsze, a produkcja ma charakter jednostkowy. Są podatne na uszkodzenia i bardziej zawodne. Mniejsze koszty systemów mikroprocesorowych umożliwiają szersze stosowanie regulatorów zdecentralizowanych, w których obróbka informacji jest dokonywana w pobliżu miejsca jej uzyskiwania. Pozwala to zmniejszyć nakłady na linie przesyłowe, upraszcza oprogramowanie oraz podwyższa żywotność i nie-

zawodność systemów. Systemy mikroprocesorowe dzięki swojej prostocie i większej powtarzalności mogą być produkowane w odpowiednio dłuższych seriach, wykonywanych w warunkach przemysłowych.

### Metody realizacji typowych systemów

Wykorzystanie omówionych zalet wymaga opracowania typowych konfiguracji systemów przystosowanych dla określonych zastosowań. Możliwe są dwie metody realizacji takich systemów:

1. Pierwsza z tych metod wykorzystuje zestaw makro-modułów, z których każdy realizuje określoną funkcję systemu /np. moduły procesora, pamięci, wejściowo-wyjściowe i inne/. Moduły mogą być wykonywane w postaci odpowiednich płyt montażowych, wyposażonych w standardowe złącza. Zestaw odpowiednio dobranych modułów, połączonych ze sobą za pomocą wspomnianych złącz /szyn/, tworzy konkretny system przystosowany do rozwiązania określonego zadania.

2. Druga metoda wykorzystuje specjalizowane jednoukładowe mikrokomputery, łączące w sobie zarówno funkcje procesora jak i pamięci oraz układów wejściowo-wyjściowych przystosowanych do sterowania konkretnym typem urządzenia lub zestawu.

Pierwszy z opisanych sposobów pozwala realizować szeroki asortyment systemów przeznaczonych dla automatyzacji procesów technologicznych. Drugi sposób może być wykorzystywany do realizacji niektórych specyficznych systemów, przeznaczonych do sterowania określonymi urządzeniami, produkowanymi w odpowiednio długich seriach i mającymi ustaloną technologię.

### Najważniejsze problemy do rozwiązania

Obecnie w większości krajów RWPG już istnieje produkcja modułowych mikrokomputerów przeznaczonych do automatyzacji procesów technologicznych. Dlatego celowe jest porównanie asortymentu i parametrów technicznych tych mikrokomputerów z wymaganiami, wynikającymi ze specyfiki stosowania. Porównanie pozwoli ocenić, na ile istniejące środki techniczne dostosowane są do określonych klas zadań, co może umożliwić wprowadzenie niezbędnych poprawek i usprawnień. Poważne problemy wiążą się z opracowaniem właściwych urządzeń, zabezpieczających łączność systemów mikroprocesorowych z operatorem. Należy wszechstronnie rozpatrzyć przydatność monitora znakowego celem przedstawienia czytelnej informacji o przebiegu procesów technologicznych.

Wnikliwego podejścia wymaga opracowanie systemu łączenia poszczególnych mikrokomputerów z systemami nadrzędnymi, sterującymi całą produkcją. Należy opracować odpowiednie systemy interface, strukturę sieci, formaty danych i protokoły ich przekazywania. Szcze-

gólnie ważne wydaje się być opracowanie systemu możliwie zunifikowanych programów użytkowych. Programy wchodzące w skład systemów operacyjnych i translatorów powinny umożliwiać łatwą zmianę konfiguracji systemów i przystosowywanie ich do różnych obiektów. Wydaje się, że unifikacja programów użytkowych powinna opierać się na bazie zformalizowanych języków wysokiego poziomu. Wysoki stopień złożoności oprogramowania mikrokomputerów wymaga wyposażenia konstruktorów w zespół efektywnych środków wspomagających projektowanie, uruchamianie i sprawdzanie nowych systemów. Możliwe są dwie metody rozwiązania tego problemu:

- za pomocą odpowiednio wzbogaconego zestawu mikrokomputerowego, zbudowanego w oparciu o zestaw układów mikroprocesorowych tego

samego typu co układy stosowane w systemach użytkowych.

- za pomocą uniwersalnego systemu, przystosowanego do wspomagania projektowania, uruchamiania i sprawdzania programów przeznaczonych dla systemów budowanych w oparciu o różne typy mikroprocesorów /metoda ta wydaje się być bardziej perspektywiczna/.

Przedstawione problemy, związane ze stosowaniem mikroprocesorów w przemysłowych systemach sterujących zasługują na uwzględnienie w planach prac Międzynarodowego Naukowo-Badawczego Instytutu Problemów Sterowania. Mamy nadzieję, że przy ich rozwiązywaniu wezmą czynny udział specjaliści ze wszystkich krajów członkowskich.

mgr inż. MICHAŁ WOŹNICA  
Instytut Systemów Sterowania - Kalowice

## ZASTOSOWANIE PROCESORA MERA-60 W SYSTEMACH STEROWANIA CZASU RZECZYWISTEGO

System MERA-60 jest nowoczesnym systemem mikrokomputerowym przeznaczonym głównie do budowy systemów sterowania czasu rzeczywistego. System ten charakteryzuje się następującymi cechami szczególnymi:

- modułarna architektura umożliwiająca tworzenie praktycznie dowolnej konfiguracji systemowej, dostosowanej do konkretnych potrzeb,
- nowoczesny, wektoryzowany system przerwań pozwalający na praktycznie natychmiastowe uruchomienie programu obsługi przerwania,
- ściśle zdefiniowane zasady projektowania modułów umożliwiające budowę specjalizowanych układów interfejsowych sprzężonych z konkretnym obiektem użytkownika,
- bogate oprogramowanie systemowe posiadające dwa podstawowe składniki:
  - ◆ system operacyjny czasu rzeczywistego RT-11
  - ◆ kompilatory języków FORTRAN IV, BASIC
- wysoką niezawodność wynikającą z zastosowania układów scalonych LSI oraz MSI,
- nowoczesne, standardowe urządzenia peryferyjne posiadające wysokie parametry eksploatacyjne i niezawodnościowe.

System MERA-60 wykonany jest w wielu

wersjach konstrukcyjnych przystosowanych do zastosowań w różnych warunkach środowiskowych.

Główne dziedziny zastosowań to:

- przemysłowe systemy sterowania procesami technologicznymi,
- systemy kontrolno-pomiarowe,
- systemy wspomagania prac inżynierskich,
- systemy obliczeniowe,
- małe, autonomiczne systemy zarządzania,
- sieci wielomaszynowe.

### Architektura systemu MERA-60

Koncepcja architektoniczna systemu opiera się na następujących zasadach, zrealizowanych sprzętowo:

1/ Zasada modularności systemu uzyskanej przez zastosowanie zunifikowanej magistrali, do której mogą być dołączone oprócz modułu procesora i modułów pamięci operacyjnej inne moduły standardowe lub moduły zaprojektowane przez użytkownika. Magistrala systemu zawiera

- 16 dwukierunkowych linii transmisji danych lub adresów

- 17 jednokierunkowych linii sterowania

Magistrala może być utworzona z jednej, dwóch lub maksymalnie trzech kaset, co pozwala na dołączenie /procesor zajmuje dwie pozycje w pierwszej kasecie/ następujących ilości modułów:

- 6 - dla jednej kasety

- 11 - dla dwóch kaset

- 17 - dla trzech kaset

Każda kaseeta zawiera 8 pozycji połączonych szeregowo przy pomocy 33 linii magistrali.

Połączenia między kasetami zrealizowane są przy pomocy kabli taśmowych i terminatorów 120 om oraz 250 om. Każdy moduł, dołączony do magistrali ma dwa rodzaje układów:

- zunifikowane układy interfejsowe

- układy współpracy z dołączonym urządzeniem peryferyjnym lub obiektem.

2/ Zasada unifikacji systemu adresacji pamięci i modułów dołączanych do magistrali zrealizowana przez wydzielenie na stałe rejestrów buforowym i rejestrów statusowym znajdującym się w modułach adresów zawartych w zakresie 28 - 32 K. Adresy pamięci operacyjnej znajdują się w zakresie 0 - 28 K

3/ Zasada automatycznej identyfikacji i obsługi programowej źródła przerwania zrealizowana przez przydzielenie każdemu modułowi jednego lub kilku tzw. adresów wektora przerwania. Adresy wektorów przerwania znajdują się w początkowym zakresie 0 - 1 K, i są wybierane automatycznie przez układy przerwania znajdujące się w modułach systemu, dołączonych do magistrali.

4/ Zasada związania poziomu priorytetu obsługi przerwania z numerem pozycji magistrali, zajmowanej przez moduł. Najwyższy priorytet posiada moduł zajmujący pozycję nr 3 /nr 1 i nr 2 zajmowane są przez moduł procesora/. Najniższy priorytet posiada moduł zajmujący pozycję nr 8.

#### Standardowe urządzenia peryferyjne

1. Urządzenia wprowadzania i wyprowadzania danych /programów/

- monitor ekranowy Mera 7952,

- drukarka mozaikowa DZM 180 RO

- drukarka mozaikowa z klawiaturą DZM 180 KSR,

- stacja taśmy perforowanej SPTP-3 z czytnikiem i perforatorem.

2. Pamięci zewnętrzne:

- pamięci na dyskach elastycznych SP60M,

- pamięć kasetowa PK-1,

- pamięć taśmowa PT-305,

- pamięć dyskowa SM 5400.

3. Urządzenie graficzne

- monitor graficzny /w opracowaniu/.

- rejestrator xy formatu A3 /w opracowaniu/.

- rejestrator xy formatu A1.

#### Moduły systemu

1. Moduły pamięci operacyjnej:

- P1 - pamięć dynamiczna 4K x 16b /prod. radz. /,

- MPR-60 - pamięć dynamiczna 16K x 16b z restartem,

- MPS-60 - pamięć stała EPROM 4K x 16b.

2. Moduły sterujące urządzeniami peryferyjnymi:

- MDK-60 - monitor MERA 7952, DZM 180 RO, DZM 180 KSR,

- MCD-60 - stacja SPTP-3,

- MPD-60 - pamięć na dyskach elastycznych SP60MS,

- MPK-60 - pamięć kasetowa PK-1,

- MPT-60 - pamięć taśmowa PT-305,

- MDT-60 - pamięć dyskowa SM 5400,

- MMG-60 - monitor graficzny,

- MRD-60 - rejestrator xy formatu A1,

- MXY-60 - rejestrator XY formatu A3.

3. Moduły sprzężenia z obiektem,

- MCM-60 - adapter CAMAC

- MIE-60 - adapter IEC STANDARD

- MUX-60 - multiplexer 64 we

- MDX-60 - multiplexer /demultiplexer 32 we/32wy

- MAC-60 - konwerter analogowo-cyfrowy 16 we

- MCA-60 - konwerter cyfrowo-analogowy 4 wy

- MIG-60 - moduł izolacji galwanicznej

#### Wersje konstrukcyjne systemu MERA-60

Przewiduje się opracowanie wersji konstrukcyjnych, uwzględniających specyfikę różnych dziedzin zastosowań a mianowicie:

1/ MERA 60 - 10 - wersja bezdyskowa z oprogramowaniem zapisywaniem na taśmie papierowej. Wersja ta ma dwa wykonania:

- wykonanie 1 dla zastosowań w obliczeniach naukowych i technicznych lub w dziedzinie rozwoju oprogramowania użytkownika /DEVELOPMENT SYSTEM/

- wykonanie 2 dla zastosowań obiektowych w obudowie pancerniej i hermetycznej z lokalnymi układami regulacji temperatury

2/ MERA 60-20 - wersja dyskowa /floppy/ z systemem operacyjnym RT 11. Wersja ta ma również dwa wykonania, identyczne jak w pkt. 1.

3/ MERA 60-30 - wersja dyskowa /floppy/ z systemem operacyjnym RT-11 z adapterem 1 kasetą CAMAC

4/ MERA 60-40 - wersja dyskowa /5-20MB/ z systemem operacyjnym RT-11

#### Oprogramowanie standardowe systemu MERA-60

Dla użytkowników systemu MERA-60 dostępne będą dwa podstawowe rodzaje oprogramowania systemowego a mianowicie:

1. Oprogramowanie systemowe na taśmie perforowanej w tym:

- EDYTOR,

- ASSEMBLER PRZEMIESZCZALNY,

- LINKER,

- DEBUGGER.

- IOX.
- PAKIET PROGRAMÓW STANDARDOWYCH,
- INTERPRETER BASIC.

Jest to podstawowe, minimalne oprogramowanie systemowe dostarczone z systemem MERA 60-10

2. System operacyjny RT-11 w tym:

- SJ MONITOR,
- F/B MONITOR,
- EDYTOR,
- MACRO ASSEMBLER,
- LINKER,
- BIBLIOTEKARZ,
- DEBUGGER,
- DUMPER,
- FORTRAN IV /kompilator/,
- BASIC SU lub MU /interpreter/.

System ten może pracować wyłącznie na wersjach dyskowych MERA 60-20, 30 i 40 przy pamięci operacyjnej minimum 16 k słów.

#### Systemy hierarchiczne

W systemach sterowania w czasie rzeczywistym o ostrych uwarunkowaniach czasowych konieczne staje się rozproszenie funkcji sterujących, obliczeniowych i logistycznych w hierarchicznych systemach wielokomputerowych. W takich systemach do jednego procesora nadrzędnego dołączonych jest kilka lub kilkanaście procesorów MERA 60, sprzężonych bezpośrednio z obiektem przy pomocy modułów MUX-60, MDX-60, MAC-60, MCA-60, MCM-60 lub MIE-60. W charakterze procesora nadrzędnego przewiduje się stosowanie minikomputera MERA 400 lub MERA 60-40. Komunikacja między procesorem nadrzędnym a procesorami podrzędnymi zrealizowana jest przy pomocy łączy w standardzie V 24 w dwóch wersjach:

- wersji bezmodemowej na odległość do 1,5 km
- wersji modemowej na odległość powyżej 1,5 km.

W komunikacji między procesorami przyjęto standardowy podstawowy protokół komunikacji

#### BSC /BINARY SYNCHRONOUS COMMUNICATIONS/.

W sieci wielokomputerowej, zbudowanej w wyżej opisany sposób możliwe będzie rozproszenie funkcji systemu na dwie podstawowe grupy:

- funkcje podrzędne takie jak: zbieranie oraz wstępne przetwarzanie i interpretowanie danych pobranych z obiektu, sterowanie obiektem według zadanego w danej chwili przez procesor algorytmu, przekazywanie do procesora nadrzędnego raportów o statusie obiektu, przyjmowanie od procesora nadrzędnego dyrektyw lub algorytmów sterujących obiektem.

- funkcje nadrzędne: interpretowanie raportów przekazanych z komputerów podrzędnych w kontekście sytuacji w całym systemie, opracowywanie i przekazywanie do sieci dyrektyw lub algorytmów sterujących, uruchamianie na obiekcie systemów sygnalizacji akustycznej i optycznej, opracowywanie wydruków raportów o stanie obiektu oraz raportów dotyczących parametrów ekonomicznych obiektu.

Linia podziału między funkcjami systemu określona jest przez projektanta systemu jednak powinna być tak dobrana, aby zapewnić ekonomiczne relacje między kosztami a wydajnością systemu.

#### Zastosowanie

1. Systemy autonomiczne /jednoprocessorowe/.

Systemy te mogą być stosowane we wszystkich dziedzinach zastosowań a przede wszystkim do tworzenia małych systemów sterowania z ustalonym programem sterującym /systemy "pod klucz"/ oraz do obliczeń naukowych i technicznych.

2. Systemy hierarchiczne /wielokomputerowe/.

Systemy te mogą być stosowane w dużych obiektach przemysłowych w hutnictwie, górnictwie, przemyśle maszynowym /systemy DNC/, przemyśle chemicznym itp.



## SYSTEM MIKROKOMPUTEROWY MERA-60 - 30 Z KASETĄ SYSTEMU CAMAC

### Konfiguracja systemu

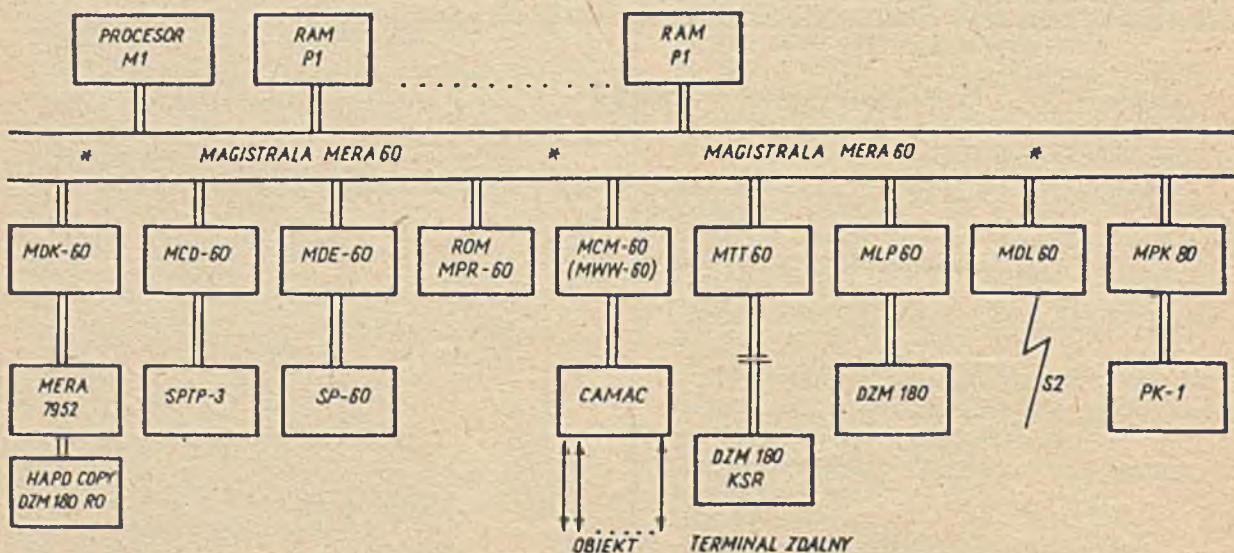
Konfigurację systemu MERA 60-30 przedstawiono na rys. 1. System rozbudowany jest wokół magistrali, która służy do wymiany informacji pomiędzy urządzeniami systemu. Każde urządzenie podłączone jest do magistrali poprzez specjalny pakiet interfejsowy.

System MERA 60-30 składa się z następujących modułów i urządzeń zewnętrznych:

- M1 PROCESOR - zawiera układ 16-bitowego mikroprogramowanego procesora z układem obsługi przerwań oraz pamięcią typu RAM o pojemności 4K słów 16-bitowych.
- P1 RAM - pamięć operacyjna typu RAM o pojemności 4K słów 16-bitowych.
- K4 - terminator dla celów rozbudowy magistrali w systemie wielokasetowym - możliwość rozbudowy systemu do trzech kaset.
- MDK-60 - interface konsoli operatorskiej

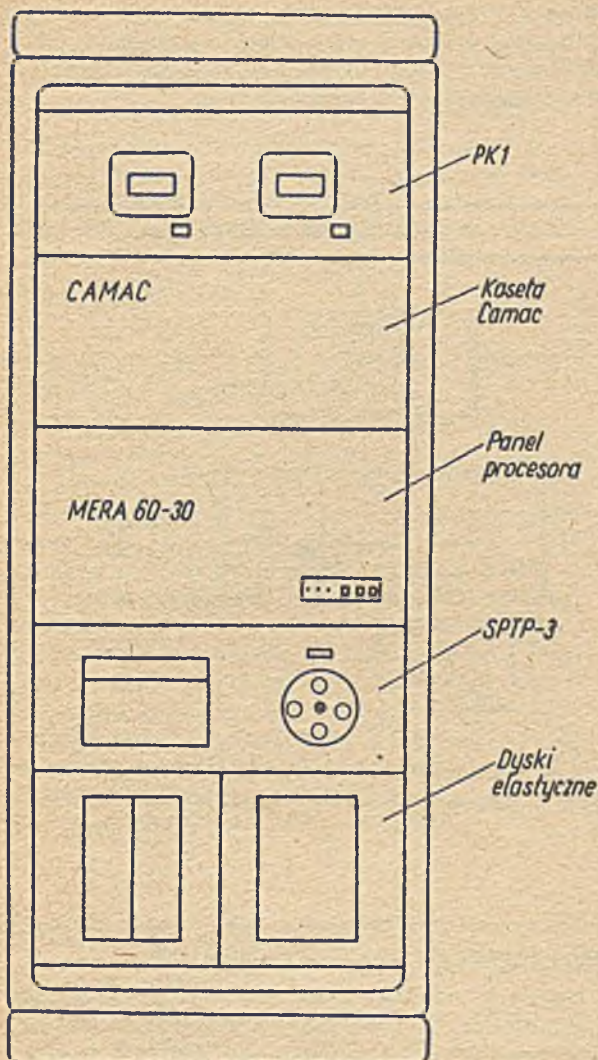
systemu: monitor MERA 7952 współpracujący z drukarką DZM 180/RO jako hard copy.

- MCD-60 - Interface stacji przygotowania taśmy papierowej typu SPTP-3.
- MDM-60 - interface systemu pamięci na dyskach elastycznych SP60.
- MPR-60 - pamięć typu ROM /PROM, EPROM/ w organizacji 32x256x46 lub 32x512x14 w zależności od użytych układów scalonych pamięci.
- MCM-60 - Interface systemu CAMAC współpracujący z blokiem CAMAC typ 106 jako sterownikiem kasyety.
- MTT-60 - Interface asynchroniczny szeregowy dla terminala wymienionego typu DZM 180 KSR.
- MLP-60 - interface równoległy dla drukarki DZM 180.
- MDL-60 - interface według standardu V-24 przeznaczony do współpracy z urządzeniami transmisji danych.



Rys. 1. Konfiguracja systemu MERA 60 - 30





Rys. 2. Rozmieszczenie elementów systemu w szafie.

- MPK-60 - interface systemu pamięci kasetowej typu PK-1.

Powyższe moduły i urządzenia systemu mogą być dołączone do systemu w zależności od potrzeb użytkownika.

#### Konstrukcja mechaniczna

Wszystkie bloki systemu za wyjątkiem monitora MERA 7952 i drukarek, zainstalowane są w szafie wykonanej w standardzie 19-calowym, posiadającej wewnętrzną instalację elektryczną i układ wentylacji wymuszonej. Szafa jest pyłoszczelna. Gabaryty zewnętrzne szafy wynoszą: wysokość 2100 mm, szerokość 600 mm, głębokość 1100 mm.

Wszystkie bloki z wyjątkiem kasyety CAMAC mają konstrukcję mechaniczną typu "szuflada", bazującą na konstrukcji stacji taśmy papierowej SPTP-3. Umożliwia to wysuwanie urządzeń z szafy, ułatwia obsługę oraz konserwację urządzeń. Panel procesora umożliwia mechaniczne zainstalowanie trzech kaset z zasilacza-

mi systemu MERA-60 zawierającymi magistralę. Rozmieszczenie urządzeń w szafie dla systemu MERA 60-30 przedstawia rys. 2.

#### Oprogramowanie systemu

Podstawowym oprogramowaniem systemowym dla zestawu MERA 60-30 jest dyskowy system operacyjny, będący odpowiednikiem systemu RT-11. Użytkownik może pracować pod systemem w dwóch trybach pracy:

- jednozadaniowym /single job/
- dwuzadaniowym /foreground/background/

Dla każdego z tych trybów pracy istnieje oddzielny monitor systemowy. W trybie dwuzadaniowym obszar pamięci dla programów użytkownika podzielony jest na dwie części. Obszar pierwszoplanowy /foreground/ zajęty jest przez program wymagający szybkiej obsługi na zdarzenia i szybkiego przydziału zasobów systemu /np. program sterujący w czasie rzeczywistym/. W obszarze drugoplanowym wykonuje się program o niższym priorytecie /np. translator/. Zadanie drugoplanowe wykonywane jest tylko wtedy, gdy zadanie pierwszoplanowe zwalnia procesor. System operacyjny jest w maksymalnym stopniu niezależny od konfiguracji urządzeń zewnętrznych i pamięci operacyjnej.

Wymagana pojemność pamięci operacyjnej:

- 5K słów - minimalna pojemność dla monitora dla jednego użytkownika,
- 12K słów - minimalna pojemność dla systemu pracującego w trybie wsadowym,
- 16K słów - minimalna pojemność dla monitora dwuzadaniowego /foreground/background/.

#### Kaseta CAMAC

Dla celów sprzęgnięcia i współpracy z obiektem wykorzystano w systemie MERA 60-30 system CAMAC. Jest to znany system interfejsowy posiadający zdefiniowaną strukturę i budowę. W skład systemu wchodzi tzw. bloki funkcjonalne. Bloki funkcjonalne systemu umieszczone w kasecie CAMAC współpracują ze sterownikiem kasyety za pomocą magistrali CAMAC. Magistrala kasyety CAMAC stanowi układ szyn równoległych łączących bloki wykonawcze z blokiem sterowania kasyety, który jest stanowiskiem dialogowym między blokami wykonawczymi a komputerem.

Kaseta CAMAC ma 25 stanowisk, na których można umieszczać bloki funkcjonalne. Stanowisko 24 i 25 zarezerwowane jest dla sterownika kasyety. Pozostałe miejsca kasyety mogą być wykorzystane dla tworzenia dowolnej struktury systemu, zbudowanej z bardzo bogatej rodziny bloków funkcjonalnych.

#### Sterowanie kasyety CAMAC

W Polsce produkowanych jest seryjnie kilka typów sterowników kasyety. Poniżej zostaną omówione dwa różne sposoby podłączenia się

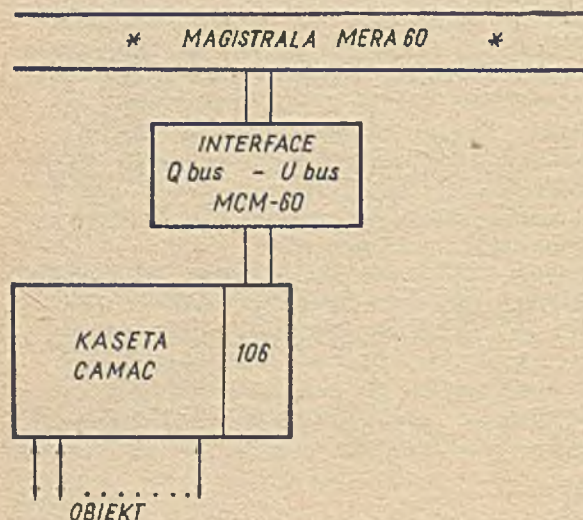
do systemu CAMAC, tj. dla kasyety sterowanej przez sterownik do współpracy z komputerem oraz kasyety sterowanej przez procesor autonomiczny kasyety.

#### ● Wykorzystanie interface'u MOM-60

Do współpracy z minikomputerami typu PDP-11 oraz SM-3 i SM-4 produkowany jest seryjnie sterownik CAMAC typu 106. Wymienione minikomputery charakteryzują się tym, że mają identyczną magistralę zwaną V-bus. Sterownik typu 106 przystosowany jest do współpracy z tym typem magistrali. System MERA 60 ma również budowę magistralową, tzw. Q-bus. Natomiast lista rozkazów dla komputerów PDP-11, SM-3, SM-4 z jednej strony, a LSI 11 V03 i MERA 60 z drugiej strony jest jednakowa. Podstawowa różnica między magistralami Q-bus i V-bus polega na tym, że:

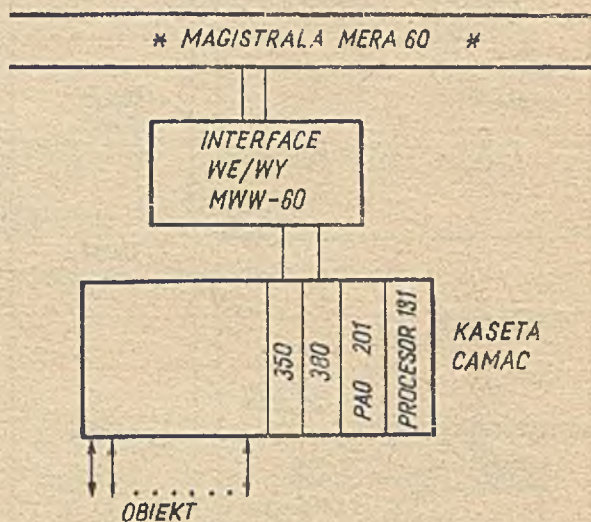
- V-bus ma cztery poziomy przerwań, a Q-bus tylko jeden poziom,
- V-bus ma oddzielne linie przesyłu adresów i danych, natomiast Q-bus ma wspólne linie adresowe i danych.

W celu umożliwienia współpracy sterownika kasyety CAMAC typu 106 z magistralą MERA 60 zbudowany został interface pomiędzy V-busem i Q-busem. Jest to tzw. moduł MOM-60. Moduł ten jest modułem podwójnym i mieści się w kasecie MERA 60 skąd poprzez kabel interface'owy V-busa podłączony jest ze sterownikiem typu 106 kasyety CAMAC. Sposób współpracy i podłączenia kasyety CAMAC poprzez blok 106 z magistralą MERA 60 przedstawiony został na rys. 3. Sprzęgnięcie takie jest szcze-



Rys. 3. Podłączenie kasyety CAMAC wyposażonej w sterownik kasyety typu 106.

gólnie przydatne dla systemów przemysłowych MERA 60, pracujących z obiektem skupionym, dla którego obsługi wystarczają bloki CAMAC mieszczące się w jednej kasecie.



Rys. 4. Podłączenie kasyety CAMAC wyposażonej w procesor autonomiczny CAMAC typu 131.

#### ● Wykorzystanie interface'u MWW-60

Dla systemów bardziej złożonych, rozległych terytorialnie i wykorzystujących więcej kaset systemu CAMAC wykonano sprzęgnięcie systemu MERA 60 z systemem CAMAC za pośrednictwem modułu MWW-60. Moduł MWW-60 jest modułem wejść i wyjść informacji cyfrowej równoległej 16-bitowej oraz impulsów strobowych dla tych informacji. Jest to pakiet o pojedynczej szerokości umieszczony w kasecie MERA 60 i współpracujący z magistralą procesora. Połączenie kasyety CAMAC wykonane jest za pomocą bloków wejść i wyjść cyfrowych np.: rejestr wejściowy 350 i rejestr wyjściowy typu 360. Dane 16-bitowe z magistrali MERA 60 poprzez moduł MWW-60 podawane są do bloku CAMAC typu 350. Natomiast dane z systemu CAMAC, poprzez blok typu 360, podawane są do modułu MWW-60, a stamtąd na magistralę MERA 60.

Dla celów organizacji wymiany danych pomiędzy magistralą MERA 60 i magistralą CAMAC wykorzystany jest z jednej strony procesor MERA 60, a z drugiej procesor autonomiczny kasyety CAMAC typu 131. Sposób współpracy i podłączenie CAMAC poprzez moduł MWW-60 przedstawiono na rys. 4. Struktura takiego systemu jest strukturą dwuprocesorową. Procesory wymieniają dane pomiędzy swoimi magistralami. Budowa taka daje nowe możliwości

w stosunku do przykładu poprzedniego, które zostaną pokazane praktycznie na niżej przedstawionych przykładach.

Systemy jednokasetowe MERA 60 - CAMAC

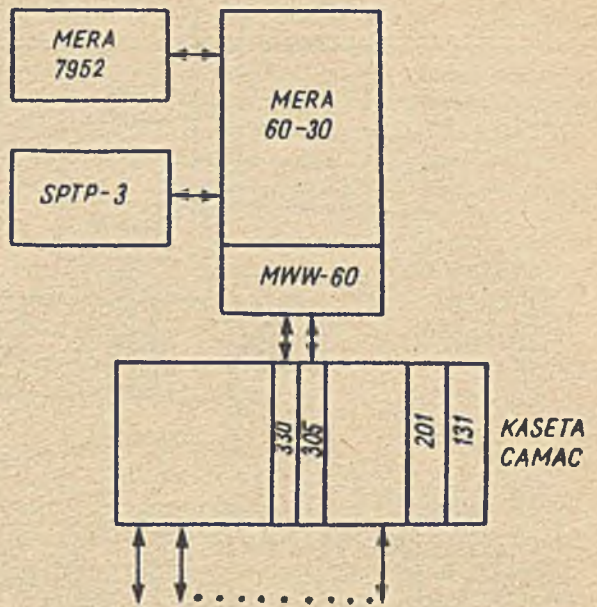
Dużo problemów sterowania procesami technologicznymi może być rozwiązywanych przy zastosowaniu systemów MERA 60-30 wykorzystujących jedną kasetę CAMAC do celów sprzęgnięcia się z obiektem. Przykłady takich rozwiązań podano niżej.

● System MERA 60-30 w procesie kontroli flotacji rud metali kolorowych

Strukturę systemu MERA 60-30 do celów kontroli i sterowania procesem flotacji rud metali kolorowych przedstawia rys. 5. Jest to system stosunkowo prosty, nie wymagający stosowania pamięci zewnętrznej, realizujący stale ten sam program zapisany w pamięci ROM. Dla celów sterowania może być wykorzystany terminal zdalny typu DZM 180-KSR. Monitor MERA 7952 jest standardowym pulpitem operatora systemu. Podłączenie sond radiometrycznych oraz urządzeń cyfrowych z obiektu wykonane jest poprzez system CAMAC. Współpraca magistrali CAMAC z procesorem MERA 60 zrealizowana jest za pomocą bloku CAMAC typu 106 oraz modułu MCM-60.

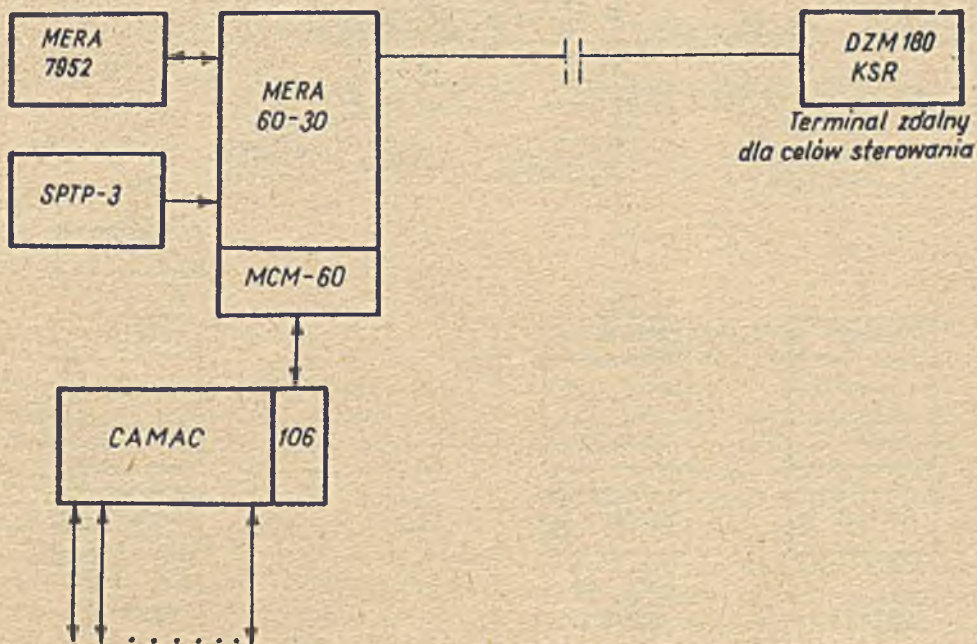
● System sterowania obrabiarki w układzie CNC

System sterowania obrabiarki w układzie CNC może być zrealizowany za pomocą niewielkiej ilości modułów systemu MERA 60-30.

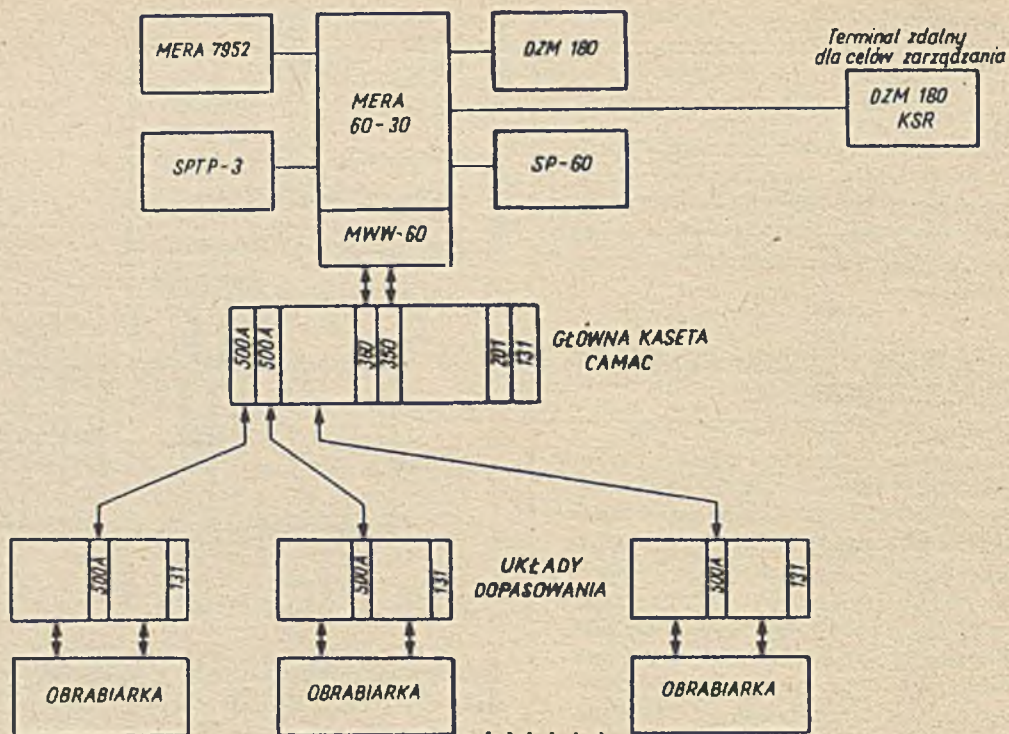


Rys. 6. System sterowania obrabiarki w układzie CNC realizowany w oparciu o MERA 60-30

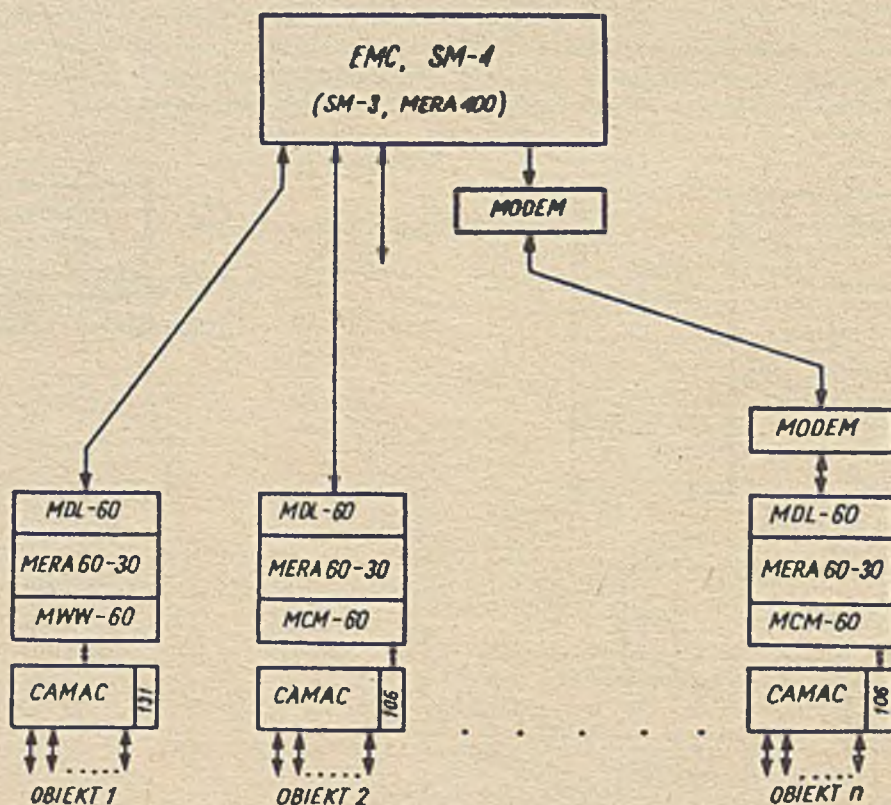
Strukturę takiego systemu ilustruje rys. 6. Zastosowanie kasety CAMAC z procesorem autonomicznym CAMAC typu 131 pozwala na zrealizowanie programowanego układu dopasowania systemu, tzw. UDS do różnych typów obrabiarek. Struktura i oprogramowanie MERA 60 jako układu CNC mogą być natomiast wspólne dla różnych obrabiarek.



Rys. 5. System MERA 60 zastosowany dla kontroli i sterowania procesem flotacji rud metali kolorowych.



Rys. 7. System sterowania zespołu obrabiarek w układzie DNC przy zastosowaniu systemu MERA 60 CAMAC.



Rys. 8. System wieloprocesorowy w układzie hierarchicznym z wykorzystaniem systemu mikrocomputerowego MERA 60 - 30 jako terminali zdalnych EMC SM 4.

### Systemy wielokasetowe MERA 60-CAMAC

Systemy wielokasetowe CAMAC w zastosowaniu systemu MERA 60 wykorzystują interface MWW-60 celem połączenia głównej kasety CAMAC z magistralą procesora MERA 60. Dzięki takiemu sprzęgnięciu i wykorzystaniu procesora autonomicznego CAMAC typu 131 system MERA 60 zwolniony jest od organizacji transmisji między kasetami CAMAC. Główna kaseeta CAMAC spełnia rolę procesora komunikacyjnego między kasetami. Do celów transmisji pomiędzy kasetami wykorzystany jest blok transmisji szeregowej asynchronicznej CAMAC typu 500A. Poniżej przedstawiono przykład systemu wielokasetowego MERA-60-CAMAC.

#### ● System sterowania zespołu obrabiarek w układzie DNC

Struktura systemu sterowania zespołu obrabiarek w układzie DNC została pokazana na rys. 7. Biblioteka programów technologicznych, tzw. POT dla obróbki detali na obrabiarkach zrealizowana jest z wykorzystaniem systemu pamięci na dyskach elastycznych SP 60. Dla

celów zarządzania pracą gniazda obróbczego podłączono do systemu terminal zdalny typu DZM 180-KSR. Transmisja informacji pomiędzy MERA 60-30, a kasetami CAMAC będącymi układami dopasowującymi do obrabiarek jest organizowana przez procesor autonomiczny CAMAC typu 131 znajdujący się w głównej kasecie CAMAC. Poszczególne obrabiarki są podłączone do systemu DNC poprzez układy dopasowania wykonane z systemu CAMAC. Układy dopasowania sterowane są również przez procesor autonomiczny CAMAC typu 131.

### Systemy wieloprocessorowe

Wykorzystując maszyny cyfrowe typu SM-4, SM-3 oraz mikrokomputery MERA-60 można budować systemy wieloprocessorowe w układzie hierarchicznym. Mikrokomputer MERA-60 jest traktowany przez minikomputer SM-4 jako terminal zdalny. Przykładowa struktura takiego systemu hierarchicznego z wykorzystaniem systemu CAMAC dla celów sprzęgnięcia się z wieloma obiektami przedstawiona jest na rys. 8.

**mgr LECH SZYNGWELSKI**  
**Zakład Urządzeń Elektronicznych**  
**"Unitra-Unima" - Warszawa**

## **STEROWANIE PRACĄ ZESTAWÓW MST PRZY POMOCY MINIKOMPUTERÓW MERA-400, MERA-60 I ROSA**

### Charakterystyka zestawów MST-1

Przy tworzeniu zautomatyzowanych systemów kontrolno-pomiarowych szczególnie zastosowanie znalazł interfejs IEC, znany również pod nazwami GPIB / General Purpose Interface Bus/ lub III'-1B / Hewlett Packard Interface Bus/. Przykładem takich systemów są zestawy MST /Modułowe Systemy Testujące/ opracowane w Zakładzie Urządzeń Elektronicznych "Unitra-Unima". Aparaturę wyposażoną w interfejs IEC produkują poza ZUE także CNTPKIP oraz takie znane firmy jak "Hewlett-Packard", "Tektronix", "Rohde-Schwarz" i inne. Wśród urządzeń połączonych w system przy

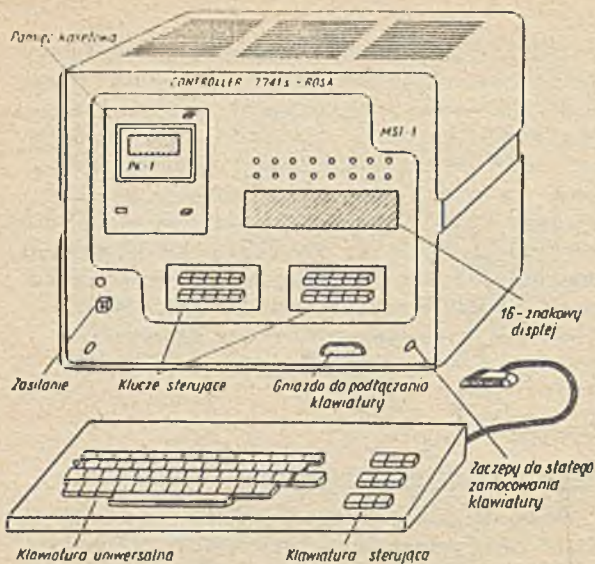
pomocy wspomnianego wyżej interfejsu centralną rolę odgrywa urządzenie nazwane kontrolerem.

Kontroler steruje pracą całego systemu za pomocą zapisanego w nim programu.

Funkcje kontrolera systemu może spełniać:  
- opracowany w ZUE "Unitra-Unima" mikrokomputer ROSA,

- minikomputer MERA-60 z interfejsem IEC opracowywanym w Instytucie Informatyki Czasu Rzeczywistego Politechniki Śląskiej w Gliwicach,

- minikomputer MERA-400 z interfejsem IEC opracowywanym w Zakładzie Systemów Minikomputerowych IMM w Warszawie.



Rys. 1. Widok zewnętrzny mikrokomputera ROSA

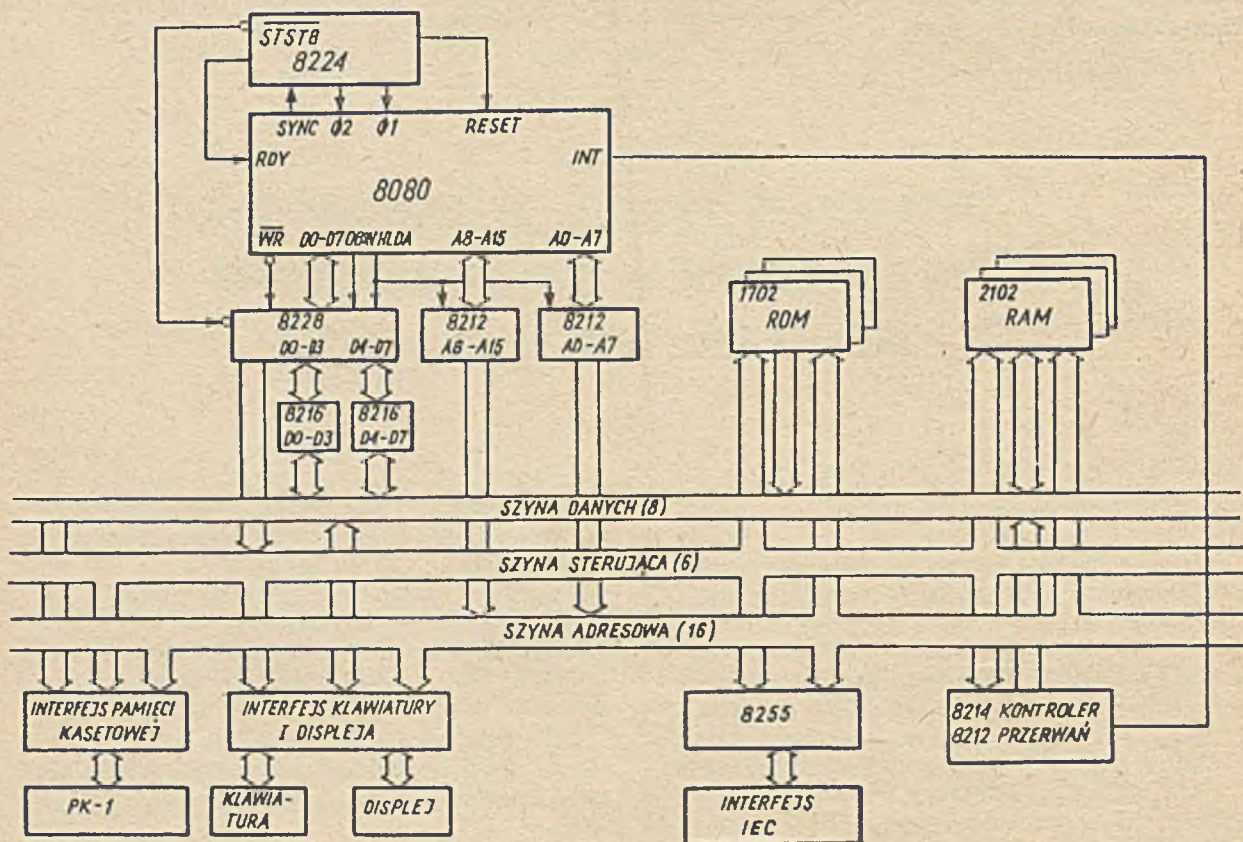
### Mikrokomputer ROSA

Mikrokomputer ROSA /skrót od Rationally Organized System Administrator/ zbudowany jest z elementów dużej, średniej i małej skali integracji /rys. 1/. Zastosowane układy LSI należą do systemu 8080. W skład mikrokompu-

tera wchodzi następujące bloki funkcjonalne /rys. 2/:

- układ centralny bazujący na mikroprocesorze typu 8080A,
- pamięć operacyjna typu RAM oraz pamięć stała typu ROM /łącznie 32K bajtów/,
- 16-znakowe /alfanumeryczne/ pole odczytowe,
- pulpit sterujący zawierający klawiaturę uniwersalną oraz klucze sterujące pracą mikrokomputera,
- kanał współpracy z interfejsem IEC,
- integralnie związana z mikrokomputerem pamięć zewnętrzna oparta na pamięci kasetowej PK-1.

Mikrokomputer ROSA posiada stałe oprogramowanie zawierające programy: monitor, asembler, edytor oraz pakiet programów arytmetycznych. Monitor zajmuje 3K pamięci i spełnia następujące funkcje: inicjuje pracę mikrokomputera po włączeniu zasilania, obsługuje przerwania, organizuje wyświetlanie i redakcję tekstów na polu odczytowym, umożliwia podglądanie i modyfikację zawartości pamięci operacyjnej oraz rejestrów procesora, steruje pracą programów, organizuje zapis i odczyt informacji z pamięci kasetowej oraz steruje pracą urządzeń połączonych z mikrokomputerem za pomocą interfejsu IEC. Asembler zajmuje 4K pamięci stałej i dokonuje tłumaczenia programu źródłowego napisanego w języku symbolicznym mikroprocesora 8080 na pro-



Rys. 2. Schemat blokowy mikrokomputera ROSA

gram wynikowy. Edytor zajmuje 1K pamięci i ułatwia użytkownikowi redagowanie i poprawianie programów źródłowych. Pakiet programów arytmetycznych zajmuje 2K pamięci i realizuje następujące operacje na liczbach zapisanych w formacie zmiennoprzecinkowym: normalizację, dodawanie, odejmowanie, mnożenie, dzielenie, porównywanie oraz obliczanie logarytmów dziesiętnych.

Pamięć mikrokomputera ROSA jest podzielona na 4K bajtowe moduły, z których można w zależności od potrzeb tworzyć dowolną konfigurację, nie przekraczającą 32K. Pulpit sterujący łączy się z resztą ROSA przy pomocy specjalnych zaczepek. Przewiduje się wykonywanie wersji mikrokomputera ROSA bez pulpitu, mieszczącej się w standardowej szafie zawierającej cały zestaw MST. W opracowaniu znajduje się język BASIC rozszerzony interfejs IEC o specjalne funkcje programujące.

#### MERA-60

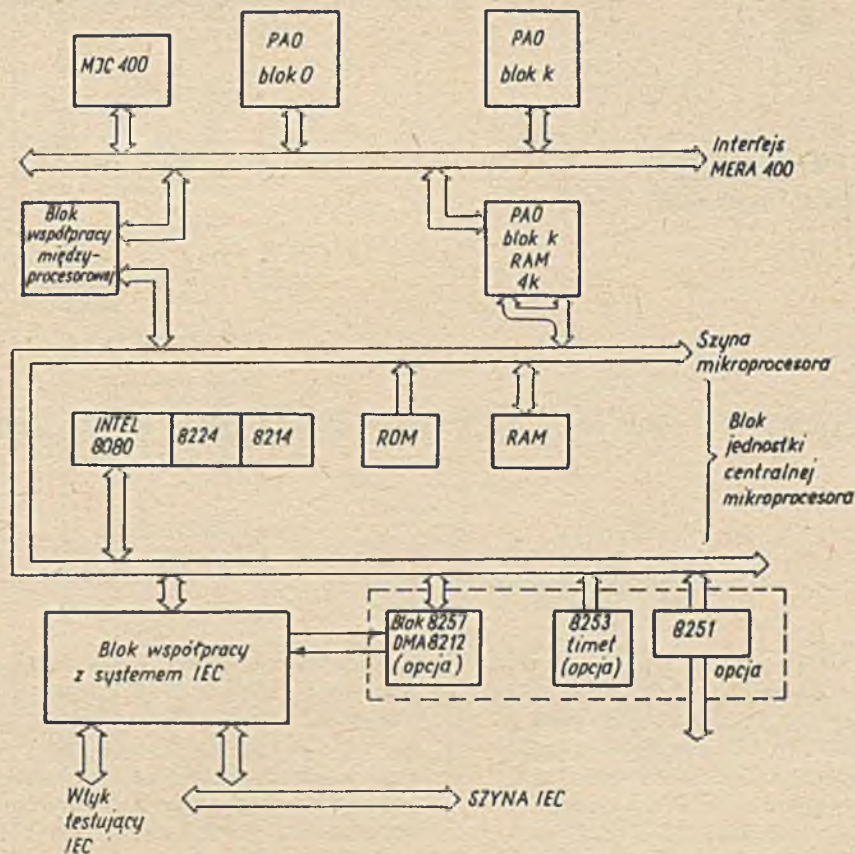
MERA-60 jest modułowym systemem mikrokomputerowym zawierającym następujące moduły: procesor z bogatą listą rozkazów, pamięci RAM i ROM, czytnik i perforator taśmy papierowej, monitor ekranowy, drukarka z klawiaturą, pamięci dyskowe, adaptory CAMAC

i IEC oraz w zależności od potrzeb inne. Adapter interfejsu IEC /MIE-60/, umożliwiający sterowanie przy pomocy MERA-60 zestawem MST, jest opracowywany na Politechnice Śląskiej w Gliwicach.

Przewidywane są dwie wersje adaptera interfejsu MIE-60. Obie wykorzystują układy systemu mikroprocesorowego 8080. Pierwsza wersja adaptera umożliwia programowanie interfejsu IEC na poziomie assemblera. Wymiana informacji pomiędzy magistralą MERA-60 i adapterem MIE-60 odbywa się poprzez dwa 16-bitowe rejestry. Synchronizacja działań jest zapewniona poprzez obustronne przerwania. Druga wersja MIE-60 znajduje się w trakcie opracowania i będzie ukończona do końca br. W wersji tej programowanie interfejsu IEC dokonuje się za pomocą języka BASIC rozszerzonego o specjalne funkcje sterujące interfejs IEC. Zrezygnowano z bezpośredniego zgłaszania przerwań na rzecz ciągłego sprawdzania rejestrów stanu. Konceptyjnie druga wersja będzie podobna do odpowiedniego modułu firmy DEC.

#### MERA-400

MERA-400 jest znanym minikomputerem, dobrze wyposażonym zarówno ze strony sprzętowej jak i programowej. Moduł współpracy z



Rys. 3. Schemat blokowy modułu interfejsowego MIER-400

interfejsem IEC /MIEC-400/ ma być opracowany w IMM do końca bieżącego roku /przewidywana produkcja w latach 1982-85/. MIEC-400 /rys. 3/ będzie inteligentnym procesorem, zbudowanym na bazie układów systemu 8080. Współpracę pomiędzy MERA-400 i MIEC-400 zapewni blok współpracy między procesorowej traktowany od strony mikrokomputera jako specjalizowany kanał. Wymiana informacji następuje poprzez wspólną dla obu procesorów pamięć RAM. Do szyny mikroprocesora 8080 jest dołączony blok współpracy z systemem IEC /liczba bloków może być zwiększona do czterech, co umożliwia równoczesne sterowanie kilkoma zestawami MST przy pomocy jednego mikrokomputera/. Blok współpracy z IEC jest zbudowany na układach scalonych małej i średniej integracji; w przyszłości przewiduje się zastosowanie układów LSI typów 8291 i 8292 lub SN 75160 i SN 75161. Jako opcję do szyny mikroprocesora można dołączyć następujące układy:

- blok DMA /zbudowany na bazie układów 8257 i 8212/ umożliwiający bezpośrednią transmisję informacji pomiędzy pamięcią RAM systemu i szyną IEC,
- timer /zbudowany na bazie układu 8253/ umożliwiający zarządzanie parametrami czasowymi,

- układ USART /interfejs V24/ umożliwiający dołączenie modułów do wstępnego oprogramowania mikroprocesora lub transmisję szeregową ze zdalnym kontrolerem IEC.

Oprogramowanie systemu IEC dzieli się na trzy poziomy. Poziom A stanowi oprogramowanie mikroprocesora 8080 zawierające program współpracy z mikrokomputerem MERA-400, program zarządzający pracą mikroprocesora i układów dołączonych oraz makroinstrukcje i procedury sterujące pracą systemu IEC. Poziom B to oprogramowanie systemowe MIEC-400 zapisane w bloku systemowej pamięci MERA-400. Składają się na nie odpowiednie ekstrakody oraz obsługa przerw MIEC-400. Poziom C stanowi oprogramowanie poziomu użytkownika zapisane w bloku użytkownika pamięci MERA-400. Składa się na nie bazowe oprogramowanie systemu pomiarowego, biblioteki makroinstrukcji i procedur użytkowych oraz program użytkowy wykorzystujący wymienione wyżej programy systemowe. Mikrokomputer MERA-400 pozwala tworzyć struktury hierarchiczne, wykorzystujące szereg modułów współpracy MIEC-400 i podrzędnych systemów mikrokomputerowych, połączonych za pomocą wspólnej szyny interfejsowej IEC.

**mgr inż. WITOLD PIESTRZYŃSKI**  
Przemysłowy Instytut Elektroniki  
Warszawa

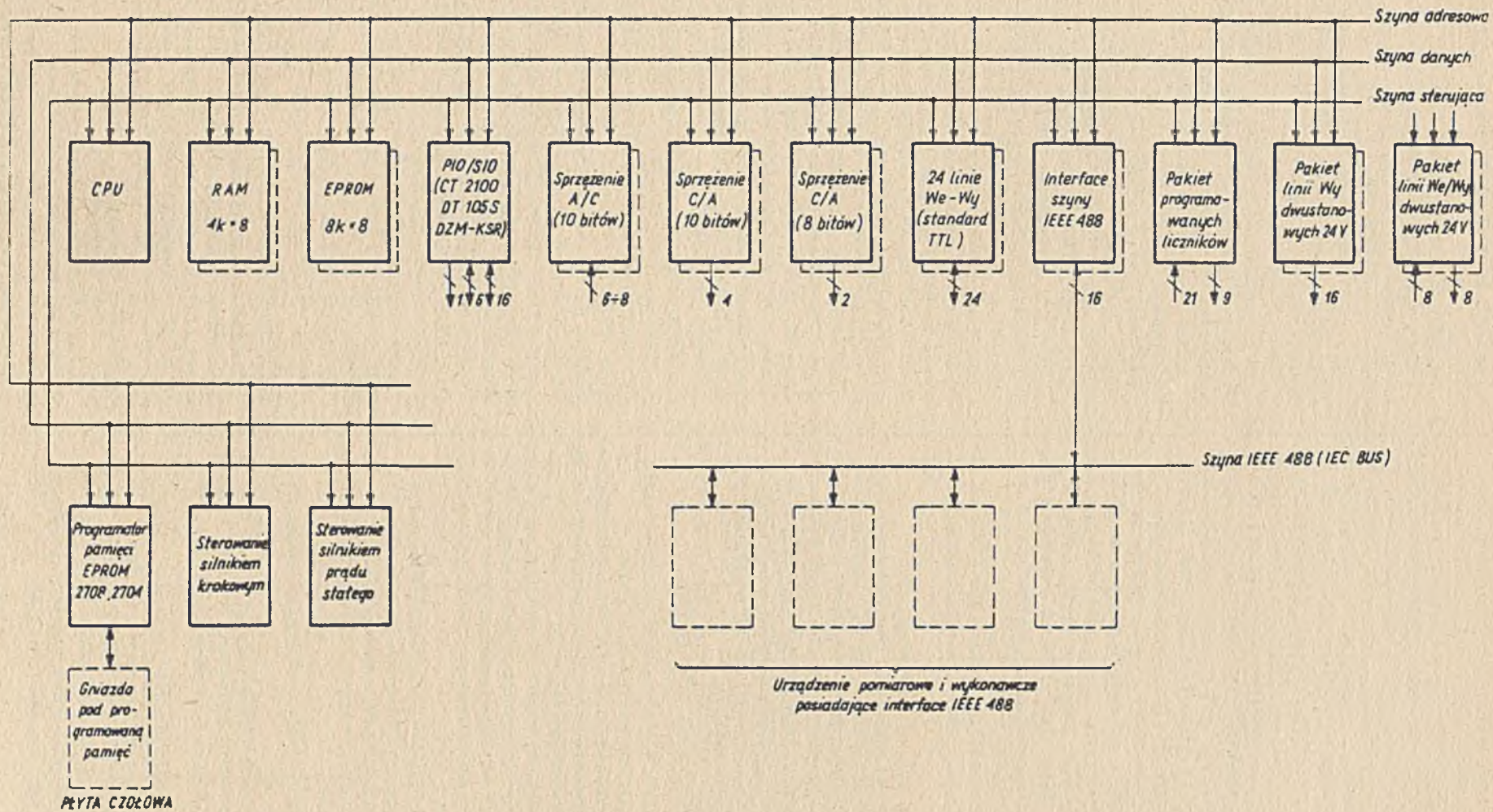
## UNIWERSALNY PAKIETOWY MIKROKOMPUTER "MIKROSTER"

Na przestrzeni kilku ostatnich lat opracowanych zostało wiele rodzin układów mikroprocesorowych. Zjawisko to zaimplikowało duże zmiany w metodach projektowania urządzeń cyfrowych i rozszerzyło ich technicznie uzasadniony obszar zastosowań. Projektowanie urządzeń cyfrowych bazujących na mikroprocesorach ograniczyło się do określenia konfiguracji systemu, dobraniu odpowiedniej ilości powtarzalnych pakietów mikroprocesorowych oraz zaprojektowaniu i uruchomieniu tych pakietów. W takim przypadku optymalizacja z reguły sprowadza się do odpowiedniego dobrania

realizowanych funkcji. Wzrost możliwości funkcjonalnych urządzeń cyfrowych bazujących na układach mikroprocesorowych przy jednoczesnym dużym spadku kosztów wytwarzania, stworzył z pozoru paradoksalną sytuację uzasadniającą zastosowanie tych urządzeń w aplikacjach wykorzystujących kilka procent ich możliwości funkcjonalnych.

Zastosowanie układów mikroprocesorowych znacznie skróciło czas projektowania urządzeń i umożliwiło łatwiejsze wprowadzanie zmian w prototypach. Wzrosły natomiast znacznie koszty projektowania, ponieważ projektowanie pro-





Rys. 1. Schemat blokowy sterownika modułowego „Mikroster”

totypów stało się niemożliwe bez specjalnego i drogiego osprzętu. Do tego osprzętu należy zaliczyć: mikrokomputerowe systemy wspomagające z oprogramowaniem systemowym, analizatory stanów logicznych, wielokanałowe oscyloskopy z pamięcią, urządzenia peryferyjne /TTY, czytnik, perforator, drukarka/, programatory pamięci EPROM, itp. Obniżenie kosztów oraz skrócenie czasu projektowania można osiągnąć stosując gotowe, uruchomione u producenta pakiety mikrokomputerowe. Zastosowanie takich pakietów umożliwi omińnięcie pracochłonnego etapu montowania i uruchamiania. Projekt urządzenia ogranicza się wtedy do realizacji specjalizowanych pakietów oraz do uruchomienia oprogramowania użytkowego. W ramach prac prowadzonych w Przemysłowym Instytucie Elektroniki opracowuje się zbiór typowych pakietów wraz z oprogramowaniem. Zbiór tych pakietów nazwany został systemem uniwersalnych pakietów mikrokomputerowych MIKROSTER.

W oparciu o pakiety systemu MIKROSTER można realizować mikrokomputery przeznaczone do:

- sterowania liniami technologicznymi,
- sterowania urządzeniami pomiarowymi /testerami/ za pośrednictwem znormalizowanej szyny interfejsowej IEEE 488 /IEC BUS/,
- przygotowywania programów użytkowych,
- sterowania urządzeniami autonomicznymi,
- przetwarzania danych pomiarowych, magazynowania i wydruku informacji o sterowanym lub testowanym obiekcie.

#### Konfiguracja systemu MIKROSTER

System składa się z szeregu pakietów, które można podzielić na następujące grupy:

- pakiety mikrokomputera /CPU, RAM, EPROM programowanych liczników, współpracy z urządzeniami peryferyjnymi/,
- pakiety sprzężeń wejść i wyjść sygnałów analogowych, realizujących przetwarzanie analogowo-cyfrowe i cyfrowo-analogowe,
- pakiety We-Wy dwustanowych, o sygnałach napięciowych 0-24 V,
- pakiety specjalizowane, realizujące ściśle określone funkcje /sterowanie silnikami krokowymi, silnikami prądu stałego itp. /,
- pakiety programowanych źródeł prądowych i napięciowych.

W pierwszym etapie opracowano następujące pakiety /rys. 1/

- pakiet jednostki centralnej /CPU/, na którym umieszczono układy procesora wraz ze wzmacniaczami szyn oraz z częścią systemu przerw,
- pakiet pamięci RAM /4k x 8 bitów/, opracowany w oparciu o układy pamięci 2102,
- pakiet pamięci EPROM /8k x 6 bitów/ opracowany w oparciu o układy pamięci 2708/8708,
- pakiet współpracy z urządzeniami peryferyjnymi /PIO/SIO/ np. DZM 180 KSR, CT 2100 i DT 105 S,

- pakiet 24 linii We-Wy sygnałów o poziomach TTL,
- pakiet programowanych liczników,
- pakiet o 16 wyjściach dwustanowych /napięcie wyjściowe +24 V/, z rozdzieleniem galwanicznym,
- pakiet o 8 liniach wejść i 8 liniach wyjść dwustanowych z rozdzieleniem galwanicznym /o sygnale napięciowym w stanie wysokim +24 V/,
- pakiet programatora pamięci EPROM,
- pakiet współpracy z szyną IEEE 488, umożliwiający dołączanie 15 urządzeń pomiarowych, posiadających interfejs IEEE 488.

Przewiduje się rozszerzenie konfiguracji podstawowej o następujące pakiety:

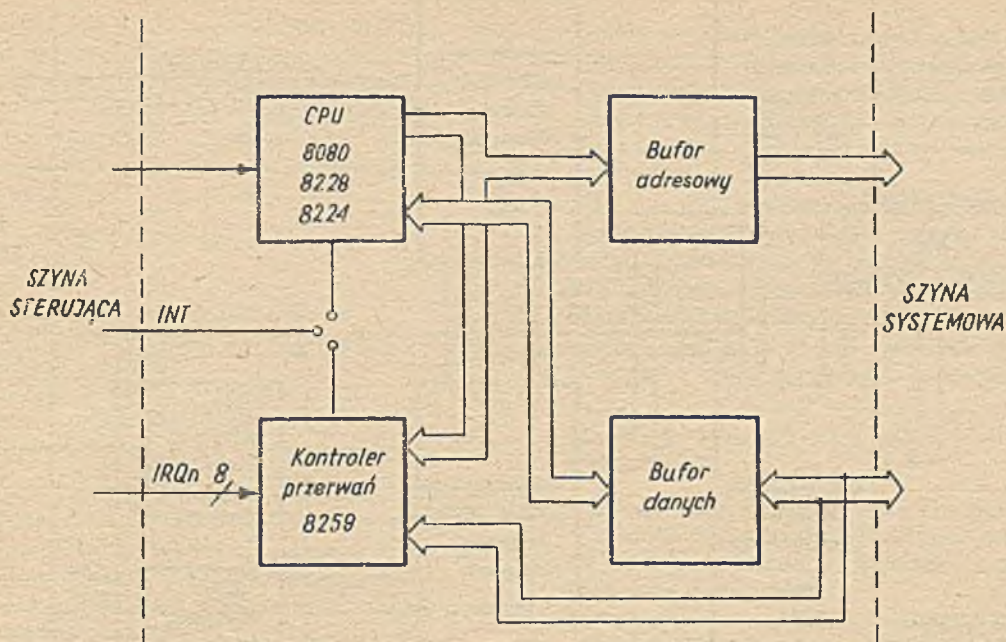
- pakiet sprzężeń multiprocesorowych, zapewniający możliwość sprzężenia kilku systemów w jeden system wieloprocesorowy,
- pakiet relokowalnej pamięci stałej, umożliwiający przeniesienie programu zarządzającego /Monitor/ do obszaru pamięci o najwyższych adresach,
- pakiet współpracy z klawiaturą i wskaźnikami cyfrowymi, umożliwiający dokonywanie zmian w oprogramowaniu użytkowym podczas eksploatacji na obiekcie przemysłowym,
- pakiet pamięci RAM o pojemności 8k bajtów /z wykorzystaniem układu 2114/,
- pakiet pamięci EPROM o pojemności 16k bajtów /z wykorzystaniem układu 2716/,
- pakiet pamięci RAM, z układami pamięci CMOS /i buforowym zasilaniem/,
- pakiet zapewniający transmisję równoległą bajtów informacji na odległość do 300 m /z układami serii 75/,
- pakiety programowanych źródeł napięciowych i prądowych,
- pakiet programowanego, równoległego komutatora /16 linii/,
- pakiet wprowadzenia i przetwarzania sygnałów analogowych wysokonapięciowych /6 linii/,
- pakiet równoległego przetwarzania sześciu sygnałów analogowych wolnozmiennych /przetwornik 8-bitowy lub 10-bitowy/,
- pakiet multipleksowego przetwarzania /4 kanały/ cyfrowo-analogowego z wykorzystaniem przetwornika 10-bitowego,
- pakiet z 16 wyjściami kontaktronowymi mogący spełniać m. in. rolę komutatora programowanego,
- pakiet sterowania silnikami krokowymi,
- pakiet sterowania silnikiem prądu stałego.

#### Oprogramowanie systemu

W skład oprogramowania systemu wchodzi program zarządzający - Monitor oraz podprogramy użytkowe służące do sterowania szyną IEEE 488. Przewiduje się opracowanie programów typu Edytor, Assembler i Linker.

#### Konstrukcja systemu

System Mikroster składa się z pakietów na płytkach o wymiarach 140x150mm, montowanych w kasecie o module 19". Transmisja informacji między pakietami będzie się odbywa-



Rys. 2. Schemat blokowy pakietu procesora

ła po szynie systemowej /przekazywanie równoległe/ za pośrednictwem złącz typu Eltra 83/084. Przestrzeń adresowa pamięci jest wstępnie zdekodowana na 8 podobszarów /linie adresowe A13, A14, A15/. Każdy pakiet jest w pełni dekodowany z możliwością relokacji w przestrzeni adresowej. Ponadto przyjmuje się, że obciążalność szyny systemowej przez każdą linię pakietu będzie wynosiła 1 + 2 wejść standardowych układów TTL. Cechy te umożliwiają podłączenie do systemu liczby pakietów, ograniczonej jedynie przestrzenią adresową pamięci lub układów We-Wy.

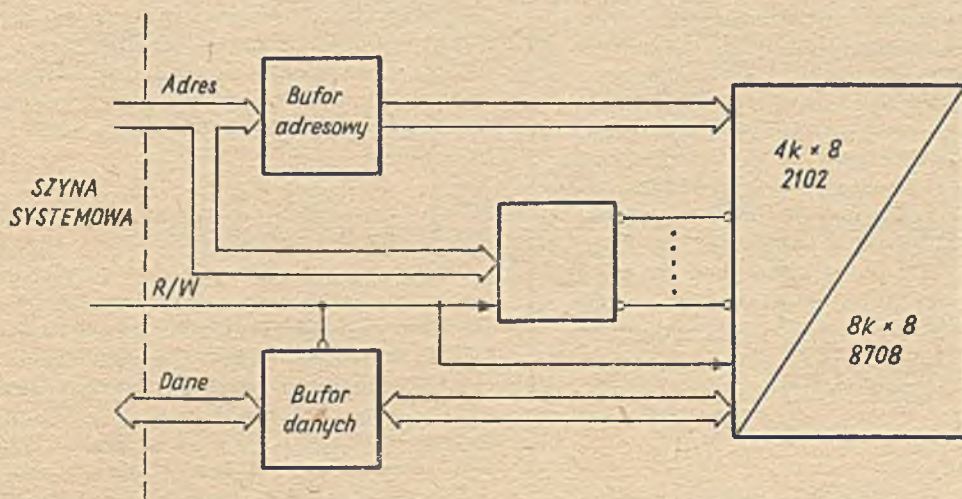
#### Wykorzystanie systemu

Wszystkie pakiety systemu mają lub będą miały opracowane karty katalogowe, zawierające informacje o konfiguracji układowej oraz

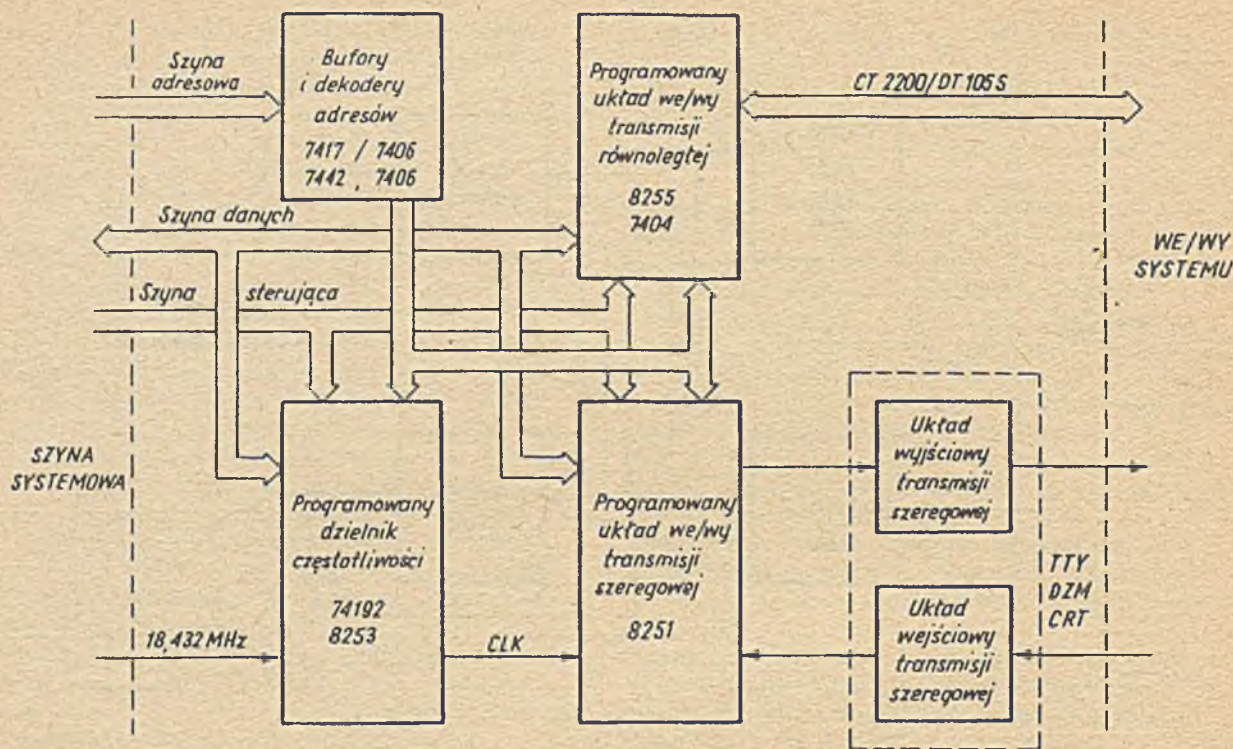
możliwościach aplikacyjnych. System MIKRO-STER jest systemem otwartym, dlatego przewiduje się wzbogacenie go w następnym etapie o szereg pakietów dodatkowych, opracowywanych również w innych zakładach. Obecnie opracowane zostały schematy elektryczne i płytki drukowane /dwustronne z metalizacją/ oraz szersze informacje dla następujących pakietów:

#### Pakiet procesora

Jednostka centralna ma budowę typową dla systemu 8080. Na pakiecie procesora znajdują się: procesor 8080, układ zegara i kontrolera /rys. 2/. Dla zwiększenia obciążalności wszystkie linie są buforowane układami 8216/26 lub odpowiednimi układami serii 74. Na pakiecie procesora umieszczono dodatkowo



Rys. 3. Schemat blokowy pakietu pamięci RAM/EPROM



Rys. 4. Schemat blokowy pakietu współpracy z urządzeniami monitorującymi CT 2200, DT 1055, DZM KSR 180

programowany kontroler przerwania 8259, pozwalający na ustalenie priorytetów przerwania i określenie programu obsługi w sposób szybszy niż w układach bez kontrolera. Możliwy jest wybór pracy DMA poprzez zworkowanie połączeń na pakiecie. Każdy z pakietów systemu wnosi obciążenie na linię równoważne najwyższej TTL. Dla większości zastosowań jest to wystarczające nawet przy pełnym wykorzystaniu przestrzeni adresowej.

#### Pakiety pamięci

W pakietach pamięci wykorzystano układy elementu pamięci RAM 2102 i EPROM 2708 /rys. 3/. Na pakietach pamięci buforowano wszystkie sygnały układami 8216 lub serii 74 dla spełnienia warunku obciążalności. Dla umożliwienia dowolnego umieszczenia pakietów pamięci RAM /4k bajty/ i ROM /8k bajtów/ w przestrzeni adresowej, na pakietach stosuje się połączenia owijane w dekodery adresów. Podział wstępny przestrzeni adresowej 64k na osiem podobszarów upraszcza dekodery na poszczególnych pakietach. Pakiet pamięci EPROM zawiera podstawki pod 8 pamięci. Pakiet RAM może być wykonany w wersji nominalnej osiem układów 2102 i rozbudowany z inkrementem 1k do pełnej pojemności.

Pakiet współpracy z urządzeniami monitorującymi CT 2200, DT 105 S i DZM KSR 180

Funkcje pakietu:

- współpraca z urządzeniami monitorującymi pracującymi w kanale napięciowym o standar-

dzie V24: -12... +12 V lub w pętli prądowej 0... 20 mA, TTY, DZM KSR 180,

- współpraca z czytnikiem taśmy perforowanej CT 2200 lub perforatorem taśmy papierowej DT 105 S,

- pakiet jest uniwersalny - można go umieścić w dowolnym miejscu przestrzeni adresowej oraz podłączyć do systemu kilku pakietów współpracy z urządzeniami monitorującymi.

Od strony mikroprocesora pakiet /rys. 4/ posiada bufor szyny adresowej oraz dekodery adresów zrealizowany na komparatorach typu 7485. Czytnik i perforator współpracują z systemem poprzez układ 8255 i bufor 7404. Do współpracy z TTY i DZM służy układ transmisji szeregowej 8251. Szybkość transmisji jest zadawana programowo przy wykorzystaniu wstępnego dzielnika częstotliwości /układ 74192/ oraz programowanego licznika 8253. Pakiet zajmuje 10 lokacji przestrzeni adresowej /8251 - dwie lokacje, 8253, 8255 - po 4 lokacje/.

#### Pakiet równoległych, uniwersalnych we/wy

Pakiet umożliwia wysyłanie i zbieranie danych z trzech niezależnych urządzeń /rys. 5/. Dodatkowo urządzenia współpracujące z pakietem mogą generować przerwania i inne sygnały np. sygnały strobojące. Kierunki transmisji w 8-bitowych kanałach w wersji podstawowej pakietu wybierane są na stałe i mogą być zmienione przez zmianę połączenia owijanego. Elementem głównym pakietu jest programowany, równoległy układ we/wy 8255. Adres por-

tu 8255 można wybierać dowolnie w całej przestrzeni dzięki połączeniom owijanym - sygnałów dochodzących do dekodera. Sygnały do i z urządzeń zewnętrznych buforowane są dwukierunkowymi driverami 8216/26, co umożliwia bezpośrednie sterowanie układami wykonawczymi.

#### Pakiet programowanych liczników

Funkcje pakietu są następujące:

- sześć rodzajów pracy niezależnie w każdym 16-bitowym liczniku,
- buforowanie wejść i wyjść,
- wyjścia silnoprądowe /40 mA/,
- wyjścia i wejścia typu "otwarty kolektor".

W skład pakietu /rys. 6/ wchodzi układy kontrolera przerwań 8259 oraz trzy układy 8253. Każdy układ 8253 zawiera trzy programowane liczniki 16-bitowe. Liczniki mogą pracować niezależnie w jednym z sześciu rodzajów pracy /modów/:

- Mod 0 - generowanie przerwania po czasie zliczania zaprogramowanej liczby - start zliczania w momencie załadowania liczby.
- Mod 1 - generowanie pojedynczego impulsu o czasie trwania równym czasowi zliczania zaprogramowanej liczby - start zliczania w chwili

podania stanu wysokiego na wejście GATE.

Mod 2 - dzielenie częstotliwości fali prostokątnej przez zaprogramowaną liczbę.

Mod 3 - generowanie fali prostokątnej o okresie równym czasowi zliczania zaprogramowanej liczby.

Mod 4 - wytwarzanie impulsu strobującego o długości równej okresowi zegara wejściowego - impuls pojawia się po czasie zliczania zaprogramowanej liczby - start zliczania w momencie załadowania liczby.

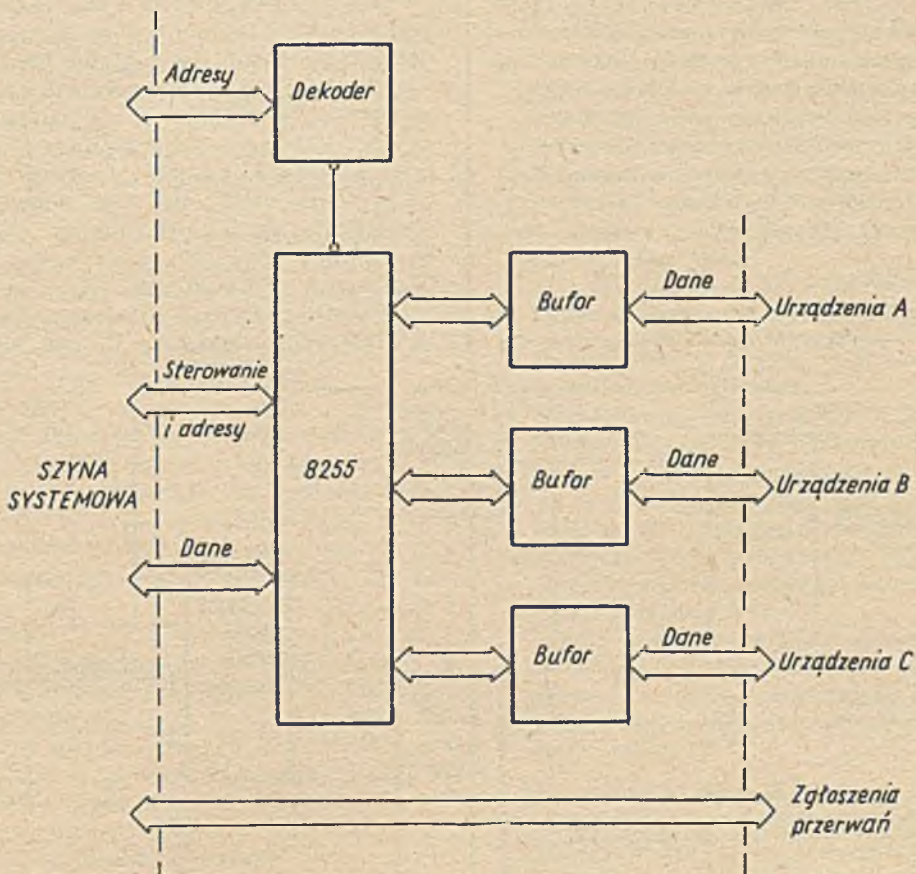
Mod 5 - jak Mod 4, ale start zliczania w chwili podania stanu wysokiego na wejście GATE.

#### Pakiet licznika rewersyjnego

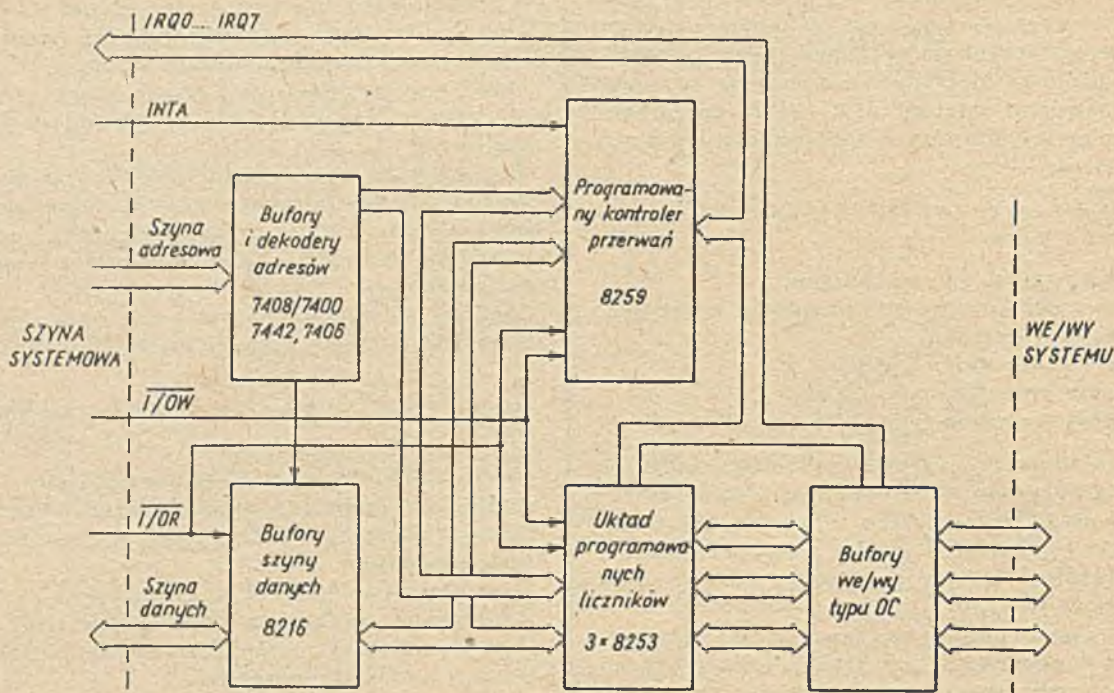
Funkcje pakietu /rys. 7/ są następujące:

- zliczanie impulsów elektrycznych w kierunku malejącym bądź wzrastającym stanu licznika /np/dow/,
- możliwość zerowania licznika,
- możliwość zadawania kierunku licznika,
- podawanie stanu licznika na szynę danych w postaci słów ośmiobitowych.

Od strony mikroprocesora pakiet posiada buforzy adresowej oraz dekodery adresów zrealizowany na trzech komputerach 7485.



Rys. 5. Schemat blokowy pakietu równoległych uniwersalnych we/wy



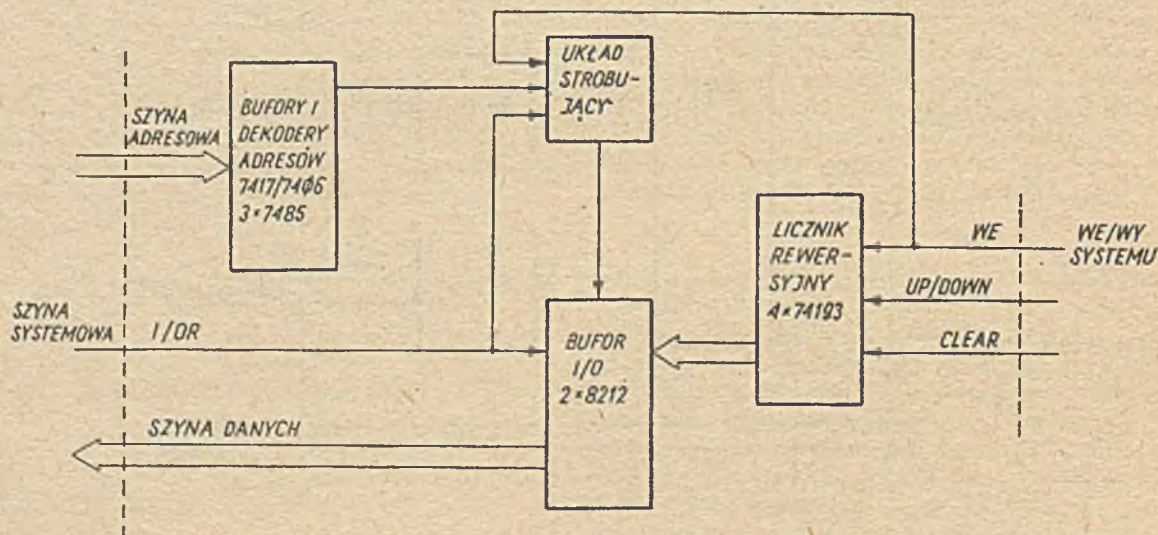
Rys. 6. Schemat blokowy pakietu programowanych liczników

Zapewnia on dekodowanie całej przestrzeni adresowej - 256 lokacji dla urządzeń I/O i relokowalność pakietu. Licznik rewersyjny jest zbudowany na czterech synchronicznych 4-bitowych licznikach rewersyjnych 74 193. Ich zawartość umieszczana jest w dwóch buforach 8212, skąd jest odczytywana przez procesor. Układ strobojący wprowadzono w celu zabezpieczenia przez przepływaniem do bufora 8212 przypadkowej zawartości układów 74 193 w chwili zmiany tej zawartości.

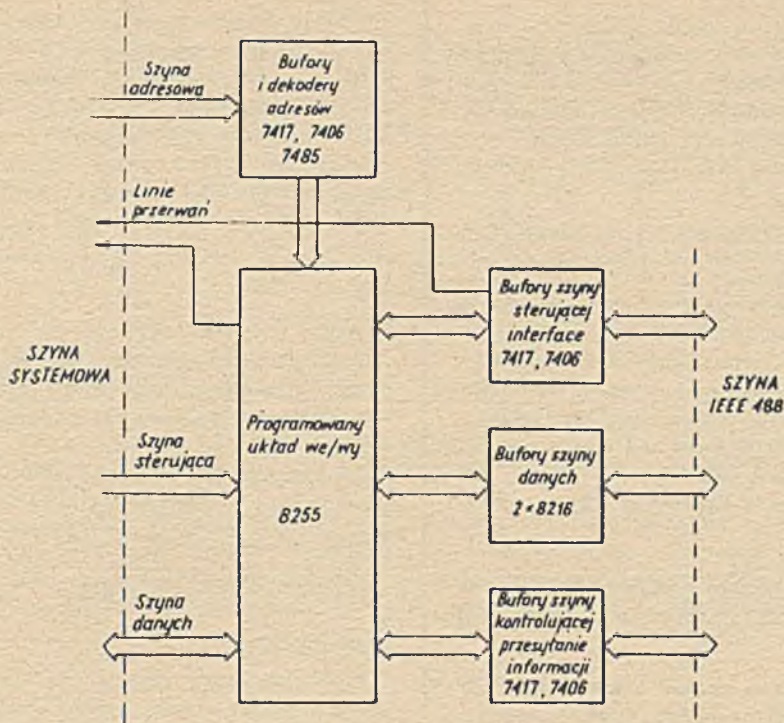
#### Pakiet interface IEEE 488

Pakiet interface IEEE 488 służy do współpracy systemu mikroprocesorowego z urządze-

niami pracującymi w standardzie IEEE 488 /oznaczonym też IEC BUS, HP-IB, MC1.1, GP-IB/. Pozwala on na wykorzystanie mikrokomputera do pełnienia funkcji kontrolera, nadawcy i odbiorcy. Warunkiem koniecznym współpracy jest, aby wszystkie urządzenia zewnętrzne pełniące funkcje nadawcy i odbiorcy /np. zasilacze programowane, multimetry programowane, czytniki, generatory itp. / były poprzez swój interface dostosowane do współpracy według ww. normy. Obecnie wiele znanych firm /"Hewlett-Packard", "Philips", "Tektronix", "Rohde-Schwarz" i in. / przystosowuje swoje urządzenia do współpracy w kanale IEEE 488. Również w Polsce ZUE "Unitra-



Rys. 7. Schemat blokowy pakietu liczników rewersyjnych



Rys. 8. Schemat blokowy pakietu interface IEEE 488

Unima" opracowała modułowy system MST-1 pracujący w tym standardzie. W systemie MST-1 przewidziano zastosowanie w roli kontrolera czytnika taśmy CT 2200 bądź importowanego programowanego kalkulatora HP 9830A. Rozwiązaniem bardziej elastycznym o szerokich możliwościach i w sumie bardziej ekonomicznym jest wykorzystanie do tego celu systemu mikroprocesorowego. System ten ze względu na swoją szybkość i znaczną pojemność pamięci oprócz funkcji sterujących opisanych w poprzednich rozdziałach, może pełnić rolę kontrolera szyny IEEE 488.

Wszystkie bloki zestawu pracującego w standardzie IEEE 488 /rys. 8/ są dołączone do wspólnej szyny. Występują tu ograniczenia: długość szyny - do 20 m, liczby podłączonych urządzeń - do 15, szybkość transmisji - 1 M bit/s. W szynie obowiązują poziomy napięcie TTL. Szyna interface zawiera 3 grupy linii sygnałowych:

- szynę danych:

8 linii - danych wejściowych i wyjściowych,  
- szynę kontrolującą przesłanie informacji /handshaking/:

3 linie: DAV - ważność danych  
NRFD - niegotowy do pobrania danych  
NDAC - niepotwierdzone dane

- szynę sterującą interface

5 linii: IFC - zerowanie interface

ATN - uwaga

SRQ - żądanie obsługi

REN - kontrola zdalna

EOI - koniec lub identyfikacja.

Spośród dziesięciu funkcji zdefiniowanych standardem wykorzystano w projekcie pięć spełniających wymagania interface dla mikrokomputera:

C - funkcja kontrolera /Controller/

T - funkcja nadawcy /Talker/

L - funkcja odbiorcy /Listener/

SM - sterowanie transmisją przez nadawcę /Source Handshake/

AM - sterowanie transmisją przez odbiorcę /Acceptor Handshake/.

Implementacja powyższych funkcji daje CPU następujące możliwości:

- wysyłanie adresu urządzenia liniami DIO,
- nadawanie rozkazów ogólnych dla wszystkich urządzeń i szczegółowych dla ściśle adresowanego urządzenia liniami DIO,
- realizowanie pollingu szeregowego w celu określenia, które urządzenie żąda obsługi,
- wysyłanie danych w szynę do zaadresowanych urządzeń liniami DIO,
- odbiór danych z szyny od urządzenia pełniącego funkcję nadawcy liniami DIO,
- kontrolę przebiegu transmisji danych /bajtowo-szeregowo, synchroniczna/ liniami DAV, NRFD, NDAC.

Na pakiecie zapewniono buforowanie i dekodowanie adresów. Pakiet zajmuje 4 lokacje przestrzeni adresowej. Transformowanie sygnałów CPU w sygnały zgodne ze standardem IEEE 488 odbywa się w programowanym układzie we/wy 8255. Funkcja ta realizowana jest w oparciu o program zawarty w pamięci syste-

mu. Wejścia i wyjścia w szynę IEEE 488 są buforowane i mogą być wprowadzone w stan wysokiej impedancji. Pakiet zapewnia przesyłanie sygnałów przerwań do CPU od urządzeń. Przewidziano też możliwość podłączenia do systemu kilku pakietów interfejsu jednocześnie.

#### Pakiet programatora pamięci EPROM

Pakiet ten umożliwia programowanie dwóch typów pamięci 2704 oraz 2708. Informacja, która programowana jest w układach pamięci jest przepisywana z pamięci systemu MIKROSTER. Programowanie odbywa się na podstawie dyrektywy programowania. Programowanie składa się z trzech cykli:

- sprawdzenia czy programowany układ jest "czysty",
- programowania,
- weryfikacji polegającej na porównaniu zawartości zaprogramowanej pamięci z zawartością wzorcową.

Pakiet programatora składa się z dwóch płytek drukowanych. Na pierwszej płytce umieszczone są układy wykonawcze programatora, a na drugiej, którą można umieścić na płycie czołowej urządzenia, przewidziane jest miejsce na podstawkę programującą oraz diody sygnalizujące.

#### Pakiet linii Wy dwustronnych 24 V

Funkcje pakietu /rys. 9/ są następujące:

- przesyłanie sygnałów sterujących do urządzeń wykonawczych po szesnastu liniach,
- rozdzielnie galwanicznie transoptorami CNSP 18 o napięciu przebicia 10 kV,
- poziomy prądowo-napięciowe sygnałów od strony mikrokomputera: poziomy TTL, od strony urządzenia: 100, 300, 1500 mA; 24 V DC
- częstotliwość graniczna: 30 kHz.

Każda z szesnastu linii wyjściowych ma zabezpieczenie przeciwzwarciowe ograniczające prąd powyżej pewnej określonej wartości, stabilizację napięcia wyjściowego od wahań napięcia na wejścia oraz sygnalizację poziomu wysokiego na wyjściu /kolor zielony/ i sygnalizację zadziałania zabezpieczenia przeciwzwarciowego /kolor czerwony/.

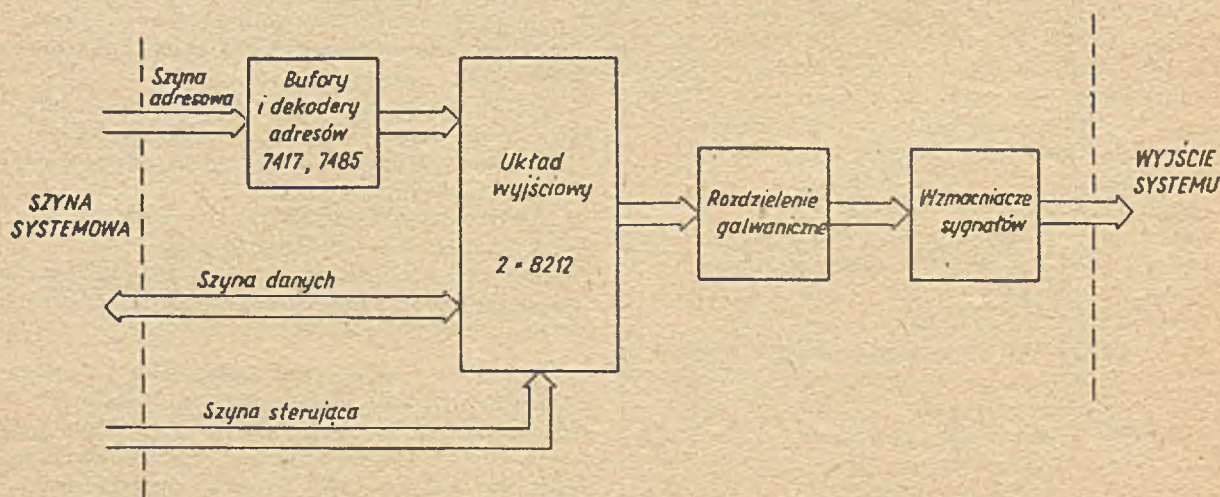
#### Pakiet linii we/wy dwustronnych 24 V

Funkcje pakietu /rys. 10/ są następujące:

- przesyłanie sygnałów sterujących z/do urządzeń wykonawczych po ośmiobitowych szynach,
- rozdzielnie galwanicznie transoptorami CNSP 18 o napięciu przebicia 10 kV,
- poziomy prądowo-napięciowe sygnałów:
  - od strony urządzenia we: 20 mA; 24V DC,
  - od strony urządzenia wy: 100, 300, 1500 mA 24V DC,
- częstotliwość graniczna:
  - we: 1 kHz
  - wy: 30 kHz.

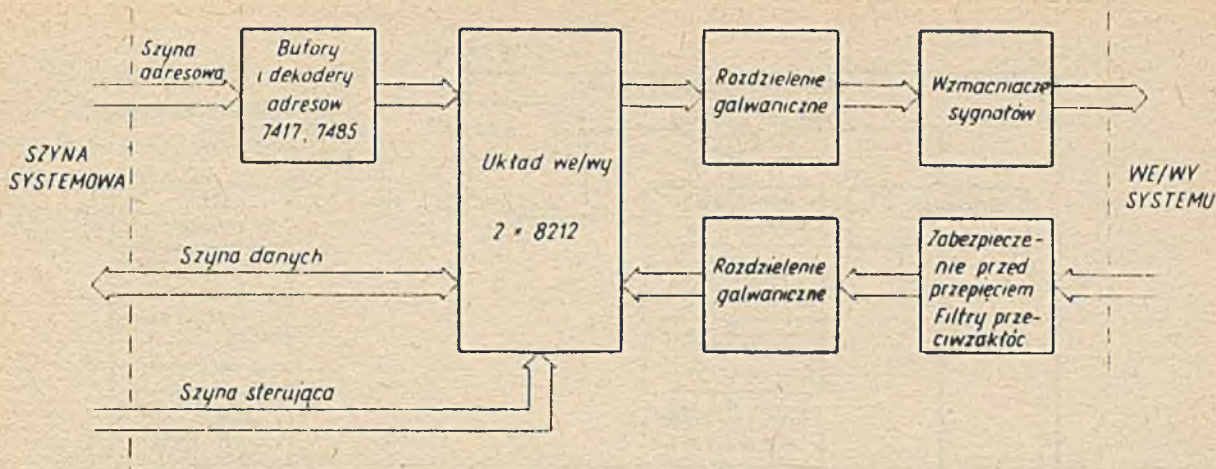
Każda z ośmiu linii szyny wejściowej posiada filtr przeciwzakłóceńowy dolnoprzepustowy, zabezpieczenie przeciwprzepięciowe oraz sygnalizację kolorem zielonym poziomym wysokiego napięcia wejściowego. Szyna wyjściowa składa się z ośmiu linii, z których każda posiada zabezpieczenie przeciwzwarciowe ograniczające prąd powyżej pewnej określonej wartości, stabilizację napięcia wyjściowego od wahań napięcia na wejściu oraz sygnalizację: kolorem zielonym - poziomym wysokiego na wyjściu, czerwonym - stanu zadziałania zabezpieczenia przeciwzwarciowego. Przewidziano możliwość wyposażenia linii szyn wyjściowych w układ gaszący przepięcia generowane przez cewki przekładników elektromagnetycznych, przy zastosowaniu ww. układu częstotliwość graniczna układu wyjściowego maleje do ok. 5 kHz.

Rożpowszechnienie i dostępność opisywanego systemu jest uzależniona od dostępności układów scalonych, które obecnie są importowane



Rys. 9. Schemat blokowy pakietu sygnałów wyjściowych dwustronnych z rozdzielaniem galwanicznym





Rys. 10. Schemat blokowy pakietu we/wy systemów dwustanowych z rozdzielaniem galwanicznym

oraz od znalezienia producenta płytek drukowanych. Analizując niezbyt dużą wielkość naszego rynku elektronicznego, dużą ilość typów układów scalonych niezbędnych do stworzenia sys-

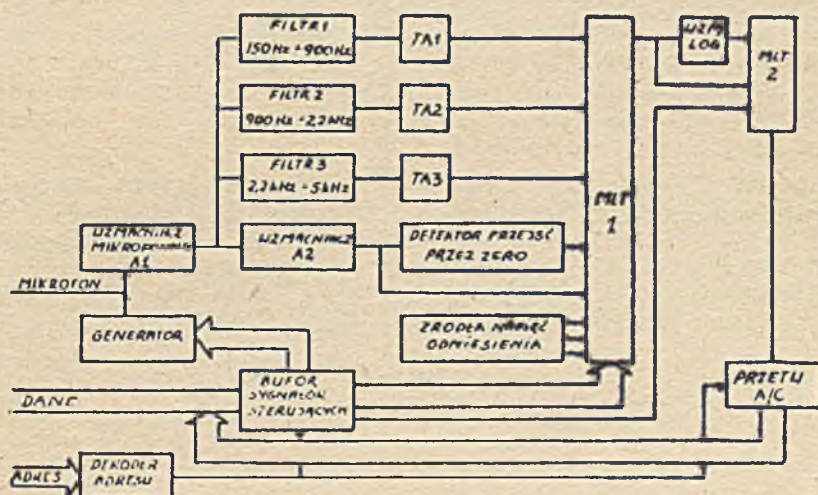
temu mikrokomputerowego oraz koszty niezbędne do uruchomienia produkcji wydaje się niecelowe podjęcie produkcji wszystkich typów układów mikroprocesorowych.

**mgr inż. STEFAN GROCHOLEWSKI**  
Instytut Automatyki  
Politechniki Poznańskiej

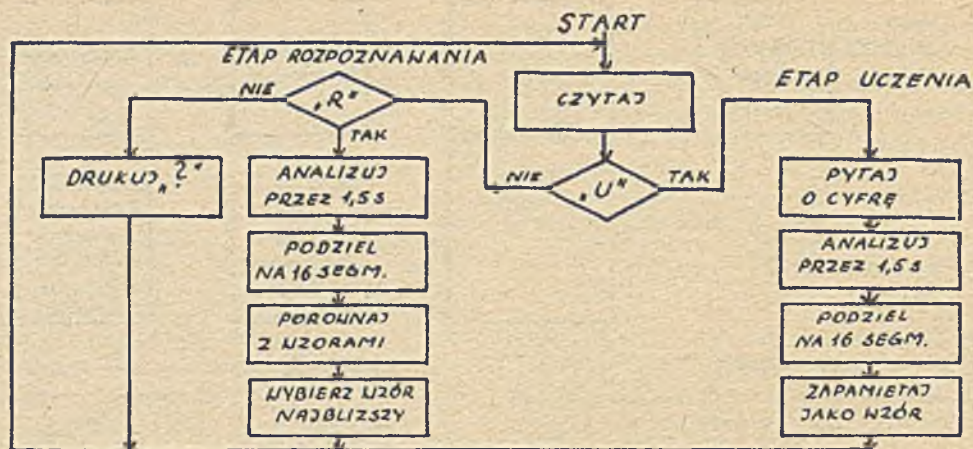
## SYSTEM ROZPOZNAWANIA MOWY DLA MIKROKOMPUTERA TYPU 8080

Firma Heuristics Inc. oferuje od 1977 r. jednopakietowy układ do łączności głosowej z mikrokomputerem posiadającym złącze Altair. Instrukcja dostarczana wraz z pakietem zawiera różnego typu programy dla mikrokomputera działającego w oparciu o mikroprocesor typu 8080 ilustrujące zasady rozpoznawania mowy. Jedno z podejść wymaga etapu uczenia, kiedy to użytkownik wprowadza /drogą głosową/ wyrazy podając jednocześnie ich klasyfi-

kację, np. pisząc na maszynie do pisania. W etapie rozpoznawania odpowiedni program klasyfikuje odebrany wyraz korzystając z danych otrzymanych i przetworzonych w etapie uczenia. Rozmiar słownika uzależniony jest od wybranego algorytmu i posiadanej pamięci. Jedno z rozwiązań wymaga np. 64 bajtów pamięci dla jednego wyrazu. Schemat blokowy pakietu ilustruje rys. 1.



Rys. 1. Schemat blokowy pakietu łączności głosowej z mikrokomputerem.



Rys. 2. Algorytm przykładowego programu

Sygnal z mikrofonu po wzmacnieniu we wzmacniaczu A1 podany zostaje na układ 3 filtrów pasmowych o pasmach podanych na rysunku. Odpowiadają one zakresom 3 pierwszych rezonansów typowego kanału głosowego człowieka. Za elementami TA1 - TA3 otrzymuje się napięcie proporcjonalne do poziomu sygnału w określonym paśmie. Sygnal na wyjściu A1 wzmacniany jest dalej na wzmacniaczu A2. Detektor przejść przez zero DPPZ generuje napięcie proporcjonalne do liczby przejść przez zero sygnału mowy. Napięcia z układów TA1 - TA3, AZ, DPPZ oraz 3 napięcia odniesienia dla celów testowania i kalibracji podawane są na wejścia multiplexera analogowego. Wybór odpowiedniego wejścia realizowany jest programowo. Każde z napięć może zostać przetworzone na wartość cyfrową w przetworniku A/C bezpośrednio lub po przejściu

bit 3=1 oznacza przetwarzanie napięcia wyjścia wzmacniacza logarytmicznego, bit 4=1 łączy generator stosowany dla kalibracji i testowania, bit 5=1 blokuje multiplexer MLT1. W trybie czytania bit 7 jest bitem stanu przetwornika, bit 6 jest zawsze równy 0, bity 5 + 0 zawierają przetworzoną informację.

Poniżej przedstawiono program dla kalibracji i testowania pakietu. Program ładowany jest od adresu 100 i wymaga, łącznie z danymi, obszaru do adresu 600.

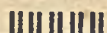
Ponieważ istnieje dużo metod rozpoznawania, jakie mogłyby być wykorzystane przy użyciu opisanego pakietu na rys. 2 przedstawiono algorytm programu umożliwiającego poprawne rozpoznawanie dziesięciu cyfr w 90% lub więcej. Program realizujący ten algorytm wymaga 4k bajtów pamięci, włączając w to obszar dla danych.

0100	21	00	02	22	8D	01	21	00	03	22	8F	01	21	00	04	22
0110	91	01	21	00	05	22	93	01	3A	95	01	CD	66	01	2A	8D
0120	01	77	2C	22	8D	01	3A	95	01	C6	01	CD	66	01	2A	8F
0130	01	77	2C	22	8F	01	3A	95	01	C6	02	CD	66	01	2A	91
0140	01	77	2C	22	91	01	3A	95	01	C6	03	CD	66	01	2A	93
0150	01	77	2C	22	93	01	CA	5F	01	CD	77	01	C3	18	01	3E
0160	00	D3	AF	C3	53	00	16	20	D3	AF	E6	DF	D3	AF	DB	AF
0170	17	DA	6E	01	DB	AF	C9	C5	3E	05	FE	00	CA	8D	01	06
0180	69	00	00	05	C2	81	01	3D	C3	7A	01	C1	C9	9B	17	10
0190	FE	57	DC	49	E2	A6										

ciu przez wzmacniacz logarytmiczny. Wyboru dokonuje się programowo sterując odpowiednio multiplexer MLT2.

Dla mikrokomputera pakiet stanowi jedno urządzenie I/O. W trybie pisania bity 2 - 0 określają wybór wejścia multiplexera MLT1,

Należy podkreślić, że cena urządzenia firmy Heuristics /dane za rok 1979/ wynosi około 200 dol. i określa dolną granicę cen urządzeń tego typu. Górną granicą handlowych układów rozpoznających jest kilkadziesiąt tysięcy dolarów /80000 dol. firmy "Dialog"/.



## INTELIGENTNY PULPIT OPERATORSKI MIKROKOMPUTERA

### Pulpit operatorski

Mikrokomputer jednopłytowy IANiUP 80 wykorzystany został do opracowania przenośnego pulpitu operatorskiego wspomagającego projektowanie oprogramowania oraz umożliwiającego testowanie oprogramowania i sprzętu mikrokomputerów zbudowanych z układów mikroprocesorowych systemu 8080.

Na płycie czołowej pulpitu znajdują się:

1. Klawiatura szesnastkowa O-F.
2. Klawiatura sterująca 16-klawiszowa.
3. Zespół wyświetlaczy stanu magistral komputera użytkowego /adresu, danych i sterowania/, oraz wyświetlacz kodu funkcji pulpitu. Zespół wyświetlaczy stanu magistral jest elementem wymiennym. W zależności od potrzeb użytkownika wyświetlanie może odbywać się w kodzie ósemkowym lub szesnastkowym.
4. Zespół wskaźników stanu pamięci nakładkowej i programatora pamięci stałej wraz z dwoma podstawkami dla układów pamięci EPROM typu 2708 oznaczonych MASTER i COPY.
5. Zespół łącz szufladowych:
  - Canon 25 - bramki 8255 mikrokomputera pulpitu,
  - Canon 15 - bramki 8251 mikrokomputera pulpitu,
  - Canon 50 - magistral mikrokomputera pulpitu.
  - Canon 50 - magistral mikrokomputera użytkowego /projektowanego/.

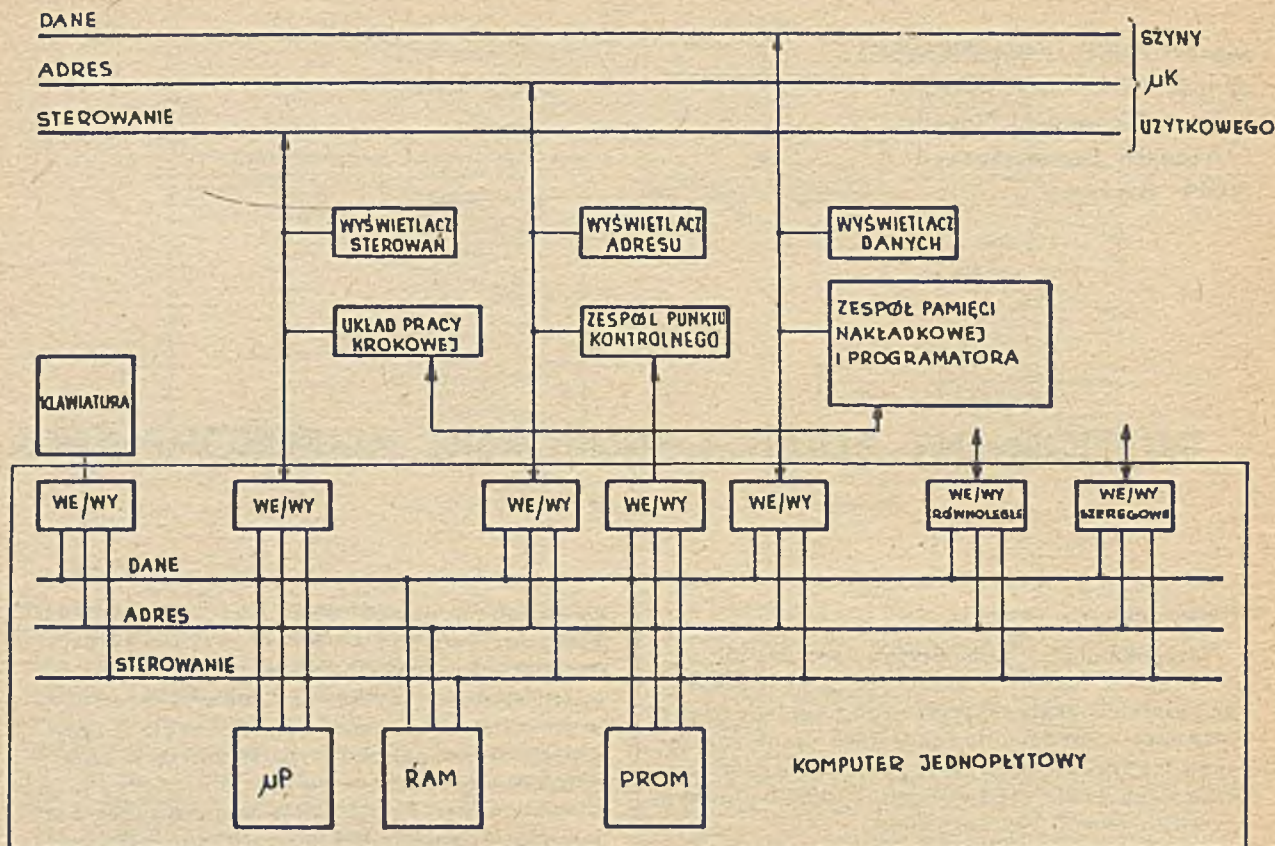
Z funkcjonalnego punktu widzenia /rys. 1/ pulpitan wyposażony jest w układ sterujący, układ pracy krokowej współpracujący z zespołem punktu kontrolnego oraz zespół pamięci nakładkowej i programator pamięci EPROM. Układ pracy krokowej umożliwia wykonywanie programu systemu użytkowego w pojedynczych cyklach maszynowych. Zespół punktu kontrolnego służy do zatrzymywania wykonania programu

na dowolnym adresie pamięci i automatycznym przejściu do pracy krokowej. Zespół pamięci nakładkowej służy do wstawiania w obszar pamięci systemu użytkowego dodatkowej pamięci w ilości 1k. Na zespół pamięci nakładkowej składa się 1k pamięci typu RAM, dwie pamięci stałe umieszczone na płycie czołowej w podstawkach MASTER i COPY oraz dekodery adresu. Użytkownik może zezwolić na wykorzystanie jednej z wyżej wymienionych pamięci jako pamięci programu systemu użytkowego i zadać obszar pamięci /A10-A15/, przy którym pamięć nakładkowa ma być uaktywniana.

Pulpit operatorski umożliwia pracę z systemem użytkowym w następujących trybach:

1. Praca normalna w czasie rzeczywistym z pamięcią własną lub nakładaną. Istnieje możliwość zadawania adresu początkowego i końcowego wykonywanego programu.
2. Praca krokowa z pamięcią własną lub nakładaną. Przy pracy z pamięcią nakładaną możliwe jest wyprowadzanie na wyświetlacze zawartości pojedynczych rejestrów /A, PSW, B, C, D, E, H, L/ lub par rejestrów /APSW, BC, DE, HL, SP/ mikroprocesora systemu użytkowego.
3. Tryb dostępu bezpośredniego do pamięci systemu użytkowego. W trybie bezpośredniego dostępu możliwe jest ręczne programowanie pamięci RAM systemu użytkowego lub pamięci nakładkowej za pomocą klawiatury pulpitu w kodzie ósemkowym lub szesnastkowym. W tym trybie jest możliwe także automatyczne programowanie pamięci RAM lub COPY. Podczas programowania automatycznym źródłem danych może być: ROM MASTER, ROM COPY, RAM systemu użytkowego, RAM pamięci nakładkowej, urządzenie zewnętrzne przyłączone do jednej z bramek pulpitu /np. czytnik taśmy perforowanej/.

Odbiornikiem danych /elementem programowanym/ może być: PROM COPY, RAM syste-



Rys. 1.

mu użytkowego, RAM pamięci nakładkowej, urządzenie zewnętrzne.

Po wykonaniu programowania można przeprowadzić testowanie zgodności danych źródła i odbiornika. Dzięki zastosowaniu mikrokomputera do sterowania pulpitem, użytkownik może sam klawiszować nowe funkcje pulpitu w ramach istniejącego sprzętu oraz rozwijać oprzyrządowanie dodatkowe systemu. Pulpit wraz z zasilaczem sieciowym /220 V/ dostarczającym wszystkich napięć potrzebnych do pracy systemu i programatora umieszczony jest w przenośnej obudowie walizkowej, co umożliwia łatwe użytkowanie systemu w warunkach przemysłowych, serwisowych i stacjonarnych.

#### Mikrokomputer jednopłytkowy IANiUP 80

Mikrokomputer zastosowany w opisanym pulpicie jest zbudowany na bazie elementów LSI rodziny mikroprocesora typu 8080. Na płycie mikrokomputera znajdują się następujące zespoły funkcjonalne i układy scalone:

1. Zespół mikroprocesora
  - mikroprocesor 8080,
  - kontroler 8228,
  - zegar 8224 i kwarc,
  - wzmacniacz adresu TTL.
2. Zespół pamięci RAM 0,5k x 8 zbudowany na układach 8101.
3. Zespół pamięci ROM /w podstawkach/ 4k x 8 - układy 2708.

4. Zespół dekodera pamięci i urządzeń wejścia-wyjścia.

5. Zespół przerwań umożliwiający przyjęcie czterech przerwań za pomocą instrukcji RST n.

6. Zespół wejść-wyjść, na który składają się:
 

- dwa programowalne zespoły bramek równoległych typu 8255,
- dwie bramki 8212, z których jedna połączona jest jako wejście, a druga jako wyjście,
- programowalna bramka transmisji szeregowej typu 8251.

Adresy urządzeń wejścia-wyjścia rozmieszczone są w obszarze pamięci mikrokomputera, w związku z czym znacznie zwiększona jest efektywność tych urządzeń. Zespół przerwań umożliwia przyjmowanie dwóch przerwań z jednej bramki 8255 oraz dwóch z bramki 8251. Możliwe jest zewnętrzne programowanie układu przerwań na płycie mikrokomputera. Komputer zbudowany jest na płycie drukowanej o wymiarach 160 x 264 mm. Płyta wyposażona jest w trzy łączówki Canon 64 i jedną Canon 32. Łączówki służą do wyprowadzenia połączeń urządzeń wejścia-wyjścia oraz magistral mikrokomputera. Dzięki temu możliwa jest zewnętrzna rozbudowa systemu do rozmiaru wymaganego przez użytkownika. Dostęp do magistral jest także wykorzystywany podczas projektowania oprogramowania dla mikrokomputera.



dr inż. MIKOŁAJ FOLTYNIEWICZ  
ANTONI SIWEK

Wojskowa Akademia Techniczna  
Instytut Radiolokacji - Warszawa  
mgr inż. JERZY KERN  
Przemysłowy Instytut Elektroniki - Warszawa

## MIKROKOMPUTEROWY SYSTEM URUCHOMIENIOWY MSU-80/1

Mikroprocesorowy system uruchomieniowy MSU-80/1 jest zestawem urządzeń i programów przeznaczonych do wykorzystania przy projektowaniu i uruchamianiu systemów mikroprocesorowych, w których zastosowano układ mikroprocesora typu 8080A. System składa się z części układowej i oprogramowania.

W skład części układowej wchodzi mikrokomputer w następującej konfiguracji:

- mikroprocesorowa jednostka centralna /MPJC/,
- pamięć operacyjna /RAM-16 kbajtów, EPROM-16 kbajtów/,
- zespół operatorski,
- jednostka sterująca drukarką z klawiaturą /JS DZM-KSR/,
- jednostka sterująca czytnika taśmy papierowej /JS CT/,
- jednostka sterująca dziurkarki taśmy papierowej /JS DT/,

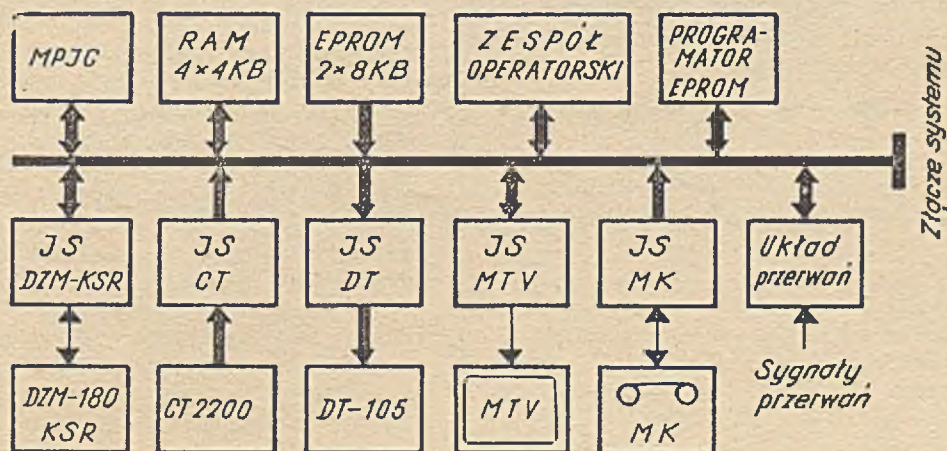
- jednostka sterująca monitorem telewizyjnym /JS MTV/,
- jednostka sterująca magnetofonu kasetowego /JS MK/,
- programator pamięci EPROM,
- układ przerwań,
- gniazdo szyny mikrokomputera.

Do mikrokomputera podłączone są następujące urządzenia zewnętrzne:

- drukarka znakowo-mozaikowa DZM-180 KSR,
- czytnik taśmy papierowej CT 2200,
- dziurkarka taśmy papierowej DT-105,
- monitor telewizyjny MS-2331,
- magnetofon kasetowy MK-125.

Schemat blokowy mikroprocesorowego systemu uruchomieniowego MSU-80/1 ilustruje rys. 1.

W skład mikrokomputera wchodzi następujące rodzaje płytek-modułów:



Rys. 1. Mikrokomputerowy system uruchomieniowy MSU-80/1

- płytka mikroprocesorowej jednostki centralnej z pamięcią RAM-256 bajtów i pamięcią EPROM 2-4 kbajtów,
- płytka pamięci RAM - 4 kbajtów,
- płytka pamięci EPROM - 8 kbajtów,
- 3 płytki zespołu operatorskiego,
- płytka programatora pamięci EPROM,
- płytka jednostek sterujących DZM-180 KSR, CT-2200 i DT-105,
- 2 płytki jednostki sterującej monitorem telewizyjnym,
- płytka jednostki sterującej magnetofonem kasetowym,
- płytka dekodera i rejestrów sygnałów przerw.

Oprogramowanie systemu uruchomieniowego służy do produkcji i uruchamiania programów dla projektowanych systemów mikroprocesorowych, jak i uruchamiania i testowania tych systemów w całości.

W skład tego oprogramowania wchodzi:

- program translatora ASSEMBLER 8080 - ODRA 1305,
- program sterujący MONITOR,
- program edycyjny EDYTOR.

Program ASSEMBLER 8080 - ODRA 1305 służy do translacji programu źródłowego; napisanego w języku symbolicznym mikroprocesora typu 8080A i wyprowadzania w postaci wynikowej /binarnej/ na taśmie papierowej. Napisany jest w języku FORTRAN i realizowany przez komputer ODRA-1305 w trybie wsadowym lub w systemie abonenckim SAWAT.

Program MONITOR łączy funkcję ładowania programów źródłowych i testowania. Jest programem rezydującym w pamięci stałej mikrokomputera.

Program EDYTOR służy do przygotowania programów na nośniku zewnętrznym. Jest programem rezydującym, wczytywanym do mikrokomputera z taśmy magnetofonu kasetowego.

Program MONITOR systemu uruchomieniowego umożliwia interaktywną współpracę użytkownika systemu i organizuje współpracę z urządzeniami zewnętrznymi.

Zestaw dyrektyw programu monitora pozwala na:

- ładowanie programów i danych z taśmy papierowej,
- wprowadzanie programów i danych na taśmę papierową,
- wyszukiwanie programów i danych z taśmy magnetofonu kasetowego oraz ich ładowanie,
- wyprowadzanie i zapisywanie programów i danych na taśmie magnetofonowej,
- wyświetlanie zawartości komórek pamięci na wskaźnikach diodowych lub monitorze telewizyjnym oraz wydruk na drukarce i ich modyfikację,

- wprowadzanie danych z klawiatury zespołu operatorskiego lub klawiatury DZM-180 KSR,
- przemieszczanie bloków danych w pamięci,
- wyświetlanie lub wydruk zawartości rejestrów mikroprocesora i ich modyfikację,
- inicjowanie wykonywania programu,
- umieszczanie pułapek w programie,
- zapis i sprawdzanie zawartości "kostek" pamięci EPROM.

Zestaw dyrektyw programu edycyjnego obejmuje:

- zakładanie zbioru z możliwością poprawiania lub kasowania bieżącego wiersza,
- listowanie zbioru,
- kopiowanie zbioru,
- poprawianie zbioru.

Sterowanie pracą programu edycyjnego odbywa się poprzez klawiaturę DZM-180 KSR.

Rozbudowany zespół operatorski dostarcza układowych środków do analizy działania i testowania przebiegu wykonywanych programów, prac serwisowych i diagnostycznych dotyczących sprzętu wchodzącego w skład systemu, definiowanie przez operatora danych dla dyrektyw systemowych wykonywanych przez program monitora.

Za pomocą przełączników i klawiatury cyfrowo-funkcyjnej zespołu operatorskiego użytkownik może wprowadzić system w następujące rodzaje pracy:

- wykonanie jednej z dyrektyw programu monitora,
- wykonanie programu użytkownika,
- zatrzymanie programu na dowolnym adresie,
- wykonanie pojedynczych, kolejnych cykli dowolnego programu umieszczonego w pamięci operacyjnej,
- bezpośrednie wprowadzenie danych w kodzie heksadecymalnym z klawiatury zespołu operatorskiego do dowolnej 8-bitowej komórki pamięci systemu,
- bezpośredni odczyt zawartości dowolnej 8-bitowej komórki pamięci systemu na wskaźniku cyfrowym,
- oczekiwanie na przerwanie zewnętrzne.

Diodowe wskaźniki świetlne informują operatora o podstawowych stanach systemu, 4-pozycyjny wskaźnik adresu przedstawia w kodzie heksadecymalnym stan 16-bitowej szyny adresowej systemu lub zawartości rejestru adresowego zespołu operatorskiego, dwucyfrowy wskaźnik danych wyświetla stan 8-bitowej szyny danych systemu lub zawartości rejestru danych zespołu operatorskiego.

Opisany system jest systemem otwartym. Istnieje możliwość jego rozbudowy układowej i programowej. Poprzez łącze systemowe można podłączyć do szyny systemowej zarówno pojedyncze moduły jak również całe systemy mikroprocesorowe.



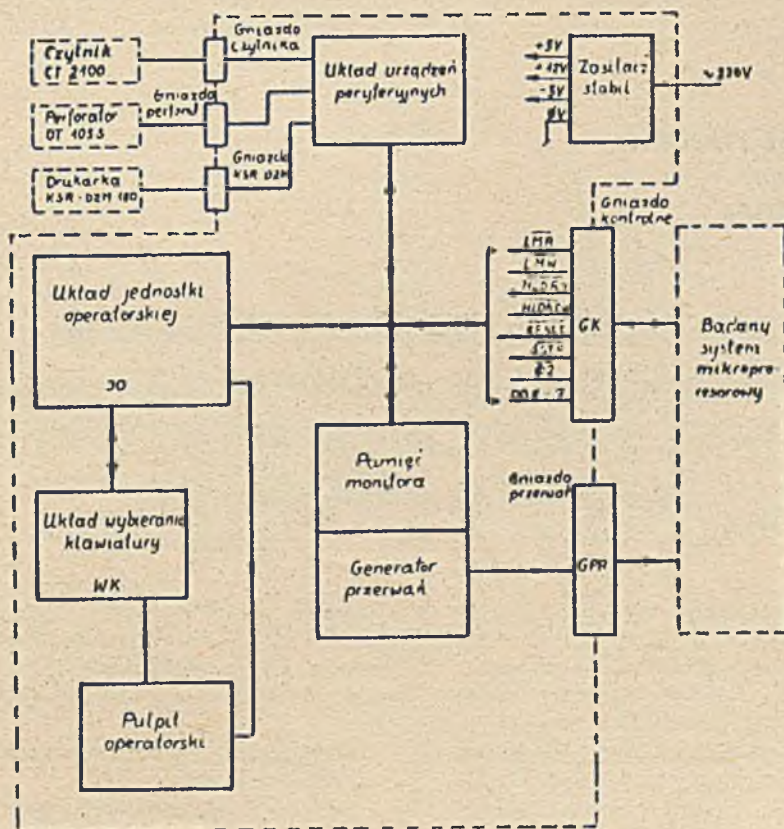
dr inż. MIKOŁAJ FOLTYNIEWICZ  
 Wojskowa Akademia Techniczna  
 Instytut Radiolokacji - Warszawa  
 mgr inż. JERZY KERN  
 Przemysłowy Instytut Elektroniki - Warszawa

## MINITESTER SYSTEMÓW MIKROPROCESOROWYCH MTS - 80

Minitester MTS-80 jest przyrządem przeznaczonym do uruchamiania i kontroli działania systemów mikroprocesorowych, zbudowanych w oparciu o mikroprocesory typu 8080. System badany dołączany jest do miniteстера za pośrednictwem złącza kontrolnego, do którego winny być doprowadzone szyna danych, szyna adresowa i zbiór sygnałów sterujących jednostki centralnej badanego systemu.

Zespół klawiatury i wskaźników miniteстера umożliwia wymuszanie i kontrolę stanów systemu mikroprocesorowego, który współpracując z minitesterem pozostaje w jednym z następujących stanów podstawowych:

1. Stan wykonywania programu znajdującego się w obszarze pamięci systemu badanego, przy czym program może być wykonywany:



Rys. 1. Schemat blokowy miniteстера MTS-80

- bez ingerencji minitestera,
  - w sposób krokowy /przejście do następnego cyklu maszynowego jest spowodowane każdorazowo przez operatora/,
  - z zatrzymywaniem po n-krotnym pojawieniu się określonego stanu szyny adresowej mikroprocesora /liczba powtórzeń n stanu A i wartość adresu A są specyfikowane przez operatora/.
2. Stan bezpośredniego dostępu rejestrów minitestera do komórek pamięci systemu badanego. Mikroprocesor znajduje się w stanie HOLD, a operator może wpisywać informację do dowolnie wybranych komórek pamięci lub odczytywać ich zawartość.
3. Wykonywanie programu monitora, ulokowanego w obszarze pamięci minitestera.

Monitor może realizować następujące funkcje:

- wprowadzanie programów lub danych do pamięci systemu z taśmy perforowanej poprzez czytnik CT 2100 lub z klawiatury drukarki DZM-180-KSR,
- wprowadzanie danych lub programów z pamięci operacyjnej na taśmę perforowaną przy pomocy dziurkarki DT 105 S lub drukowanie zawartości pamięci przy pomocy drukarki DZM-180-KSR,

- wykonanie skoku do programu o wyspecyfikowanym adresie początkowym.

W każdym rodzaju pracy stany szyn adresowej i danych oraz stan mikroprocesora badanego są wizualizowane przy pomocy wskaźników cyfrowych i diodowych. Istnieje możliwość badania systemu przerwań dzięki wyposażeniu minitestera w układ służący do generacji 8 sygnałów przerwaniowych przez operatora. Jak wynika z rys. 1, przedstawiającego schemat blokowy minitestera, działanie przyrządu jest uwarunkowane zaopatrzeniem badanego systemu w złącze kontrolne. 50-kontaktowe złącze kontrolne /gniazdo/ powinno wprowadzać sygnały wejściowe i wyjściowe jednostki centralnej, takie jak:

- 16-bitowa szyna adresowa,
- 8-bitowa szyna danych, dwukierunkowa,
- sygnały zapisu i odczytu pamięci /MR, MW/,
- sygnały żądania i potwierdzenia stanu HOLD /HOLD RQ i HOLD ACN/,
- sygnały żądania i potwierdzenia stanu zatrzymania /WAIT RQ i WAIT/,
- sygnały zegarowe  $\phi 2$  i SSTB.

Wykonane do chwili obecnej w WAT dwa egzemplarze minitestera potwierdziły swą użyteczność w pracach uruchomieniowych prowadzonych w Wojskowej Akademii Technicznej i w Przemysłowym Instytucie Elektroniki.

**mgr inż. KAZIMIERZ MAJDAN**  
**Przemysłowy Instytut**  
**Automatyki i Pomiarów**  
**"Mera - PIAP"**

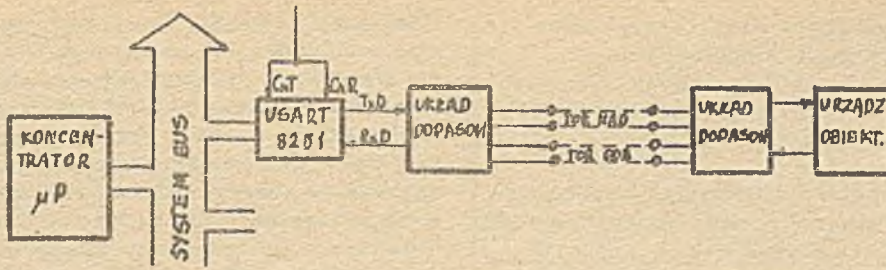
## DIAGNOSTYKA JAKOŚCI KANAŁÓW ASYNCHRONICZNEJ TRANSMISJI SZEREGOWEJ W ZDECENTRALIZOWANYCH, MIKROPROCESOROWYCH SYSTEMACH AUTOMATYKI

Sprawność eksploatacyjna zdecentralizowanego systemu automatyki w dużej mierze uwarunkowana jest jakością kanałów przesyłania danych pomiarowych, adresów urządzeń obiektowych oraz informacji sterującej. W systemach mikroprocesorowych kanały sprzężenia szeregowego między odległymi urządzeniami obiektowymi a węzłami koncentracji informacji budowane są z wykorzystaniem układów interfejsu szeregowego /np. USART 8251 firmy "Intel"/ oraz układów dopasowania do linii przesyłowej. W zależności od odległości między

źródłem a odbiornikiem informacji oraz od wymagań systemowych na wierność i prędkość wymiany danych stosowane są różnorodne środki optymalizacyjne. Polegają one m. in. na doborze:

- synchronicznej lub asynchronicznej metody odbioru sygnału,
- protokołu komunikacyjnego z wykorzystaniem kodów detekcyjnych lub korekcyjnych,
- układów przekształcania sygnału impulsowego /modemów/ na sygnał dostosowany do charakterystyk linii.





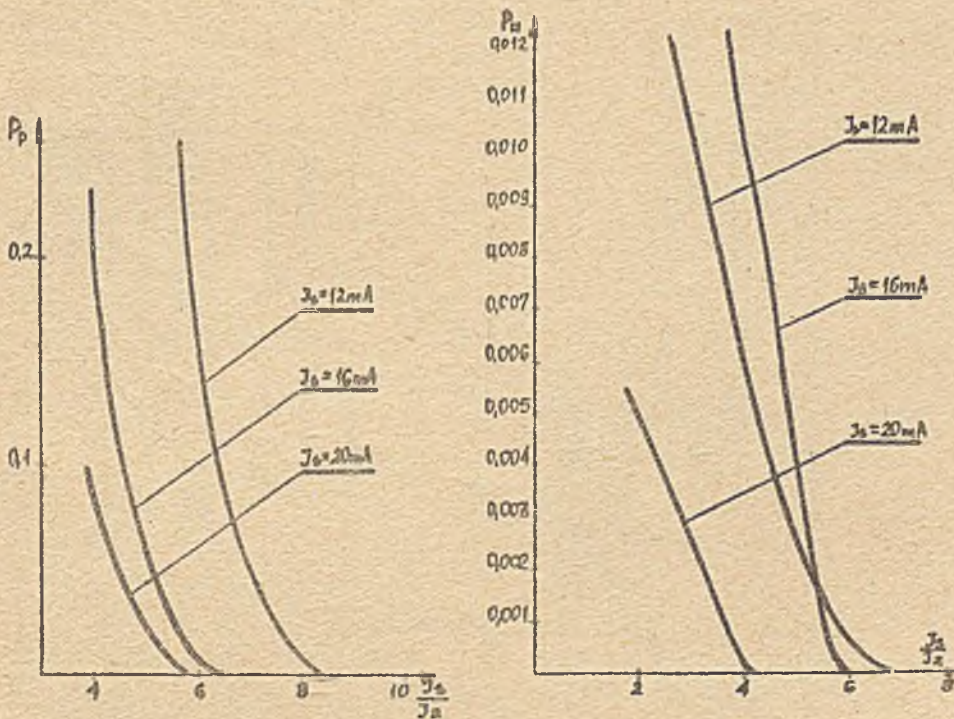
Rys. 1. Schemat blokowy kanału sprzężenia szeregowo

Dla krótkich odległości powszechnie stosowana jest metoda asynchronicznej /start-stop/ transmisji bajtów w postaci sygnału impulsowego, przesyłanego w pętli prądowej /current loop/ o poziomie +20 mA lub +20 mA/0. Schemat blokowy kanału sprzęgającego wielodostępna, równoległą magistralę systemu mikroprocesorowego /system bus/ z urządzeniem obiektem przedstawiony jest na rys. 1. Wyznaczony programowo do transmisji asynchronicznej nadajnik/odbiornik USART 8251 umożliwia prowadzenie ciągłej kontroli wierności przesyłanej informacji. Wynik tej kontroli przekazywany jest na szynę danych mikroprocesora w postaci słowa stanu, za pośrednictwem bitów: D3 /parity error/, D4 /overrun error/, D5 /framing error/. Jakość asynchronicznego kanału szeregowo określa m. in. następujące parametry:

$P_b$  - prawdopodobieństwo bezbłędного odbioru,  
 $P_b^p$  - stopa błędów pierwotnych,  $P_w$  - wynikowa stopa błędów.

Powyższe podstawowe wskaźniki jakości mogą być odniesione do pojedynczych bajtów informacji lub do kilkubajtowej przesyłki. Istnieją oczywiste związki między ww. parametrami:  $P_b + P_b^p = 1$ ;  $P_b > P_w$ . Na skutek ograniczonych możliwości detekcyjnych odbiornika 8251 w systemie zostanie przyjęta pewna ilość przesyłek błędnych, zakwalifikowanych jako bezbłędne. Przekłamania mogą być spowodowane następującymi czynnikami:

- zniekształceniami czasowymi sygnału impulsowego, wynikłymi z charakterystyk częstotliwościowych linii przesyłowej i układów dopasowania,



Rys. 2. Charakterystyki szumowe  $P_p/S/N$  i  $P_w/S/N$  przy stałym poziomie sygnału na wejściu odbiornika

- zakłóceniami zewnętrznymi o charakterze szumów fluktuacyjnych i impulsowych,  
- przesunięciem częstotliwościowym i fazowym zegara odbiorczego CxR względem zegara CxT współpracującego nadajnika.

Zastosowana metoda diagnostyki jakości asynchronicznego kanału sprzężenia szeregowego polegała na wyznaczeniu statystyk:  $P_p$ ,  $P_b$ ,  $P_w$  przy zapewnieniu losowości próby testowej. Analogicznie do stosowanych w teleinformatyce metod badawczych /zalecenie V52 CCITT/ badania kanałów przeprowadzono w zasymulowanych warunkach propagacji sygnału o pseudo-losowej strukturze kodowej.

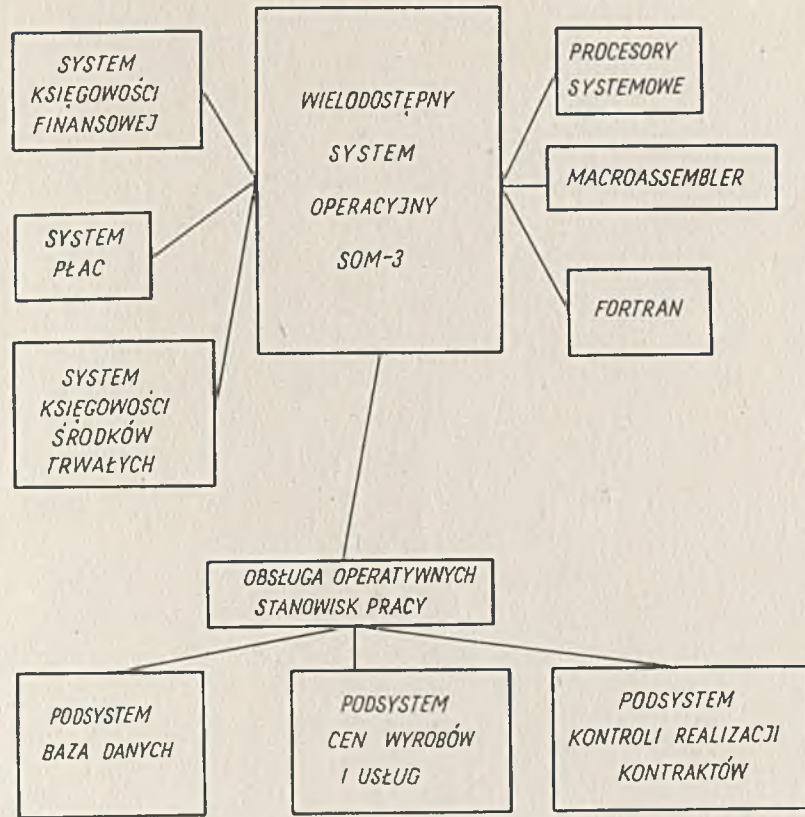
Kanały pomiarowe zrealizowano przez utworzenie pętli transmisyjnej: nadajnik - układ dopasowania - linia - układ dopasowania - odbiornik, z wejściem i wyjściem na wspólnej magistrali systemowej. Odbierane sekwencje bajtów

informacji podlegały automatycznemu porównaniu, z dokładnością do każdego bitu z informacją wzorcową, zmieniającą się synchronicznie z nadawanymi sekwencjami informacyjnymi. Przykładowo na rys. 2 przedstawione są charakterystyki szumowe kanału asynchronicznego sprzężenia szeregowego z wymianą trzybajtowych przesyłek, przy prędkości 1200 bitów/s. Pomiar w warunkach symulacji szumu białego w paśmie 20 Hz - 20 kHz o poziomie około 10-krotnie większym w stosunku do warunków typowych propagacji sygnału, zostały przeprowadzone przy zastosowaniu cyfrowego nadajnika - odbiornika odpowiadającego funkcjonalnie układowi USART 8251. Pomiar wykonany w warunkach laboratoryjnych oraz rzeczywistych pozwolił na opracowanie laboratoryjnej metody badań przyspieszonych oraz eksploatacyjnej diagnostyki jakości kanałów stosowanych w mikroprocesorowych, zdecentralizowanych systemach automatyki.

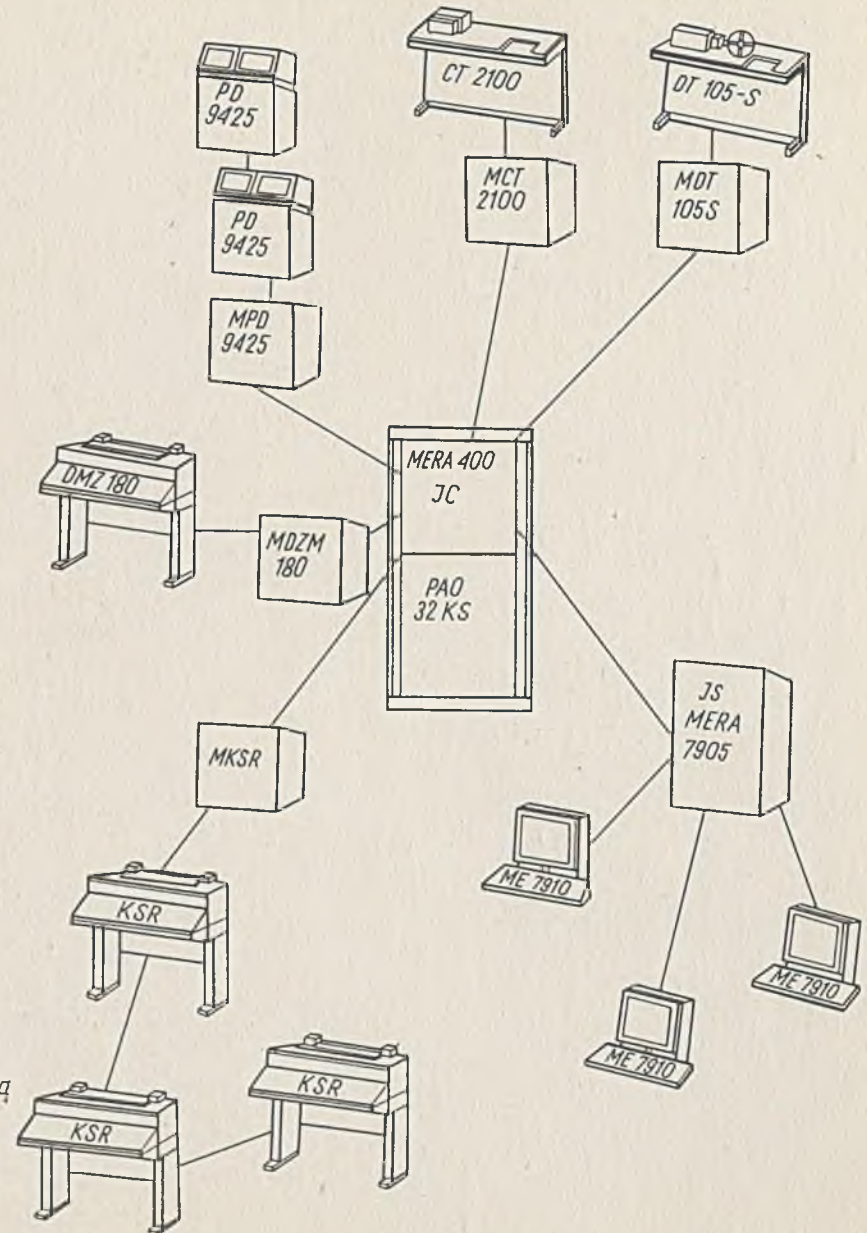


# SYSTEM INFORMATYCZNY GMBH „DEPOLMA”

SCHEMAT POWIĄZAŃ PROGRAMOWYCH



KONFIGURACJA SPRZĘTOWA DLA GMBH „DEPOLMA”



**Legenda:**

PD 9425 - pamięć dyskowa  
 MPD 9425 - moduł sterujący pamięcią dyskową  
 CT 2100 - czytnik taśmy perforowanej  
 DT 105S - dziurkarka taśmy papierowej  
 MCT 2100 - moduł sterujący czytnikiem taśmy  
 MDT 105S - moduł sterujący dziurkarką taśmy

MERA 400 JC - jednostka centralna  
 PAO 32 KS - pamięć operacyjna 32 k słów  
 DMZ 180 - drukarka znakowa  
 MDZM 180 - moduł sterujący drukarką znakową  
 KSR - terminal z drukarką i klawiaturą  
 MKSR - moduł sterujący terminala  
 JS MERA 7905 - jednostka sterująca monitorami ekranowymi  
 ME 7910 - monitor ekranowy

Cena zł 43

Prenumerata roczna zł 516

