

P. 2500  
10/28

**BIULETYN TECHNICZNY**

**ARTERIE**

4-5 (239)

1982



Redakcja Kolegium w składzie:

mgr A. Chróścielewska, mgr inż. J. Dziewięcki,  
prof. dr hab. inż. A. Janicki (redaktor naukowy),  
dr inż. W. Kossowski, inż. L. Kowalski (redaktor działu "Technika"),  
mgr J. Kutrowska (sekretarz redakcji),  
mgr inż. J. Reluga (redaktor działu "Technologia"),  
mgr inż. A. Teodorczuk, mgr inż. T. Ustaborowicz,  
mgr inż. M. Wajcen (redaktor naczelny), mgr inż. R. Zieleniewski

**Warunki prenumeraty**

Jednostki gospodarki uspołecznionej, instytucje, organizacje i wszelkiego rodzaju zakłady pracy zamawiają prenumeratę w miejscowych Oddziałach RSW "Prasa-Książka-Ruch", w miejscowościach zaś, w których nie ma Oddziałów RSW – w urzędach pocztowych. Czytelnicy indywidualni opłacają prenumeratę wyłącznie w urzędach pocztowych i u doręczycieli. Prenumeratę roczną w cenie 1896zł należy zamawiać do 25 listopada na rok następny, półroczną do 10 czerwca na II półrocze.

Cena 158 zł



ZJEDNOCZENIE PRZEMYSŁU AUTOMATYKI  
I APARATURY POMIAROWEJ „MERA”



P. 2900 / 82

# „MERA”

BIULETYN PRZEMYSŁU  
KOMPUTEROWYCH SYSTEMÓW  
AUTOMATYZACJI I POMIARÓW

WARSZAWA, kwiecień-maj 1982



Drukarki oparte na mikroprocesorach w porównaniu do ich poprzedniczek

Urządzenie oparte na mikroprocesorach	Analogiczne urządzenie oparte na starej bazie	Dane techniczne drukarek opartych na mikroprocesorach	Porównanie z drukarkami obecnie produkowanymi	Funkcje, których realizacja bez mikroprocesora byłaby niemożliwa bądź znacznie utrudniona	Uwagi
1.	2.	3.	4.	5.	6.
Drukarka znakowa-mozaikowa D-180	DZM-180	<p>Szybkość druku-180 zu/u                      Matryca - 9x7                      Gęstość druku - 10 lub 12 zu/cal                      Ilość znaków w linii - 132 lub 158                      Odstęp między wierszami - 1/6 lub 1/8 cala                      Ilość kopii - 5                      Czynnik formatu - 2:8 ściśle,                      Interface'y - TRPR, V-21.                      DZM-180Centronics,                      Rejestrator znaków - do czterech alfabetów                      Kod - ASCII lub KOI-7                      Krój pisma-normalny, kursywa, ozdobny                      Zasilanie-220V;300 VA /maks/                      Wymiary-315x700x440                      Ciężar - 40 kg                      Czas międzyawaryjny-1500g</p>	<p>Ilość pakietów: zmniejszona z 3 na 1                      Ilość układów scalonych-zmniejszona ze 164 do 26                      Ilość otworów metalizowanych;mniej o ok. 2000 otw.                      Spadek pracochłonności wykonania - o 30%                      Pobór mocy - o 50% mniejszy                      Masa - mniejsza o 0.5 kg                      Niezawodność-większa 6-krotnie</p>	<p>Optymalizacja ruchu głowicy.                      Trzy rodzaje kroju pisma,                      Cztery interfece'u dostępne po połączeniu przełącznika                      Zmiana alfabetu po przełączeniu przełącznika,                      Autotestowanie</p>	<p>Zastosowano mikroprocesor 8080</p>
Drukarka znakowa-mozaikowa D-200	DZM-180	<p>Szybkość druku - 180 zu/s                      Druk dwukierunkowy, z optymalizacją,                      Matryca-7x7 lub 9x7                      Ilość znaków w linii - 132, 158 lub 218                      Odstęp między wierszami-1/6, 1/8 lub 1/10 cala                      Ilość kopii - maks.4                      Interface'y - DZM-180 Centronics, 101 A,                      Repertuar znaków-dowolny 64-256 znaków                      Kod-ASCII, ISO 7                      Krój pisma-normalny, szeroki, pochyły                      Zasilanie - 220 lub 110V, 300 VA                      Wymiary-246x635x390                      Ciężar - 30 kg                      Czas międzyawaryjny 2000 kg</p>	<p>Ilość pakietów: Zmniejszona z 3 na 1                      Ilość układów scalonych:zmniejszona ze 120 do 20 /w wersji Off line/164 do 24 /w wersji on line/,                      Ilość otworów metalizowanych: mniej o ok. 2000 otw.                      Pracochłonność - maleje o ok. 50%                      Pobór mocy - o 50% mniejszy                      Masa-mniejsza o 15 kg /33%/                      Niezawodność-większa 8-krotnie</p>	<p>Tak jak dla D-180</p>	<p>Zastosowano mikroprocesor 8085</p>
Drukarka wierszowa DW 401	DW-3	<p>Szybkość druku-550 lub 1100 wierszy/mín.                      Ilość znaków w wierszu -160                      Odległość między znakami-1/6 lub 1/8 cala                      Ilość kopii- do 5                      Repertuar znaków-ustalona /bęben/                      Interface - JS EMC                      Zasilanie-220V, 2kVA                      Wymiary-1210x760x1330</p>	<p>Ilość pakietów-zmniejszona ze 120 do 23 w tym logiki:z 50 do 2                      Ilość ukł. scal.:zmn. z 1000 do 360 w tym logiki:z 800                      Ilość otworów metal. zmn. z40000 do 20000 w tym log. z20000 do 4000                      Pobór mocy-z 3,5kVA do 1,5kVA/nie decyduje w tym zastosowanie mikroprocesora/                      Pracochłonność - mniej o 40% dla logiki mniej o 90%                      Niezawodność - większa 3-krotnie</p>	<p>Autotest, funkcje diagnostyczne, funkcje podczas pracy autonomiczne</p>	<p>Zastosowano rodzinną mikroprocesorów segmentowych serii 3000</p>



W OBRUI MERA-BŁONIE funkcjonuje Intellec 231, posiadający kompletne wyposażenie /assembler 8085 i 8748, edytor, monitor, debugger, akumulatory 8085 i 8748, Fortran-80, PL/M-80/. Dzięki temu program ułożony przez konstruktora dla drukarki może być przetłumaczony na język maszynowy procesora przez assembler, symulowany dzięki debugger'owi, a następnie uruchamiany na rzeczywistym urządzeniu za pomocą emulatora, w którym logikę zastępuje Intellec. Umożliwia to szybkie pisanie, poprawianie i uruchamianie zarówno programu, jak i szybkie usuwanie błędów hardware'u.

Produkcję takich przyrządów, będących właściwie specjalizowanymi minikomputerami podjął w roku bieżącym MERA-IMM w Warszawie /system MSWP/. Należy podkreślić, że bez posiadania takiego systemu praca przy konstrukcji jest niezwykle utrudniona, a bez analizatora stanów wręcz niemożliwa. Jeżeli chodzi o produkcję seryjną, to absolutnie konieczne jest stosowanie przyrządów do automatycznego testowania pakietów /typ "go-no go"/. Uruchomienie urządzenia polega właściwie na wkładaniu pakietów na bazie mikroprocesorowej i ewentualnej ich wymianie w przypadku niesprawności. Poziom techniczny pakietów jest zbyt duży, aby przeciętny uruchamiacz dał sobie radę z wykryciem uszkodzenia. Potrzebne są specjalne przyrządy testujące lub też należy wykorzystywać opisywany system USUP.

#### Kadra inżyniersko-techniczna

Cechą charakterystyczną urządzenia opartego na bazie mikroprocesorowej jest fakt, iż tylko 30% czasu opracowania pochłania zaprojektowanie hardware'u, aż 70% czasu to opracowanie software'u. Niestety nie da się tutaj przy zastosowaniu mikroprocesorów w urządzeniach peryferyjnych, oddzielić całkowicie software'u od hardware'u. Są to sprawy niezwykle ze sobą połączone i nie jest możliwe wykonanie oprogramowania nie znając hardware'u i odwrotnie.

Tak więc wymagania odnośnie kadry inżyniersko-technicznej są bardzo wysokie. Alternatywa jest tylko jedna: albo nauczyć programistę sprzętu albo sprzętowca programowania. Praktyka wskazuje, że drugie wyjście jest zdecydowanie najlepsze. Inżynierowie znacznie szybciej uczą się programowania /zajmuje im to od 2-4 tygodni w zależności od osobistych uzdolnień/.

#### Zastosowanie mikroprocesorów w drukarkach produkcji ZMP MERA-BŁONIE

W Zakładach Mechaniczno-Precyzyjnych MERA-BŁONIE wdrażane do produkcji są trzy drukarki /tabela 1/. Każda z nich zbudowana jest na bazie innej rodziny mikroprocesoro-

wej. I tak np. drukarka D-200 zbudowana jest na układzie 8035 /lub 8748/ i posiada pewien dość znaczny wsad dewizowy /około 900 zł dew./. Wynika to jednak z przeznaczenia tej drukarki, która posiadając parametry światowe, przeznaczona jest na eksport do II obszaru płatniczego. Zastosowanie mikroprocesora 8080 w D-180 i serii 3000 w DW-401 wynika z faktu, że 8080 był za wolny dla zapewnienia interface'u dla JS EMC /jest to interface'u DW-401/. Porównanie tych drukarek z obecnie produkowanymi, jak również ich dane techniczne zawarte są w tabeli 1.

Zajmiemy się tutaj kilkoma wspólnymi cechami dla wszystkich 3 typów. Niektóre prawidłowości wynikające z zastosowania mikroprocesora są uderzające:

1. Zmniejszenie ilości pakietów /od 3 do 25 razy/,
2. Zmniejszenie ilości układów scalonych /6 - 7 razy/,
3. Zmniejszenie ilości otworów metalizowanych /2 - 3 razy/,
4. Spadek pracochłonności /30 do 50%/,
5. Niezawodność /6 do 7 razy większa/.

Zalety stosowania mikroprocesorów są więc ewidentne. Zresztą są to zalety wynikające w sposób oczywisty z zastosowania układów o bardzo dużym stopniu scalenia, co niejako automatycznie zmniejsza ilość pakietów, układów scalonych a zwiększa niezawodność i zmniejsza pracochłonność. Trzeba też zauważyć, że zrealizowanie niektórych funkcji /szczególnie autotestu i diagnostyki, jak również optymalizacji ruchu głowicy/ nie byłoby praktycznie możliwe bez użycia mikroprocesora.

Zastosowanie mikroprocesorów w urządzeniach peryferyjnych jest zarówno możliwe, jak i konieczne. Prawidłowości wykryte w porównaniu drukarek mikroprocesorowych z niemikroprocesorowymi dotyczą również innego sprzętu komputerowego. Można wskazać np. na monitor ekranowy CRT-7910 opracowany w OBRUI MERA-BŁONIE /na bazie MERA-7910 z logiką mikroprocesorową/, który również wykazuje podobne zalety. Należy podkreślić, że dzięki zastosowaniu mikroprocesorów uzyskuje się:

- oszczędność materiałów
- oszczędność energii
- elastyczność funkcjonalną
- znaczne rozszerzenie funkcji
- znaczne zwiększenie niezawodności i zmniejszenie pracochłonności.

Są to zalety nieistotne w obecnej sytuacji kryzysu gospodarczego. Konieczne jest więc przyspieszenie prac w NPCP CEMI nad uruchomieniem polskich mikroprocesorów i natychmiastowe działanie mające na celu przekonstruowanie sprzętu komputerowego z bazy MSI LSI na ULSI.



## DOTYCHCZASOWE OPRACOWANIA Z ZASTOSOWANIEM TECHNIKI MIKROPROCESOROWEJ W MERA-KFAP. STACJA PSPD-90

Wszystkie dotychczasowe zastosowania techniki mikroprocesorowej w MERA-KFAP związane są z pamięciami na dyskach elastycznych, a ściślej z urządzeniami wykorzystującymi licencyjne jednostki pamięci na dyskach elastycznych PLx45D /mechanizmy/. Prostota samego nośnika informacji, to jest dysku elastycznego, jak i względna prostota mechanizmu dokonującego bezpośrednich operacji na dysku jest bowiem okupiona skomplikowanym zapisem informacji i co za tym idzie skomplikowanym układem sterującym - kontrolerem. Zadania, które spełnia kontroler są na tyle skomplikowane, że nie opłaca się wykonywanie go jako układu czysto hardware'owego /sprzętowego/. Praktycznie wszystkie znane rozwiązania kontrolerów pamięci na dyskach elastycznych były realizowane jako układy mikroprogramowane. Dotyczy to również pierwszego wyrobu sterującego jednostki PLx45D - pamięci na dyskach elastycznych SP45DE. W rozwiązaniu tym cały układ procesora, pamięci i wejść/wyjść został oparty o obwody TTL małej i średniej skali integracji. Istotną zaletą tego układu jest jednak szybkość działania: czas wykonywania bardzo efektywnych instrukcji wynosi 200 ns. Szybkość ta pozwoliła obsługiwać mikroprogramowi zapis i odczyt na dysku bit po bicie.

Pojawienie się mikroprocesorów, zwłaszcza na stole konstruktora, zainspirowało prace nad nowym kontrolerem pamięci, z myślą o zmniejszeniu ilości elementów, wymiarów i poboru mocy. W wyniku prac powstał kontroler oparty o mikroprocesor 8080A odwzorowujący pamięć SP45DE. Nie wszedł on jednak do produkcji głównie z racji ekonomicznych /koszty nowego oprzyrządowania/. Poza tym nie zapewniał tak szybkich transmisji na zewnątrz jak układ dotychczasowy. Tym niemniej układ kontrolera na mikroprocesorze po rozbudowie i nadaniu mu uniwersalności stał się podstawą układu elektronicznego równoległe wówczas opracowywanej prog-

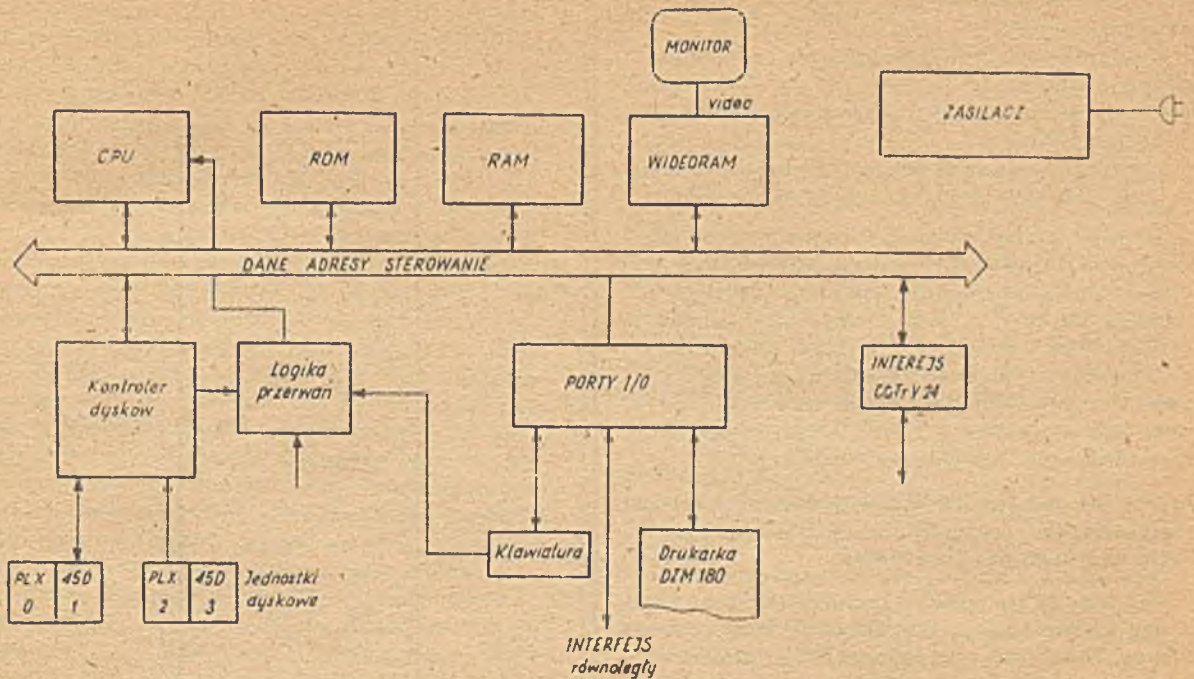
ramowanej stacji gromadzenia i przetwarzania danych PSPD-90.

W wyniku prac powstała rodzina pakietów o nazwie S90 tworząca system mikroprocesorowy ogólnego przeznaczenia. System został zaprojektowany w oparciu o realia krajowe - są one aktualne do chwili obecnej. Realia te spowodowały, że z wyjątkiem mikroprocesora i obwodów pamięci wersja podstawowa PSPD-90 zrealizowana jest w całości w oparciu o układy TTL małej i średniej skali integracji. Dzięki temu stacja ta mogła wejść bardzo wcześnie do produkcji, jako jedno z pierwszych urządzeń mikroprocesorowych produkowanych seryjnie w kraju /może być produkowana nadal/. Aby jednak uzyskać niewielką liczbę elementów przyjęto koncepcję, że zamiast sprzętowych jednostek sterujących urządzeń peryferyjnych, takich jak dyski elastyczne, klawiatura itp. funkcje te realizuje mikroprocesor w czasie rzeczywistym. W zakresie funkcji samodzielnej stacji przygotowania danych czy nawet lokalnego mikrokomputera ogólnego przeznaczenia okazało się to znakomicie wystarczające i niezauważalne dla operatora. Znacznie później, gdy dodano funkcje komunikacyjne do PSPD-90, zwłaszcza łącze synchroniczne, koncepcja ta stała się ograniczeniem. Rozwiązaniem stał się pakiet inteligentnego kontrolera komunikacyjnego z własnym mikroprocesorem, tworzący w ten sposób dwuprocessorową stację PSPD-90R. Pakiety rodziny S90 mają wymiary 295x300 mm, co podyktowane było dużą ilością połączeń przy małej skali integracji, niepodzielnością pewnych fragmentów układu jak i stosowaną mechaniką.

### Układ elektroniczny stacji PSPD-90

Schemat blokowy PSPD-90 przedstawiony jest na rys. 1. Jest to typowy schemat blokowy mikrokomputera, którego urządzeniami peryferyjnymi są jednostki dyskowe, monitor, klawiatura i drukarka. Układ elektroniczny jest rozwiązany w sposób ogólny i ma cechy





Rys. 1. Schemat blokowy Programowanej Stacji Gromadzenia i Przetwarzania Danych PSPI-90

uniwersalności, a funkcje programowanej stacji gromadzenia i przetwarzania danych realizuje poprzez wykonywanie programów "zaszytych" na stałe w pamięci oraz umieszczonych na jednym z dysków elastycznych. W kategoriach informatyki jego moc przedstawia się jako ośmiobitowy mikrokomputer zbudowany wokół mikroprocesora 8080A, 12 kbajtów pamięci operacyjnej i 8 Mbitów pamięci dyskowej. Elementy schematu blokowego zamieszczone są na czterech obwodach drukowanych, tworzących system określany dalej symbolem S90.

a/ Pakiet jednostki centralnej S90SBC pomyślany jako ogólnego przeznaczenia mikrokomputer zawiera:

- mikroprocesor 8080A z zegarem i sterownikiem szyn,
- 1 kbajt pamięci stałej typu ROM,
- 2 kbajty pamięci o dostępie swobodnym typu RAM,
- 3 ośmiobitowe porty wejściowe,
- 2 ośmiobitowe porty wyjściowe,
- 1 ośmiobitowy port dwukierunkowy,
- 8 linii przerwań zorganizowanych w 2 wykluczające się nawzajem grupy po 4 linie, maskowalne i uzależnione priorytetem,
- układy synchronizacji w postaci tzw. logiki oczekiwania,
- konwertery poziomów TTL/TTY i TTY/TTL,
- układ dwóch par linii komunikacyjnych typu "hand-shake".

Ponadto pakiet ten posiada komplet środków do rozszerzenia systemu S90 do pełnej konfiguracji pod względem ilości pamięci i portów wejściowych/wyjściowych oraz możliwość organizowania transmisji DMA.

b/ Pakiet kontrolera dysków elastycznych S90FDC umożliwia względnie wolnemu mikroprocesorowi dokonywanie zachodzących w czasie rzeczywistym operacji zapisu i odczytu na dyskach elastycznych. Skonstruowany jest specjalnie dla jednostek dyskowych typu PLx45D. W PSPD-90 współpracuje z dwoma takimi jednostkami, a ma możliwość przyłączenia do czterech.

Kontroler dysków zawiera:

- porty wejściowe i wyjściowe,
- rejestry do zamiany informacji szeregowej na równoległą i odwrotnie - równoległej na szeregową,
- komparator do detekcji znaków charakterystycznych,
- układ obliczania znaków cyklicznej kontroli redundancyjnej CRC,
- multipleksery i demultipleksery linii sterujących jednostkami dyskowymi,
- układ sterujący.

c/ Pakiet monitora i układów wejścia/wyjścia S90VIO zawiera:

- 512 bajtów pamięci typu RAM ulegającej wizualizacji,



- 512 bajtów pamięci typu RAM ogólnego przeznaczenia,
- 4 ośmiobitowe porty wejściowe ogólnego przeznaczenia,
- 4 ośmiobitowe porty wyjściowe ogólnego przeznaczenia,
- 1 ośmiobitowy port wejściowy łącza V24,
- 1 ośmiobitowy port wyjściowy łącza V24.

Pamięć wizualizowana podobna jest do zwykłej pamięci mikroprocesora, ale umieszczona w niej informacja w kodzie ASCII jest w sposób ciągły czytana przez układ generatora znaków i posyłana w postaci zespolonego sygnału wizji do wyświetlania na monitorze. Porty wejściowe i wyjściowe ogólnego przeznaczenia są w PSPD-90 wykorzystane do podłączenia klawiatury i drukarki.

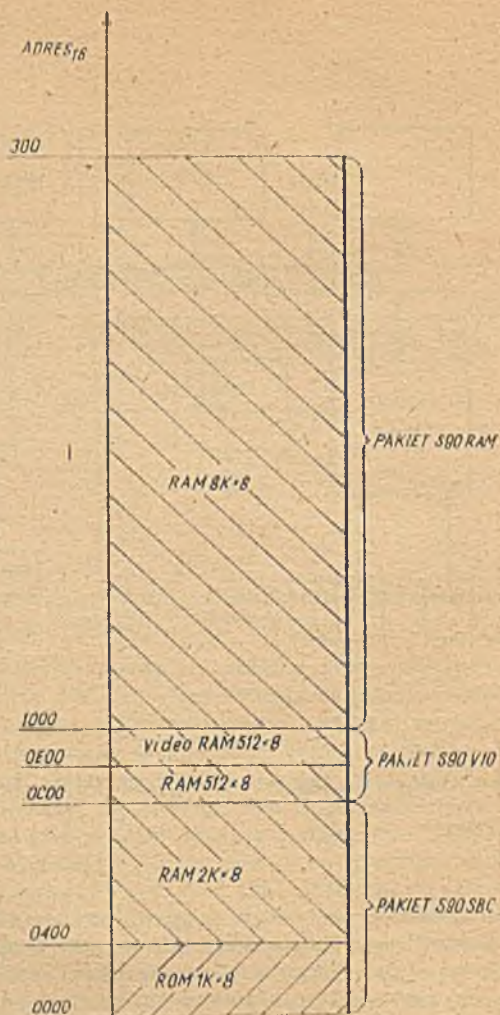
d/ Pakiet pamięci S90RAM zawiera 8 kbajtów statycznej pamięci półprzewodnikowej typu RAM ogólnego przeznaczenia.

Pakiety elektroniki mikrokomputera umieszczone są wraz z zasilaczem S90PSIE w kasecie o szerokości 19" i wysokości 6U. Połączenia między pakietami i z zasilaczem są zrealizowane przy pomocy płyty drukowanej plateru S90BPL. Połączenia z urządzeniami peryferyjnymi są zrealizowane przy pomocy kabli nasadzanych wprost na płyty. Urządzeniami peryferyjnymi mikrokomputera są w zestawie PSPD-90:

- dwie jednostki dyskowe typu PLx45D,
- drukarka znakowa mozaikowa DZM-180,
- monitor ekranowy tzw. zależny /otrzymujący złożony sygnał zawierający treść obrazu i impulsy synchronizacji/; monitor wyświetla 512 znaków w postaci 16 wierszy po 32 znaki w każdym; każdy ze znaków może być wyświetlony wprost lub w inwersji, co umożliwia akcentowanie szczególnie ważnych informacji,
- klawiatura, która jest złożona z matrycy przełączników umieszczonych na płycie drukowanej S90KBD; jest ona obsługiwana całkowicie programowo tak, że kod klawisza zależy od tabeli w pamięci mikrokomputera; tą samą drogą zrealizowano tzw. "key roll over" dla 4 klawiszy. Klawiatura ma też sygnalizator akustyczny oraz pięć diod świecących, towarzyszących klawiszom wymagającym specjalnej uwagi. Obsługa tych wskaźników odbywa się przez porty wyjściowe i także jest w gestii programu.

#### Opis działania układu elektronicznego PSPD-90

Mikrokomputer realizujący funkcje stacji danych posiada fabryczne oprogramowanie dołączone do zamówionych egzemplarzy w wersjach wynikających z wyspecyfikowanych opcji. Oprogramowanie należy rozumieć znacznie szerzej i nie mylić z pewnymi możliwościami programowania pozostawionymi operatorowi. W PSPD-90 liczna ilość funkcji realizowana jest w układzie elektronicznym o stosunkowo niewielkiej objętości dzięki zastosowaniu układu mikroprocesorowego oraz dzie-



Rys. 2. Mapa pamięci PSPD-90

ki zastąpieniu klasycznych hardware'owych jednostek sterujących urządzeniami peryferyjnymi ich programowymi odpowiednikami. Stąd też w skład oprogramowania wchodzi programy na poziomie hardware'u, które całkowicie realizują funkcje jednostek sterujących. Zajmują one wprawdzie czas mikroprocesora, ale w sposób niezauważalny dla użytkownika. Najważniejsze z tych programów zawarte są w pamięci typu ROM, pozostałe są ściągane do pamięci RAM z dysku w miarę potrzeby, zapewniając przy tym dużą ich elastyczność. Rys. 2 przedstawia mapę pamięci PSPD-90.

W momencie włączenia do sieci lub naciśnięcia klawisza zerowania ogólnego STM CLR na klawiaturze procesor rozpoczyna wykonywanie programu zawartego w pamięci stałej typu ROM, poczynając od adresu 0000<sup>x</sup>. Program tam zawarty powoduje ściągnięcie informacji z dysku znajdującego się w komorze nr 1 - poczynając od ścieżki nr 1 i sektora nr 1 - do pamięci RAM poczynając od adresu 0500,

<sup>x</sup>/ Adresy podawane są w kodzie szesnastkowym



a następnie program skacze do początku ściągniętej z dysku informacji, o ile na początku zawiera ona kod "dysku systemowego". Gdy w komorze nr 1 nie znajduje się dysk systemowy, program zaprzestaje ściągania kolejnych sektorów i oczekuje na ponowne naciśnięcie klawisza zerowania ogólnego lub /opcjonalnie/ na rozkazy pochodzące z interfejsu równoległego. Tak więc pierwszy 1 kbajt pamięci zawiera program "bootstrap" oraz podprogramy do operowania na dyskach. Całe pozostałe oprogramowanie stacji mieści się na dysku systemowym i jego część /22 sektory po 128 bajtów/ ściągana jest do pamięci operacyjnej po włączeniu lub wyzerowaniu stacji. Pozostałe części umieszczane są w pamięci w razie potrzeby i to tylko podczas wykonywania przez stację bardzo złożonych operacji. Pamięć RAM o adresach 0400 do 04FF jest zarezerwowana dla parametrów Dyskowego Systemu Operacyjnego Stack'a /stosu/ i bufora na jeden sektor. Zawartość dysku systemowego stanowi więc o funkcjach Stacji Danych, a zmiana funkcji odbywa się /o ile zachodzi taka potrzeba/ przez zmianę dysku systemowego na inny. Funkcje te i związane z tym działanie stacji nie jest przedmiotem niniejszego artykułu.

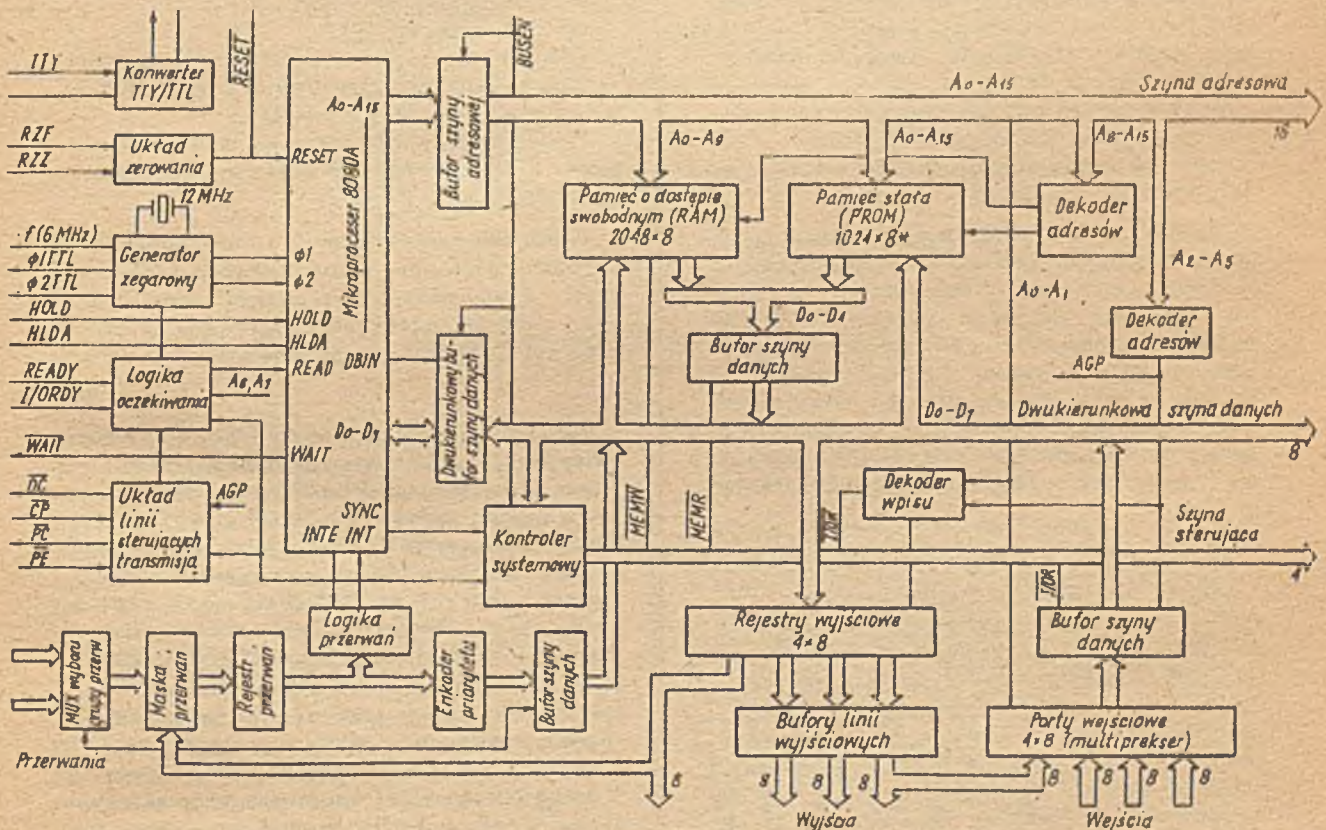
Z czterech istniejących komór dyskowych jedna przeznaczona jest na dysk systemowy, a trzy pozostają dla potrzeb Stacji Danych, co całkowicie zaspokaja jej potrzeby.

### Pakiet mikrokomputera S90SBC

S90SBC jest kompletnym ośmiobitowym mikrokomputerem zrealizowanym na jednym pakiecie na bazie mikroprocesora 8080A. Zawiera jednostkę centralną wraz z układami towarzyszącymi, takimi jak zegar, kontroler i bufor szyn, układ przerwań i logikę oczekiwania, 1 kbajt pamięci stałej typu ROM /wersji podstawowej/, 2 kbajty pamięci o dostępie swobodnym typu RAM, 3 porty wejściowe, 2 wyjściowe, 1 port dwukierunkowy oraz pewne układy związane z transmisją danych. Na rys. 3 przedstawiono schemat blokowy pakietu S90SBC, a poszczególne bloki opisane są szczegółowo w kolejnych punktach. Większość z układów - z wyjątkiem mikroprocesora i pamięci RAM - zrealizowana jest przy użyciu obwodów scalonych serii TTL.

Przedstawione układy tworzą trzy główne bloki, które reprezentują funkcje typowe dla każdego systemu komputerowego. Tutaj jednak została zredukowana do minimum ilość elementów zużytych do budowy poszczególnych bloków. Te trzy bloki i ich podstawowe funkcje to:

- jednostka centralna - zawierająca procesor oraz układy sterujące i interfejsowe dla pamięci i urządzeń wejścia/wyjścia,
- pamięć - zawierająca pamięć stałą /ROM/



Rys. 3. Schemat blokowy pakietu S90SBC



i pamięć o dostępie swobodnym /RAM/ do przechowywania programów i danych.

- wejścia/wyjścia /porty/ - zawierające obwo-  
dy do komunikacji mikrokomputera z urządze-  
niami istniejącymi na zewnątrz jednostki cen-  
tralnej lub pamięci operacyjnej.

Do połączenia ww. trzech bloków służą trzy wspólne grupy linii, określane jako szyny lub magistrale. Są to:

- szyna danych / $D_0-D_7$ / - zbiór dwukierunko-  
wych linii, po których mogą być przesyłane  
dane między jednostką centralną i pamięcią  
lub wejściami/wyjściami,
- szyna adresowa / $A_0-A_{15}$ / - zbiór jednokie-  
runkowych linii, które identyfikują konkretną  
komórkę pamięci lub urządzenie wejścia/wyj-  
ścia,
- szyna sterująca - zbiór jednokierunkowych  
linii, które wskazują rodzaj czynności doko-  
nywanej w bieżącym procesie; do podstawo-  
wych czynności należą:
  - czytanie pamięci / $\overline{MEMR}$ /,
  - pisanie pamięci / $\overline{MEMW}$ /
  - czytanie wejścia / $\overline{I/OR}$ /,
  - pisanie wyjścia / $\overline{I/OW}$ /,
  - potwierdzenie przerw / $\overline{INTA}$ /.

Jednostka centralna jest podstawowym ele-  
mentem w całym systemie i dokonuje nastę-  
pujących czynności:

- wydaje sygnały na szynę sterującą określa-  
jące rodzaj aktywności,
- wydaje binarny kod na szynę adresową dla  
określenia lokacji pamięci lub urządzenia wej-  
ścia/wyjścia, która będzie zaangażowana w  
bieżącym procesie,
- odbiera lub wysyła dane do zaadresowanej  
lokacji pamięci lub wejścia/wyjścia,
- powraca do pierwszej operacji i wydaje syg-  
nały sterujące następną czynnością.

Mikroprocesor 8080A wymaga pewnych ukła-  
dów towarzyszących do spełnienia funkcji  
jednostki centralnej. Należy do nich genera-  
tor zegarowy, kontroler systemowy, dwukie-  
runkowy wzmacniacz szyny danych i wzmac-  
niacz szyny adresowej. Funkcje jednostki cen-  
tralnej są rozbudowane poprzez układ przer-  
wań, układy synchronizacji z przebiegami a-  
synchronicznymi, tzw. logikę oczekiwania i  
możliwość bezpośredniego dostępu do pamięci  
/DMA/.

#### Pakiet kontrolera jednostek pamięci S90FDC

Pakiet kontrolera jednostek pamięci  
S90FDC umożliwia przyłączenie do systemu  
S90 jednostek masowej pamięci zewnętrznej  
na dyskach elastycznych typu PLx45D. W  
PSPD-90 znajdują się typowo dwie jednostki  
pamięci PLx45D, co daje pamięć masową o  
pojemności 8,2 Mbit dla dysków elastycznych  
sformatowanych jednostronnie /16,4 Mbit dla  
dysków sformatowanych dwustronnie, druga  
strona dostępna po odwróceniu dysku - w  
PSPD-90 nie używana/. W wykonaniach spec-

jalnych pakiet S90FDC umożliwia przyłącze-  
nie od 1 do 4 jednostek PLx45D. Jednostki pa-  
mięci PLx45D są jednostkami podwójnymi, co  
w zestawie dwóch jednostek daje 4 dyski bez-  
pośrednio dostępne ze średnim czasem dos-  
tępu 205 ms. Nośnikiem informacji są dyski  
elastyczne sformatowane zgodnie z normą  
ISO/DIS 5654/2 /IBM 3740/. Zawierają one  
77 koncentrycznych ścieżek, z których każda  
podzielona jest na 26 sektorów po 128 bajtów  
informacji użytkowej. Jest to tzw. "miękkki"  
format, rozróżniający początki sektorów po  
dodatkowym opisie zapisanym na stałe pod-  
czas wstępnego formatowania dysku.

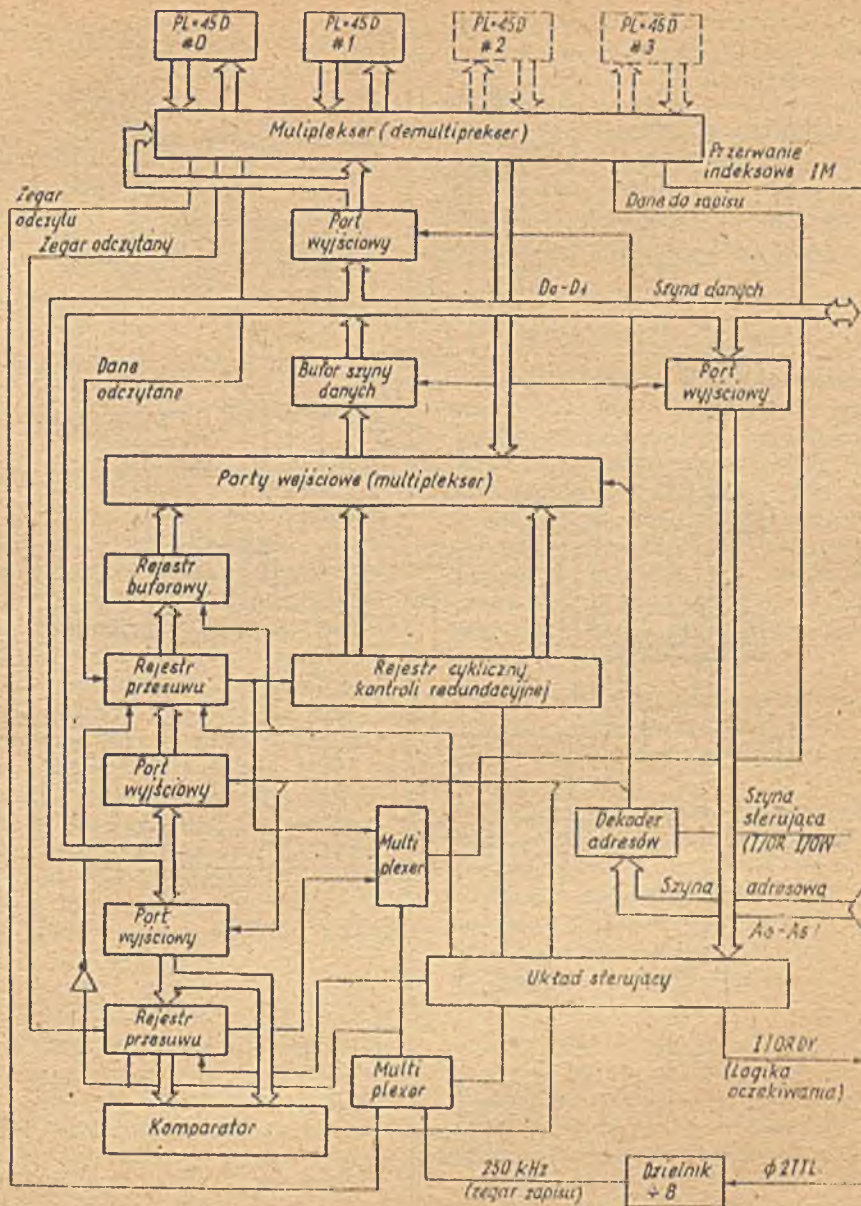
Pakiet S90FDC nie jest układem samodziel-  
nym i współpracuje ściśle z pakietem mikro-  
komputera S90SBC. Umożliwia zasadniczo je-  
dyntę względnie wolnemu mikrokomputerowi  
niemal całkowicie programowe sterowanie  
zachodzącymi w czasie rzeczywistym opera-  
cjami zapisu i odczytu informacji z dysków  
elastycznych. Dane są zapisywane/odczyty-  
wane na dyskach synchronicznie z częstotli-  
wością 250000 bitów/s i pakiet S90FDC za-  
wiera tylko te układy, które pozwalają mikro-  
procesorowi zyskać na czasie, a więc:

- rejestry do zamiany informacji szeregowej  
na równoległą /bajty/ i odwrotnie - równole-  
głej na szeregową,
- komparator do detekcji znaków charaktery-  
stycznych,
- układ do obliczania znaków cyklicznej kont-  
rolli redundancyjnej /CRC/,
- układ sterujący,
- multiplexery i demultiplexery linii steru-  
jących jednostkami dyskowymi /wybór jednej  
z czterech jednostek PLx45D/,
- porty wejściowe i wyjściowe do sterowania  
przez mikroprocesor powyższymi układami  
i przekazywania informacji.

Układ kontrolera łączy się z mikroproce-  
sorem jedynie przy pomocy trzech ogólnych  
szyn - szyny danych, adresowej i sterującej  
oraz z logiką oczekiwania i układem przerw.  
Jego schemat blokowy przedstawia rys. 4.

Interfejs jednostki pamięci PLx45D zawie-  
ra sygnały o niskim poziomie organizacji.  
Układ elektroniczny PLx45D zawiera wzmac-  
niacz zapisu, odczytu, obwo-  
dy sterujące me-  
chanizmami pozycjonowania głowicy, napędu  
dysków oraz obwo-  
dy odczytu sygnałów indek-  
sowych i detekcji prawidłowych warunków  
pracy dysku. Natomiast cała obróbka infor-  
macji odczytanej lub przeznaczony do zapli-  
su /tzw. formatowanie informacji/, a także  
sterowanie ruchem głowicy, jej dociskiem itd  
spada na program, który przy pomocy układu  
S90FDC przekształca dane pobierane z pamięci  
systemu na postać odpowiednią do zapisu na  
dysku. Poddaje także obróbce dane odczytane  
z dysku i umieszcza je w pamięci operacyjnej  
systemu. Ponadto zadaniem programu jest od-





Rys. 4. Schemat blokowy pakietu S90FDC

szukanie danych na dysku w przypadku odczytu - lub w przypadku zapisu, odszukanie zadanego sektora, w którym dane należy umieścić. Program ten w PSPD-90 zajmuje 1 kbajt pamięci i mieści się - wraz z programem ładującym - w obwodach pamięci stałej znajdujących się na pakiecie S90SBC.

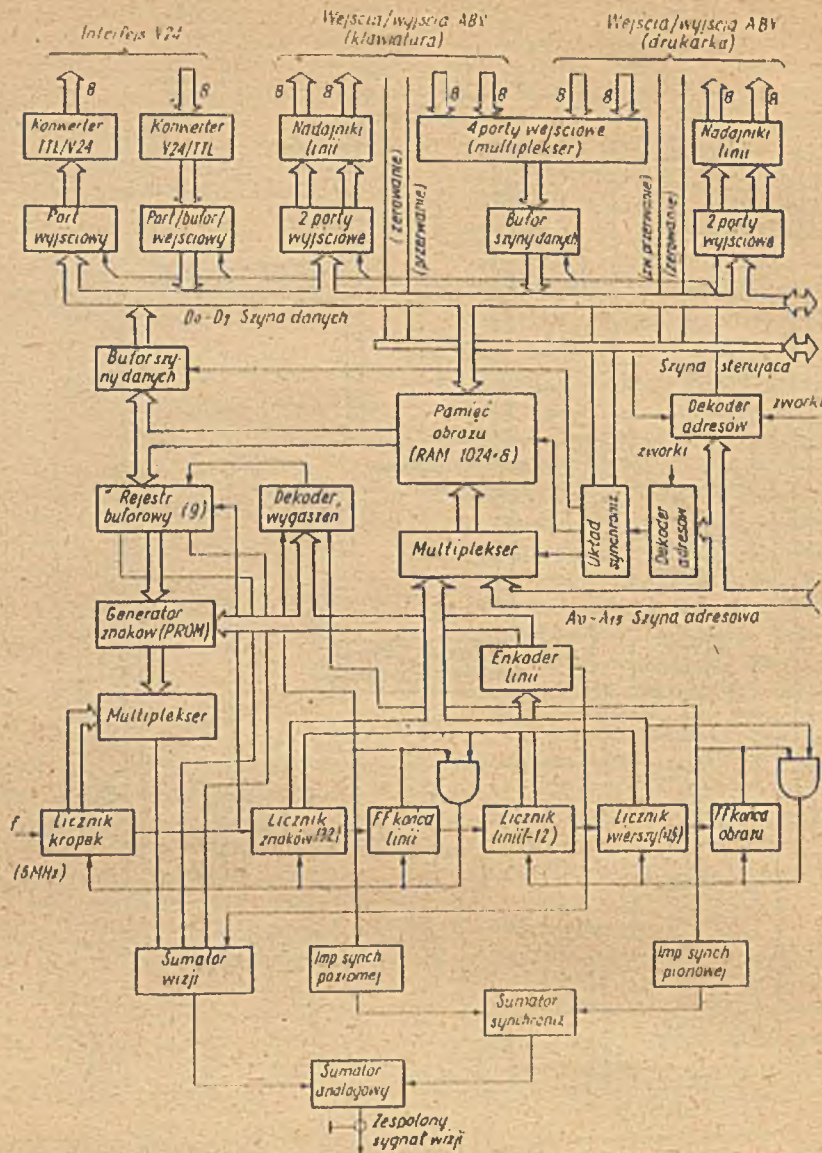
#### Pakiet monitora i układów wejścia-wyjścia S90VIO

Pakiet S90VIO zawiera dwa niezależne układy, które łączą się z pakietem mikrokomputera S90SBC przy pomocy trzech ogólnych szyn - szyny danych, szyny adresowej i szyny sterującej. Układy te to kompletny układ monitora wraz z pamięcią obrazu i generatorem zespolonego sygnału wizji oraz układy wejść/wyjść

ogólnego przeznaczenia - do podłączenia urządzeń zewnętrznych. Przedstawiono je w postaci schematu blokowego na rys. 5.

Układ monitora posiada 1 kbajt pamięci statycznej o dostępie swobodnym typu RAM podłączonej w ten sposób, że informacja umieszczona w 512 bajtach o wyższych adresach pojawia się na ekranie monitora w postaci 16 wierszy po 32 znaki każdy. Mikroprocesor używa tej pamięci tak samo jak każdej innej, bez jakichkolwiek ograniczeń, i ma bezwzględny priorytet dostępu do niej. Mówiąc inaczej od strony mikroprocesora pamięć ta wygląda jak jego własna pamięć, natomiast we wszystkich chwilach, w których mikroprocesor nie żąda dostępu do niej, wyświetlana jest treść połowy pamięci o wyższych adresach. Druga





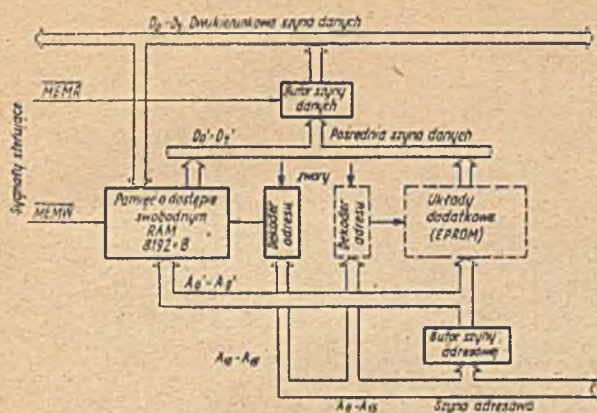
Rys. 5. Schemat blokowy pakietu S90VIO

połowa pamięci może być używana jako pamięć typu RAM ogólnego przeznaczenia. Adres pamięci jest zadawany przy pomocy zwopek - w PSPD-90 nominalnie 0C00<sub>H</sub> - 0DFF<sub>H</sub> dla części ogólnego przeznaczenia i 0E00<sub>H</sub> - 0FFF<sub>H</sub> dla pamięci wizualizowanej. Mikroprocesor składa w odpowiednie miejsca tej pamięci znaki do wyświetlenia w ośmiobitowym kodzie ASCII. Ósmy, najstarszy bit określa czy znak będzie wyświetlany wprost /D<sub>7</sub>=0/, czy też w inwersji /czarny znak na jasnym tle; D<sub>7</sub>=1/. Umożliwia to akcentowanie szczególnie ważnych informacji lub zaznaczenie położenia kursora. Repertuar i kształt znaków wyświetlanych jako mozaika 8x5 punktów - jest określony przez generator znaków zbudowany na bazie obwodów pamięci

stałej typu PROM. Umożliwia to uzyskanie dowolnego alfabetu i znaków graficznych przez prostą wymianę PROM'ów. Na wyjściu układu znajduje się generator zespolonego sygnału wizji, co umożliwia przyłączenie zwykłego monitora telewizyjnego poprzez jeden przewód ekranowany.

Układy wejścia/wyjścia to porty wejściowe i wyjściowe ogólnego przeznaczenia wraz z układami odbiorników i nadajników linii. Są one podzielone na trzy grupy i wprowadzone odpowiednio na trzy złącza pakietu - złącza krawędziowe ABX i ABY oraz złącze pośrednie Y. Dwie pierwsze zawierają po dwa ośmiobitowe porty wejściowe i po dwa ośmiobitowe porty wyjściowe wraz z towarzyszącymi





Rys. 6. Schemat blokowy pakietu S90RAM

odbiornikami i nadajnikami linii na poziomach TTL. W PSPD-90 służą one do podłączenia klawiatury oraz drukarki - obsługiwanych całkowicie programowo. Trzecia grupa to jeden ośmiobitowy port wejściowy i jeden ośmiobitowy port wyjściowy wraz z konwerterami poziomów napięć na kompatybilne z interfejsem V24 /tzw. styk S2 czy EIA RS232C; poziomy + 12V/. Przeznaczona jest do komunikacji z urządzeniami posiadającymi interfejs V24 i obsługiwana również całkowicie programowo /od poziomu bitu włącznie/. Adres portów zadawany jest przy pomocy zworek. W PSPD-90 nominalnie ustawione są adresy 38<sub>H</sub> i 39<sub>H</sub> /ABX/, 3A<sub>H</sub> i 3B<sub>H</sub> /ABY/ oraz 3F<sub>H</sub> /V24/ - także same dla portów wejściowych jak i wyjściowych.

#### Pakiet pamięci S90RAM

Pakiet pamięci S90RAM zawiera 8 kbajtów półprzewodnikowej pamięci statycznej o dostępie swobodnym /RAM/ i służy do zwiększenia ilości pamięci RAM znajdującej się na pakiecie mikrokomputera S90SBC. Rys. 6 przedstawia schemat blokowy pakietu S90RAM. S90RAM łączy się z pakietem S90SBC przy pomocy szyny danych, szyny adresowej i szyny sterującej, wprowadzając przy tym minimalne ich obciążenie /typowo 1 obciążenie TTL/. Dzięki temu istnieje możliwość przyłączenia dalszych pakietów S90RAM dla powiększenia pamięci - zależnie od konfiguracji systemu i obciążalności zasilacza. PSPD-90 ma jeden pakiet S90RAM, który jest zaadresowany od 1000<sub>H</sub> do 2FFF<sub>H</sub> przy pomocy zworek na płycie. S90RAM jest pamięcią półprzewodnikową zrealizowaną przy pomocy obwodów o organizacji 1024x1 typu 2102A-4 lub odpowiedników o czasie dostępu nie większym niż 450 ns. Dzięki temu pamięć pracuje z maksymalną szybkością mikroprocesora.

W wykonaniach specjalnych pakiet S90RAM może być obsadzony też mniejszą ilością obwodów, dając pojemność od 1 k do 8 kbajtów pamięci co 1 kbajt. Na pakiecie S90RAM znajduje się też miejsce, które umożliwia w wykonaniach specjalnych zainstalowanie pewnej

ilości pamięci typu EPROM /pamięć stała programowana elektrycznie, a wymazywana przy użyciu światła ultrafioletowego/ lub ROM /pamięć stała programowana maskowo/. Układ połączeń umożliwia zainstalowanie od 1 do 4 obwodów 2708 lub 2308 o organizacji 1024x8 albo obwodów 2716 o organizacji 2048x8, a więc pamięci stałej od 1 k do 4 k albo od 2 k do 8 kbajtów.

#### Pakiet kontrolera komunikacyjnego S90ICC

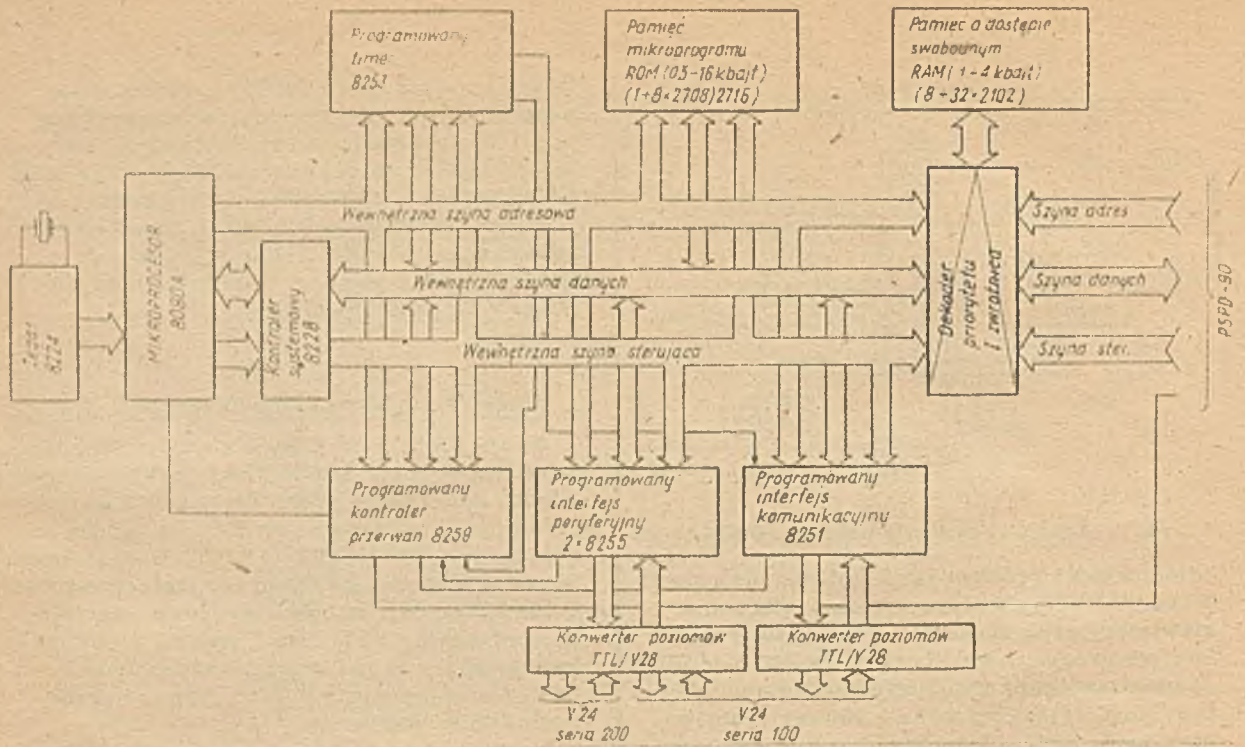
Stacja PSPD-90 w wersji standard wyposażona jest w jeden ośmiobitowy port wejściowy i jeden ośmiobitowy port wyjściowy z konwerterami poziomów napięć z TTL na zgodne z zaleceniem V28 CCITT /+12V/. W oparciu o te porty w wersji standard zorganizowany jest całkowicie programowo szeregowy interfejs komunikacyjny V24 /tzw. "styk S2"/. Jest on zadowalający przy niewygórowanych potrzebach komunikacyjnych. Jego główne ograniczenia to w zasadzie:

- możliwość tylko asynchronicznej pracy /start-stopowej/,
- możliwość pracy tylko półduplexowej /naprzemiennej/,
- maksymalna prędkość transmisji 2400 bodów,
- praca stacji głównie jako urządzenia nadrzędnego,
- praca w podziale czasu z innymi urządzeniami stacji PSPD-90, pracującymi w czasie rzeczywistym, przede wszystkim z pamięcią na dyskach elastycznych.

Zasadniczym ograniczeniem, z którego również wynikają pozostałe, jest ww. ostatnie ograniczenie biorące się z koncepcji elektronicznej całej stacji, a mianowicie obsługa własnych urządzeń peryferyjnych przez mikroprocesor w czasie rzeczywistym /głównie dysków elastycznych/; jest to zresztą podstawą działalności stacji. Obsługa dotychczasowego łącza V24 odbywa się w chwilach, gdy mikroprocesor nie obsługuje swoich urządzeń peryferyjnych i na odwrót. Jak już wspomniano przy niewygórowanych potrzebach komunikacyjnych jest to zadowalające, zwłaszcza że angażuje bardzo niewiele układów, a więc jest bardzo tanie.

Zorganizowanie łącza synchronicznego do komputera R-32 wykorzystującego protokół komunikacyjny BSC lub inne podobne zagadnienia o wygórowanych potrzebach /łącze synchroniczne do mikrokomputera MERA-400 z protokołem BSC/ wykracza znacznie poza możliwości dotychczasowego interfejsu. Przy pracy synchronicznej dane muszą być nadawane lub odbierane w sposób ciągły. To zadanie nie może być wykonywane przez główny mikroprocesor, gdyż w tym czasie nie mógłby wykonywać innych operacji, zwłaszcza na dyskach; musi to być układ samodzielny.





Rys. 7 Schemat blokowy pakietu inteligentnego kontrolera komunikacyjnego S90ICC

Rys. 7 przedstawia schemat blokowy inteligentnego kontrolera komunikacyjnego do stacji PSPD-90, który może podostać nawet bardzo wygórowanym potrzebom komunikacyjnym, zwalniając przy tym całkowicie główny układ stacji od wszystkich szczegółów związanych z komunikacją. Jest to samodzielny układ z własnym mikroprocesorem oparty o obwody wielkiej skali integracji zapowiadane do produkcji w kraju lub KDL. Układ ten ma własną pamięć mikroprogramu /ROM/, a z resztą układów stacji łączy się poprzez wspólny obszar pamięci RAM o podwójnym dostępie oraz poprzez wzajemne przerwania. Koncepcją pracy tego układu jest przesyłanie do i z głównego układu stacji dużych bloków danych odebranych lub danych do wysłania poprzez wspólny obszar pamięci. Szczegółową obróbką transmitowanych znaków oraz czuwaniem nad protokołem komunikacyjnym zajmuje się wyłącznie kontroler komunikacyjny.

Pakiet S90ICC, zaprojektowany w sposób uniwersalny, może również służyć jako samodzielny układ mikroprocesorowy.

#### Wyposażenie dodatkowe PSPD-90

Stacja PSPD-90 może być wyposażona w szereg urządzeń dodatkowych, które były opracowane bądź dla potrzeb własnych, bądź na zamówienie. Do takich urządzeń należą:

- konsola operatorska S90CON /pakiet elektroniczny/ i S90SOL /pulpit/ umożliwiający wykonywanie programu krok po kroku z wyświetlaniem zawartości szyny adresowej i szyny danych w postaci szesnastkowej oraz niektórych sygnałów sterujących, zadawanie adresu punktu przełomowego do przejścia z pracy ciągłej do pracy krokowej lub synchronizacji analizatora stanów logicznych, przeglądanie zawartości pamięci operacyjnej i wpis do tej pa-

mieści, odczyt portów wejściowych, wpis na porty wyjściowe, zerowanie ogólne oraz generację przerwania powołującego programy pomocnicze,

- pakiet S90MTC umożliwiający współpracę PSPD-90 z pamięcią taśmową PT305 poprzez formater FRPT305; współpraca ta jest obsługiwana całkowicie programowo przez PSPD-90, podobnie jak w przypadku pakietu kontrolera dysków S90PDC, tak że pakiet S90MTC zawiera jedynie 4 porty wejściowe, 4 porty wyjściowe, nadajniki i odbiorniki linii oraz pewną niezbędną logikę.

- programator PGM2708 pamięci stałych EPROM typu 2708 w postaci przystawki obsługiwanej programowo przez porty wejściowe i wyjściowe z bogatą częścią edycyjną,

- pakiet dodatkowych wejść/wyjść S90PPI, zawiera cztery obwody programowych wejść wyjść typu 8255 oraz nadajniki i odbiorniki linii na poziomach TTL; w sumie pakiet ten daje 12 programowanych portów wejściowych lub wyjściowych w dwóch grupach,

- pakiet dodatkowych wejść/wyjść S90-IO, oparty o obwód drukowany pakietu S90VIO, zawierający dwie grupy portów, każda po dwa porty wejściowe i dwa porty wyjściowe z odbiornikami i nadajnikami linii na poziomach TTL oraz trzecią grupę linii zawierającą jeden port wyjściowy i jeden port wejściowy z nadajnikami i odbiornikami linii na poziomach V28 /+12V/.

Poza tym w stacji PSPD-90 może być rozbudowana pamięć, poprzez wyposażenie jej w dodatkowe pakiety pamięci RAM typu S90RAM. Na pakietach tych jest również możliwość obciążania pamięci EPROM obwodami typu 2708 lub 2716. Podstawowym ograniczeniem w rozbudowie stacji jest miejsce w kasecie oraz obciążalność zasilacza.



## UNIWERSALNY SYSTEM MIKROPROCESOROWY E8 I JEGO ZASTOSOWANIE W KONTROLERZE PAMIĘCI NA DYSKACH ELASTYCZNYCH O PODWÓJNEJ GĘSTOŚCI ZAPISU

Doświadczenia zdobyte przy projektowaniu pakietów z rodziny S90, tworzących układ mikroprocesorowy stacji danych PSPD-90, coraz szerszy dostęp do obwodów wielkiej skali integracji oraz konieczność opracowania kontrolera pamięci na dyskach elastycznych o podwójnej gęstości zapisu skłoniły do opracowania nowej rodziny pakietów. Rodzinie tej, nazwanej E8, nadano duże cechy uniwersalności z myślą o szeregu nowych wyrobów wymagających sterowania mikroprocesorowego, a zwłaszcza w wyrobach mających zastąpić dotychczasową produkcję w MERA-KFAP. O ile rodzina S90 - z wyjątkiem mikroprocesora i obwodów pamięci - została zrealizowana głównie w oparciu o obwody TTL, rodzina E8 zakłada stosowanie przede wszystkim obwodów MOS wielkiej skali integracji, uwzględniając przy tym realia krajowe. Pozwoliło to wybrać bardzo mały wymiar pakietów i uzyskać dużą modułowość systemu. Przyjęto wymiar pakietu 100x160 mm - tzw. EUROCARD, stosowany przez kraje zachodnie jak i zalecany w nowych opracowaniach SM EMC.

Cechą wspólną rodziny E8 jest oprócz spraw mechanicznych system połączeń pomiędzy pakietami w postaci magistrali przyjętej jako wewnętrzny standard E8BUS. Listę sygnałów oraz zasady współpracy na magistrali opracowano wyciągając wnioski z istniejących magistral, takich jak MULTIBUS firmy INTEL czy E78, proponowany przez niezależną grupę z Wielkiej Brytanii, pod kątem własnych potrzeb. Magistralę E8BUS opracowano z myślą wyłącznie o ośmiobitowych małych i średnich systemach o przestrzeni adresowej do 64 kbajtów przy liczbie linii magistrali ograniczonej do 64, uwzględniając możliwość pracy różnych mikroprocesorów, wieloprocesorowość oraz duże potrzeby szybkich transmisji DMA.

Ponieważ artykuł przeznaczony jest głównie dla projektantów sprzętu, stąd też w dalszej części podaję dość szczegółowy opis dotych-

czas opracowanych pakietów; daje on bowiem najpełniejszą informację o potencjalnych możliwościach systemu. Jak już wspomniano inspiracją i pierwszą aplikacją tego systemu był kontroler pamięci na dyskach elastycznych o podwójnej gęstości zapisu SP802D. Stąd też przedstawić chcę najpierw samą pamięć, rodzaj zagadnienia rozwiązanego przy pomocy układu mikroprocesorowego, a na jej tle - opis zastosowanego układu elektronicznego.

### Pamięć SP802D

Pamięć na dyskach elastycznych SP802D jest przeznaczona do stosowania w systemach minikomputerowych i mikrokomputerowych jako tania pamięć zewnętrzna o dużej pojemności. Przyłączenie do danego mini- czy mikrokomputera dokonuje się poprzez odpowiedni adapter interfejsu, znajdujący się po stronie minikomputera. Ze względu na stosunkowo dużą ilość przesyłanych danych i dużą szybkość transmisji, dla wykorzystania pełnych możliwości SP802D powinno się przyłączać ją w kanale pamięciowym minikomputera. Dzięki temu, że kontroler pamięci SP802D jest układem mikroprocesorowym, wewnętrzny mikroprogram może być łatwo zmieniony dla optymalizacji adaptera interfejsowego. W chwili obecnej mikroprogram odwzorowuje interfejs pamięci SP45DE z niezbędnymi uzupełnieniami.

Nośnikiem informacji w pamięci SP802D są dyski elastyczne jednostronne i dwustronne, o pojedynczej oraz podwójnej gęstości zapisu informacji /IBM Diskette typ 1, 2 oraz 2D/ i o długości rekordu 128 bajtów dla pojedynczej, a 256 bajtów dla podwójnej gęstości zapisu. W zależności od typu dysku pojemność pamięci wynosi odpowiednio od 4 Mbitów do 16 Mbitów z czasem dostępu poniżej 200 ms. Pamięć SP802D składa się z dwóch jednostek pamięci na dyskach elastycznych o podwójnej gęstości zapisu i podwójnej stronie typu FD802D, kontrolera i zasilacza.



Jednostka pamięci FD802D jest całkowicie nowym, własnym opracowaniem OBR MERA-KFAP. Jej konstrukcja jest zasadniczo zmieniona w porównaniu z dotychczas produkowaną przez MERA-KFAP jednostką pamięci PLx451D, zarówno pod względem wymiarów, napędu, pozycjonera, głowie jak i układu elektronicznego. Uwzględniono tu wszystkie najnowsze tendencje w tej dziedzinie i uzyskano wymienną mechaniczną i elektryczną jednostki FD802D z jednostkami produkowanymi obecnie przez produjące firmy. Jednostka pamięci FD802D jest mechanizmem dokonującym bezpośrednio operacji na dysku. Zawiera ona niezbędny układ elektroniczny obejmujący między innymi wzmacniacze odczytu, wzmacniacze zapisu, wzmacniacze do sterowania mechanizmami i obwody detekcji warunków pracy dysku. Interfejs jednostki pamięci FD802D, zgodny z wielkością współczesnych jednostek pamięci produkujących firm, posiada sygnały na bardzo niskim poziomie organizacyjnym; dane są przesyłane synchronicznie w postaci szeregowej w obrazie takim, jak następują przemagnesowania na dysku. Kontroler steruje pracą wszystkich mechanizmów i dokonuje obróbki informacji do poziomu takiego, jakiego oczekuje się od pamięci: minikomputer podaje rozkaz, dane i adres, gdzie te dane umieścić lub skąd je pobrać, nie interesując się żadnymi szczegółami dotyczącymi metody zapisu. Kontroler buforuje informację, w związku z czym może dokonywać bardzo szybkich asynchronicznych transmisji danych do i z minikomputera z szybkością do 500 kbajtów na sekundę.

Pamięć SP802D składa się z dwóch jednostek pamięci /mechanizmów/ na dyskach elastycznych o podwójnej gęstości zapisu i podwójnej stronie typu FD802D, kontrolera pamięci i zasilaczy. Kontroler ten może współpracować również z innymi jednostkami pamięci o podwójnej gęstości zapisu i o standardowym interfejsie, takimi jak np. MAYFLOWER MFE 701, SHUGART SA851 czy Y-E DATA YD-174. Kontroler łączy się z jednej strony z mini- lub mikrokomputerem poprzez odpowiedni adapter interfejsowy, a z drugiej z jednostkami pamięci. Typ adaptera interfejsowego jak i w niektórych przypadkach również mikroprogram wewnętrzny kontrolera jest ściśle związany z typem minikomputera. W chwili obecnej mikroprogram odwzorowuje możliwie wiernie - z niezbędnymi uzupełnieniami - interfejs pamięci SP45DE produkcji MERA-KFAP.

Kontroler jest układem mikroprocesorowym o bardzo dużej uniwersalności i możliwości rozbudowy, tzn. jest to układ o architekturze mikrokomputera dedykowanego. "Dedykacja" ta polega na stałym mikroprogramie "zaszytym" na stałe w pamięci typu ROM, realizującym obecnie interfejs typu SP45DE. Układ oparty jest o mikroprocesor typu 8080A

oraz na innych obwodach wielkiej skali integracji. Jest on rozmieszczony fizycznie na czterech pakietach o wymiarach 100x160 mm /tzw. EUROCARD/ realizujących następujące funkcje:

E8CPU - jednostka centralna wraz z kontrolerem bezpośredniego dostępu do pamięci i kontrolerem przerwań.

E8MEM - pamięć stała ROM /od 512 bajtów do 16 kbajtów/ i pamięć o dostępie swobodnym RAM /od 1 do 4 kbajtów/.

E8PPI - programowane wejścia/wyjścia /56 linii/.

E8FDC - kontroler/formater jednostek pamięci na dyskach elastycznych o podwójnej gęstości zapisu.

Pakiety łączą się ze sobą przy pomocy magistrali E8BUS. Wymiar pakietów zgodny z przygotowywaną normą SM EMC oraz normą DIN 3HE decyduje o bardzo małych wymiarach i ciężarze całego kontrolera, a obwody wielkiej skali integracji MOS decydują o małym poborze prądu układu i jego dużej niezawodności.

#### Pakiet jednostki centralnej E8CPU

Pakiet E8 CPU zawiera jednostkę centralną zbudowaną wokół mikroprocesora 8080A oraz obwodów towarzyszących 8224 /zegar/ i 8228 /kontroler systemowy/, kontroler bezpośredniego dostępu do pamięci oparty o obwód 8257 i 8212 oraz kontroler przerwań 8259. Schemat blokowy pakietu E8CPU ilustruje rys. 1.

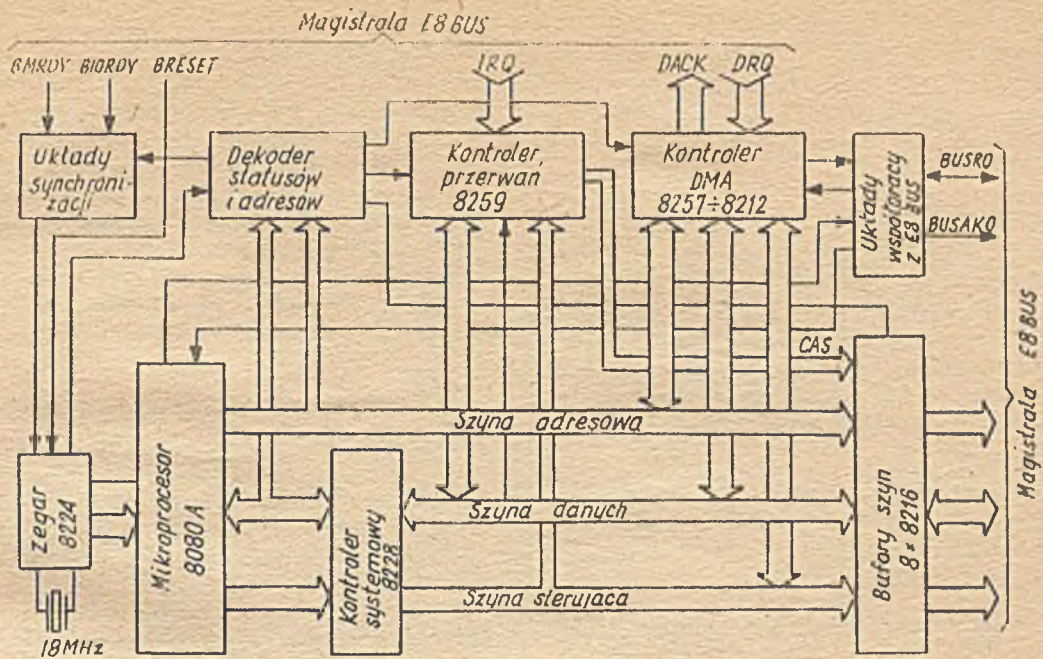
Oscylator układu zegarowego 8224 pracuje z rezonatorem kwarcowym 18 MHz i stąd też podstawowa częstotliwość pracy mikroprocesora wynosi 2 MHz, tj. czas cyklu wynosi 500 ns. Częstotliwość oscylatora może być wprowadzona na złącze /w miejscu sygnału  $\overline{NM1}$ / jako sygnał  $\overline{OSC}$  o częstotliwości 18 MHz. Oprócz tego na złącze dostępna jest faza  $\phi 2$  zegara jako sygnału  $\overline{BCLK}$  o częstotliwości 2 MHz. Układ 8224 generuje sygnał zerowania od włączenia zasilania, który jest podawany na dwukierunkową linię zerowania ogólnego  $\overline{BRESET}$  i dalej do mikroprocesora. Na linii  $\overline{BRESET}$  sumowane są wszystkie źródła zerowania układu. Układ 8224 synchronizuje ponadto sygnał gotowości dla mikroprocesora. Sygnały gotowości pochodzą z linii  $\overline{BIORDY}$  /odpowiedź wejść/wyjść/, z linii  $\overline{BMRDY}$  /odpowiedź pamięci/ lub układów lokalnych pakietu E8CPU. Jednostka centralna /8080A+8224+8228/ jest uzupełniona dodatkowo dekodern statusów służącym do generowania niektórych sygnałów sterujących.

Obwody 8257 i 8212 stanowią kompletny czterokanałowy kontroler bezpośredniego dostępu do pamięci /DMA/. Adresy portów kontrolera 8257 są przypisane na stałe i są następujące /szesnastkowo/:

F0 - adres startowy w kanale  $\phi$ ,

F1 - długość transmisji w kanale  $\phi$ ,





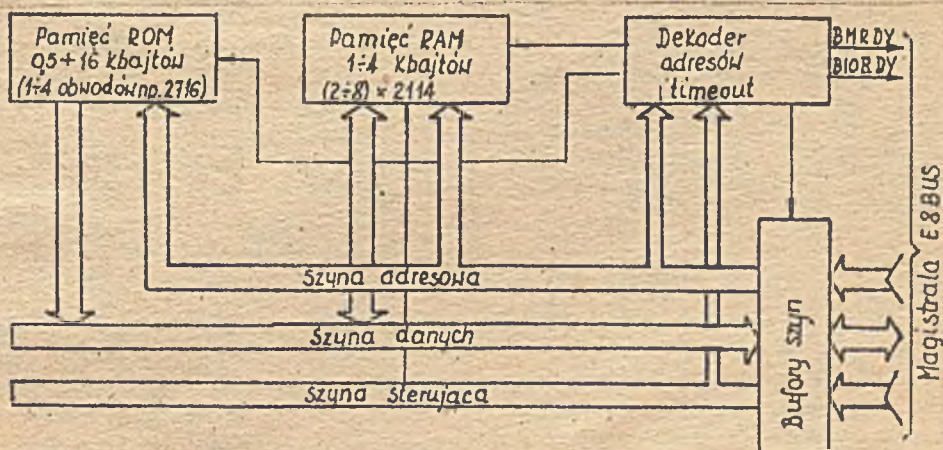
Rys. 1. Schemat blokowy pakietu jednostki centralnej E8CPU

- F2 - adres startowy w kanale 1,
- F3 - długość transmisji w kanale 1,
- F4 - adres startowy w kanale 2,
- F5 - długość transmisji w kanale 2,
- F6 - adres startowy w kanale 3,
- F7 - długość transmisji w kanale 3,
- F8 - rodzaj pracy /zapisa/ lub status /odczyt/.

Układ przystosowany jest do zewnętrznej szeregowej rozbudowy ilości kanałów DMA poprzez połączenia typu "daisy chain". W niektórych zastosowaniach pakietu E8 CPU nie wymagających DMA można nie montować obwodów 8257 i 8212. Sygnał końca transmisji TC z 8257 może być wyprowadzony na złącze /w miejsce BUSAKI/. Pakiet E8CPU wyposażony jest w programowany ośmiopozłomowy kontroler przerwań zbudowany w oparciu o obwód 8259. Obwód ten ma również przyporządkowane na stałe adresy w sposób następujący:

- FC - rejestr zgłoszeń, rejestr przerwań obsługiwanych, rejestr rozkazów i rejestr statusów,
- FD - rejestr maski przerwań, rejestr adresu bloku.

Obwód 8259 pozwala na równoległą zewnętrzną rozbudowę poziomów przerwań. Wtedy obwód 8259 na pakiecie E8CPU staje się kontrolerem nadrzędnym /master/, a zewnętrzne /maks.7/ kontrolerami podrzędnymi /slave/. Adres kontrolera podrzędnego jest przesyłany po szynie adresowej. Nie jest jedynie dozwolony kontroler podrzędny o adresie CAS=000. W niektórych zastosowaniach pakietu E8CPU nie wymagających zastosowania przerwań /1/ lub wymagających tylko jednego przerwań /2/ można nie montować obwodu 8259. W pierwszym przypadku istnieje nadal możliwość zastosowania zewnętrznego kontrolera przerwań, w drugim przypadku przerwanie RST7



Rys. 2. Schemat blokowy pakietu pamięci E8MEM



generuje obwód 8228. Wszystkie linie wychodzące z pakietu E8CPU są buforowane, szyna danych, adresowa i sterująca przy użyciu obwodów 8216, pozostałe przy pomocy obwodów 7438, 7437 bądź 7407. Wejściami linii są układy TTL.

### Pakiet pamięci E8MEM

Pakiet pamięci E8MEM zawiera pamięć stałą typu ROM, PROM lub EPROM oraz pamięć o dostępie swobodnym RAM. W zależności od ilości i rodzaju obwodów pakiet E8MEM może zawierać od 512 bajtów do 16 kbajtów pamięci stałej i od 1 do 4 kbajtów pamięci o dostępie swobodnym. Schemat blokowy pakietu przedstawia rys. 2.

Pakiet pamięci E8MEM dopuszcza stosowanie następujących obwodów pamięci stałej / oznaczenia wg firmy INTEL z podaniem typu i pojemności /:

3624A, 3624A-2, 3624, 3624-4	- PROM 512x8
TM624 /TUNGSRAM, WR1/	- PROM 512x8
2704	- EPROM 512x8
3628, 3628-4	- PROM 1024x8
2708	- EPROM 1024x8
2308	- ROM 1024x8
2758	- EPROM 1024x8
2716	- EPROM 2048x8
2316E	- ROM 2048x8
2732	- EPROM 4096x8

Typ obwodu, rodzaj pracy i sposób adresowania pamięci stałej definiowany jest przy pomocy zworek. Również przy pomocy zworek ustala się adres pamięci ROM jak i RAM. Pamięć RAM oparta jest o obwody 2114 o organizacji 1024x4 w ilości od 2 do 8. Wszystkie sygnały wejściowe i wyjściowe są buforowane /obwody 8216 i inne, obwody TTL/.

Do układów dodatkowych należy podwójny uniwersalny generator 74123. Służy on do generowania odstępów czasu na oczekiwanie na odpowiedź przez mikroprocesor /tzw. timeout, 75 ms/

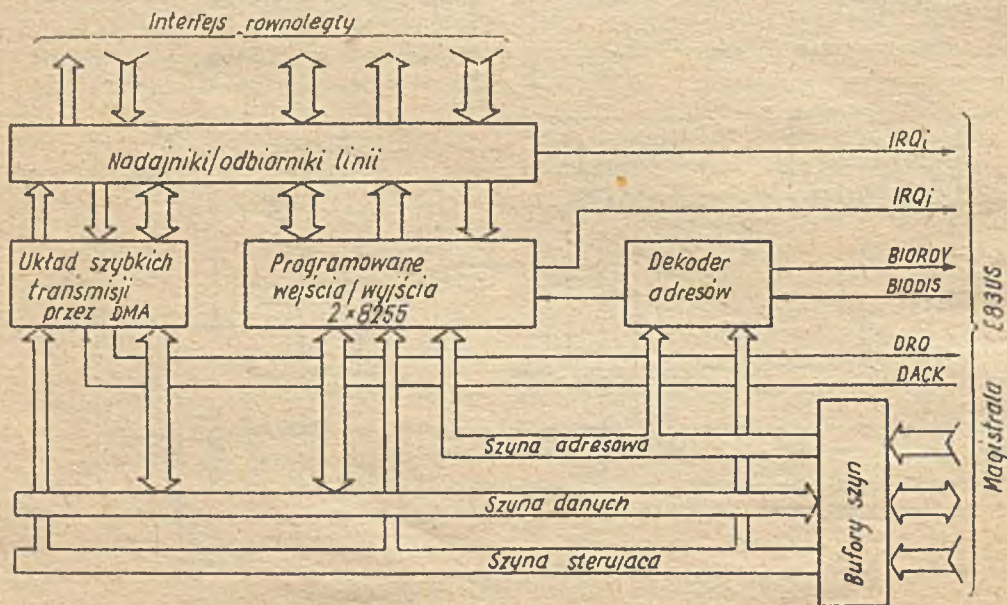
oraz do ewentualnego programowania obwodów EPROM typu 2716 lub 2758 bez wyjmowania ich z pakietu /50 ms/. Pakiet posiada własny regulator napięcia -5V uzyskiwanego z -12V potrzebnego wyłącznie dla obwodów 2703 lub 2704. Pakiet pozwala też na zasilanie pamięci RAM z oddzielnego zasilacza +5V /np. z akumulatora/. W zestawie SP802D pakiet E8MEM obsadzony jest w 1 kbajt pamięci EPROM /w modelu typu 2708, docelowo PROM typu TM 624/ pod adresami 0000<sub>H</sub>-03FF<sub>H</sub> oraz 1 kbajt pamięci RAM pod adresami 2C00<sub>H</sub>-2FFF<sub>H</sub>.

### Pakiet programowanych wejść-wyjść E8PPI

Pakiet E8PPI jest uniwersalnym pakietem interfejsowym zawierającym 48 programowanych i 9 nieprogramowanych wejść-wyjść. Programowane wejścia-wyjścia zbudowane są w oparciu o dwa obwody 8255. Układy te są uzupełnione o obwody umożliwiające bardzo szybkie transmisje na zewnątrz przy wykorzystaniu kontrolera bezpośredniego dostępu do pamięci z pakietu E8CPU /8 linii sterujących transmisjami i pomocniczych/.

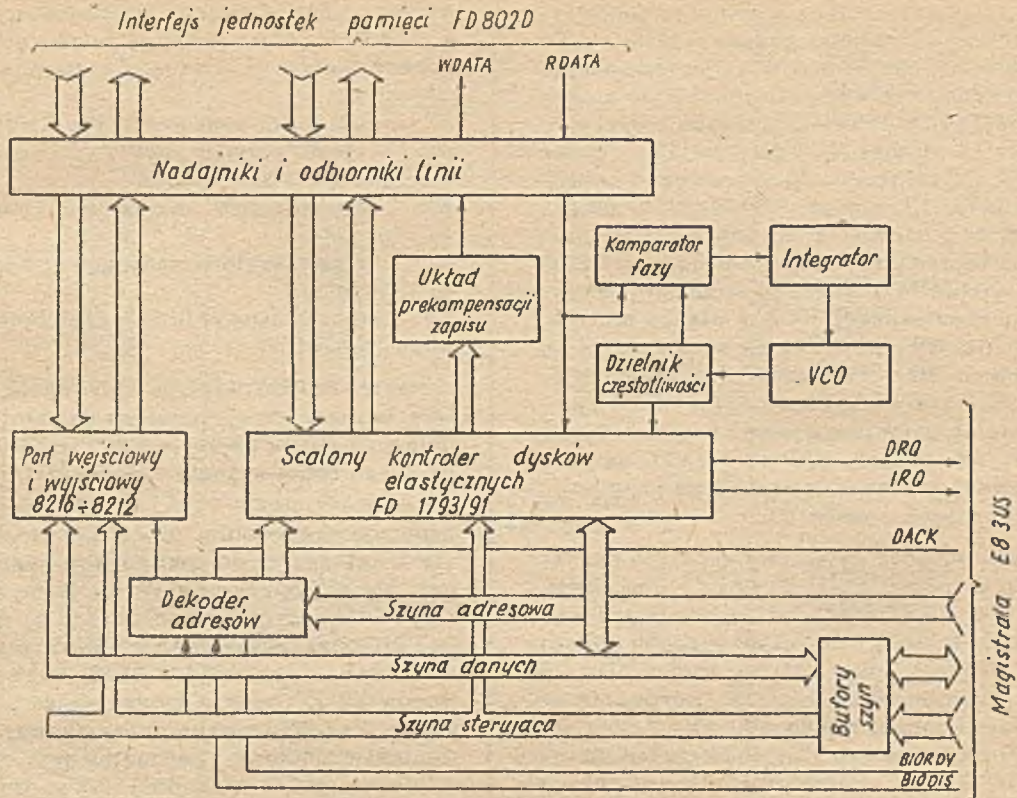
Linie dwukierunkowe wychodzące na zewnątrz /interfejs/ są buforowane przy pomocy obwodów 8226 i terminowane przy pomocy oporników 150 Ω podwieszonych do +3,5V /tylko port PA obwodu 8255 #1/. Pozostałe linie nieprogramowane w zależności od konfiguracji mogą być wyposażone albo w przypadku wyjść w nadajniki /standardowo 7438 ewentualnie 7437, 7400, 7403, 7408, 7409, 7426/ albo w przypadku wejść w terminatory /standardowo 150 Ω, ewentualnie 1 kΩ, do +3,5V/. Nadajniki lub terminatory umieszcza się w podstawkach.

Adres obwodów 8255 ustala się przy pomocy zworek. Również przy pomocy zworek można podłączyć ewentualne źródła przerwań do odpowiednich linii zgłoszeń przerwań IRQ0-IRQ7. Schemat blokowy pakietu E8PPI ilustruje rys. 3.



Rys. 3. Schemat blokowy pakietu wejść/wyjść E8PPI





Rys. 4. Schemat blokowy pakietu kontrolera dysków E8FDC

Przy pracy w zestawie SP802D adresy zadane są w sposób następujący /szesnastkowo /:

E0 - port PA	obwodu 8255 #1,
E1 - port PB	" "
E2 - port PC	" "
E3 - port sterujący	" "
E4 - port PA	obwodu 8255 #2,
E5 - port PB	" "
E6 - port PC	" "
E7 - port sterujący	" "

Port PA obwodu 8255 1 może pracować w trybie 0, 1 i 2 /MODE 0, 1 i 2/. Jest on zrównoleglony przez obwody 8226 przekazujące bezpośrednio dane z szyny danych magistrali E8BUS w czasie bardzo szybkich transmisji prowadzonych z użyciem bezpośredniego dostępu do pamięci, a z ominięciem obwodu 8255 #1. W zestawie SP802D do tego wykorzystywany jest kanał I kontrolera DMA na pakiecie E8CPU i sygnały żądania DMA oraz potwierdzenia udzielenia DMA.

Port PB obwodu 8255 #1 może pracować w trybie 0 lub 1, a port C generuje sygnały sterujące dla portów PA i PB pracujących w trybie 1 lub 2, ewentualnie port PC pracuje w trybie 0. Porty PA, PB i PC obwodu 8255 #2 przeznaczone są zasadniczo do pracy w trybie 0. Inne tryby pracy również możliwe, ale wtedy należy przepiąć zworki na wyjściu portu PC odpowiednio do definicji sygnałów sterujących. W zestawie SP802D odwzorowującym interfejs SP45DE w obwodzie 8255 #1 port PA i port PB pracuje jako

wyjście w trybie 0, port PC jako wejście w trybie 0 /słowo sterujące 89<sub>H</sub>/. W obwodzie 8255 #2 porty PA, PB i PC pracują jako wejścia w trybie 0 /słowo sterujące 9B<sub>H</sub>/.

#### Pakiet kontrolera pamięci na dyskach elastycznych E8FDC

Pakiet E8FDC jest kontrolerem-formatorem jednostek pamięci na dyskach elastycznych o pojedynczej i podwójnej gęstości zapisu informacji oraz o pojedynczej i podwójnej stronie zapisu. Zasadniczym elementem tego pakietu jest scalony kontroler-formater jednostek pamięci na dyskach elastycznych o pojedynczej i podwójnej gęstości zapisu FD1791 lub FD1793 firmy Western Digital, USA. Oprócz tego na pakiecie znajduje się analogowy układ synchronizacji odczytu pracujący z zamkniętą pętlą sprzężenia fazy /PLL/, układ prekompensacji zapisu, jeden dodatkowy port wejściowy i jeden port wyjściowy do sterowania sygnałami nie generowanymi przez układ FD1791, dekodery adresów oraz bufor.

Przy odczycie informacji z dysków układ FD1791/93 otrzymuje na wejście RAW READ ciąg impulsów odczytanych z dysków. Ten sam ciąg impulsów steruje pracą oscylatora VCO /oscylator o częstotliwości sterowanej napięciem/ w następujący sposób: ciąg impulsów wejściowych porównywany jest z częstotliwością oscylatora VCO w dekodzie fazy; sygnał wyjściowy z dekodera fazy jest całko-



wany przez wzmacniacz operacyjny  $\mu A$  741, którego wyjście z kolei podane jest na wejście sterujące oscylatora VCO, doprowadzając do synchronizacji częstotliwości VCO z częstotliwością impulsów odczytanych z dysku. Wyjście oscylatora VCO po przejściu przez dzielnik częstotliwości jest podawane na wejście READ CLK obwodu FD1791/93 i służy do separacji danych. Przy zapisie ciąg impulsów do zapisu pochodzący z wyjścia WRITE DATA układu FD1791/93 przechodzi przez układ prekompensacji, który włącza lub nie opóźnienie 120 ns lub 240 ns w zależności od sygnałów EARLY /wczesny/, LATE/późny/, TG43 /ścieżka większa niż 43/ i DDEN /zezwolenie na podwójną gęstość zapisu/ układu FD1791/93. Sygnały EARLY i LATE są normalizowane do czasu trwania 1  $\mu s$  przy pomocy uniwbatorów 74123.

Dodatkowy port wyjściowy generuje sygnały selekcji jednostki SEL1 do SEL4, umożliwiające wybór do czterech lub do ośmiu jednostek pamięci /w zależności od sposobu adresowania/, sygnał wyboru strony dysku SIDE, blokadę drzwiczek IN USE/LOCK, zerowania sygnału błędu zapisu z jednostki FRES oraz sygnału DDEN określający gęstość zapisu dla układu FD1791/93 i układu PLL. Dodatkowy port wejściowy umożliwia natomist odczytanie sygnałów 2SIDED /dysk dwustronny/, CHANGE /zmiana dysku/ i sygnału dodatkowego ALTI $\bar{N}$  z jednostki dyskowej oraz stanu sygnału zgłoszenia przerwania INTRQ pochodzącego z obwodu FD1791/93.

Sygnały z jednostki dyskowej READY /gotowość wybranej jednostki/, FAULT /błąd zapisu/, TR $\bar{00}$  /ścieżka  $\bar{00}$ /, INDEX /sygnał indeksowy/ i PROTECT /ochrona zapisu/ wchodzi bezpośrednio na obwód FD1791/93, natomiast bezpośrednio z niego wychodzą sygnały WGATE /bramka zapisu/, TG43 /ścieżka większa niż 43/, LOAD /dotyk głowicy/, DIRECT /kierunek/ i STEP /krok/. Ten ostatni jest jedynie normalizowany do czasu trwania 20  $\mu s$  poprzez uniwbator 74123. Drogą uniwbator z tego samego obwodu jest pobudzany przez sygnał LOAD /HLD/ i odmierza maksymalny czas dotyku głowicy /40 ms; wejście HLT obwodu FD1791/93/.

Częstotliwością odniesienia jest sygnał BCLK o częstotliwości 2 MHz pochodzący z pakietu E8CPU. Częstotliwość ta podawana jest wprost na obwód FD1791/93 jako zegar CLK. Pakiet E8FDC przewiduje również w przypadku samodzielnego wykorzystania go lub innej częstotliwości BCLK do zainstalowania własnego oscylatora kwarcowego z rezonatorem 2, 4 lub 8 MHz. Pakiet może też sterować minidyskami elastycznymi /5, 25 cala/, co wymaga dwukrotnego obniżenia częstotliwości odniesienia i częstotliwości VCO.

Adres obwodu FD1791/93 oraz dodatkowego portu wejściowego i wyjściowego jest zadawa-

ny przy pomocy zworek i dekodowany przez obwód 7485. Przy pracy w zestawie SP802D adresy zadane są w sposób następujący /szesnastkowo/:

E8 - dodatkowy port wejściowy i wyjściowy,  
 EC - rejestr statusu /odczyt/ i rozkazu/zapis/ obwodu FD1791/93  
 ED - rejestr ścieżki aktualnej obwodu FD1791/93,  
 EE - rejestr sektora żądanego obwodu FD1791/93,  
 EF - rejestr danych lub ścieżki żądanej obwodu FD1791/93.

Pakiet E8FDC wymaga stosowania kontrolera bezpośredniego dostępu do pamięci /znajdującego się na pakiecie E8CPU - kanał  $\bar{0}$ /, do czego służą sygnały żądania DMA i potwlerdzenia udzielenia DMA. Obwód FD1791/93 generuje przerwanie, które można używać lub nie w zależności od konfiguracji systemu. Podaje się go poprzez zworki na jedną z linii IRQ $\bar{0}$ -IRQ7. Sygnały wychodzące na magistralę E8BUS są buforowane w sposób standardowy przy pomocy układów 8216, 8226 oraz obwodów TTL. Sygnały wyjściowe do jednostek pamięci są buforowane przez obwody 7438, natomiast wejściowe z jednostek pamięci są terminowane przez oporniki 150  $\Omega$  podwieszane do +5V /ewentualnie do +3,5V/. Interfejs jednostek pamięci jest zgodny z nieoficjalnym standardem współczesnych jednostek pamięci na dyskach elastycznych większości liczących się firm. Jest on także zgodny z przygotowywanymi normami SM EMC.

#### Magistrala E8BUS

Połączenia pomiędzy pakietami dokonują się poprzez magistralę E8BUS, przyjętą w niniejszym opracowaniu jako standard i stanowiącą definicję "systemu E8". Listę sygnałów magistrali E8BUS przedstawiono w tabeli 1.

W tabeli tej sygnały indywidualne na pozycjach od a26 do b29 odnoszą się wyłącznie do pakietu E8CPU. Inne pakiety na pozycjach od a26 do b29 mają własne sygnały indywidualne.

Znaczenie poszczególnych sygnałów jest następujące:

BA $\bar{0}$ -BA $\bar{15}$  - szyna adresowa; 16 linii adresujących lokację pamięci lub port wejściowy czy wyjściowy, a także przesyłających adres podrzędnego kontrolera przerwania  
 BD $\bar{0}$ -BD $\bar{7}$  - szyna danych; 8 linii przesyłających dane do lub z pamięci, portu wejściowego, wyjściowego lub kontrolera przerwania  
 BMEMR - rozkaz odczytu z pamięci  
 BMEMW - rozkaz zapisu do pamięci  
 BI/OR - rozkaz odczytu portu wejściowego  
 BI/OW - rozkaz zapisu portu wyjściowego  
 BCLK - zegar służący głównie do synchronizacji arbitrażu dostępu do magistrali oraz ewentualnie jako wzorzec częstotliwości



	a	b	Rodzaj sygnałów	Połączenie między pakietami
1	GND	GND	masa	równoległe
2	$\overline{\text{NMI}}$	$\overline{\text{BINTA}}$	sterujące	równoległe
3	$\overline{\text{BUSAKI}}$	$\overline{\text{BUSAKO}}$		szeregowo typu "daisy"
4	$\overline{\text{BCLK}}$	$\overline{\text{BUSRQ}}$		równoległe
5	$\overline{\text{BSYN}}$	$\overline{\text{BIODIS}}$		równoległe
6	$\overline{\text{BSTEP}}$	$\overline{\text{BRESET}}$		równoległe
7	$\overline{\text{BMRDY}}$	$\overline{\text{BIORDY}}$		równoległe
8	$\text{BA}_0$	$\text{BA}_1$		szyna adresowa
9	$\text{BA}_2$	$\text{BA}_3$	równoległe	
10	$\text{BA}_4$	$\text{BA}_5$	równoległe	
11	$\text{BA}_6$	$\text{BA}_7$	równoległe	
12	$\text{BA}_8$	$\text{BA}_9$	równoległe	
13	$\text{BA}_{10}$	$\text{BA}_{11}$	równoległe	
14	$\text{BA}_{12}$	$\text{BA}_{13}$	równoległe	
15	$\text{BA}_{14}$	$\text{BA}_{15}$	równoległe	
16	$\text{BD}_0$	$\text{BD}_1$	szyna danych	równoległe
17	$\text{BD}_2$	$\text{BD}_3$		równoległe
18	$\text{BD}_4$	$\text{BD}_5$		równoległe
19	$\text{BD}_6$	$\text{BD}_7$		równoległe
20	$\overline{\text{BMEMR}}$	$\overline{\text{BMEMV}}$	szyna sterująca	równoległe
21	$\overline{\text{BI/OR}}$	$\overline{\text{BI/OW}}$		równoległe
22	$\overline{\text{IRQ0}}$	$\overline{\text{IRQ1}}$	szyna sterująca	równoległe
23	$\overline{\text{IRQ2}}$	$\overline{\text{IRQ3}}$		równoległe
24	$\overline{\text{IRQ4}}$	$\overline{\text{IRQ5}}$		równoległe
25	$\overline{\text{IRQ6}}$	$\overline{\text{IRQ7}}$		równoległe
26	$\overline{\text{DRQ0}}$	$\overline{\text{DRQ1}}$	indywidualne dla EBCPU sygnały DMA/	indywidualne
27	$\overline{\text{DRQ2}}$	$\overline{\text{DRQ3}}$		indywidualne
28	$\overline{\text{DACK0}}$	$\overline{\text{DACK1}}$		indywidualne
29	$\overline{\text{DACK2}}$	$\overline{\text{DACK3}}$		indywidualne
30	GND	GND	masa zasilanie	równoległe
31	+5V	+5V		równoległe
32	+12V	-12V		równoległe

$\overline{\text{BUSRQ}}$  - żądanie dostępu do magistrali; żądania podawane są synchronicznie ze zboczem narastającym  $\overline{\text{BCLK}}$ , o ile linia ta jest w stanie wysokim /oznaczającym, że magistrala jest wolna lub używana przez procesor o najniższym priorytecie/  
 $\overline{\text{BUSAKO}}$  - potwierdzenie udzielenia dostępu do magistrali - wyjście  
 $\overline{\text{BUSAKI}}$  - potwierdzenie udzielenia dostępu do magistrali - wejście; sygnały  $\overline{\text{BUSAKI}}$ / $\overline{\text{BUSAKO}}$  tworzą połączenie szeregowo typu "daisy chain" wszystkich pozycji pakietów na magistrali i potwierdzenie przekaźnika jest dalej, o ile dana pozycja nie żądała dostępu do magistrali; jest ono synchronizowane ze zboczem narastającym  $\overline{\text{BCLK}}$

$\overline{\text{BRESET}}$  - sygnał zerowania ogólnego

$\overline{\text{BSYN}}$  - sygnał oznaczający początek cyklu maszynowego, lub ew. pierwszy cykl maszyno-

wy, stan HALT albo też sygnał do odświeżania pamięci dynamicznych RAM /do wyboru/  
 $\overline{\text{BIODIS}}$  - sygnał do znieczulania portów wejściowych i wyjściowych; stan niski oznacza, że na szynie adresowej znajduje się adres dotyczący pamięci  
 $\overline{\text{BSTEP}}$  - sygnał wymuszający pracę krokową głównego procesora  
 $\overline{\text{BMRDY}}$  - odpowiedź /gotowość/ pamięci  
 $\overline{\text{BIORDY}}$  - odpowiedź /gotowość/ portów wejściowych lub wyjściowych  
 $\overline{\text{IRQ0}}-\overline{\text{IRQ7}}$  - żądanie przerwania /8 poziomów/  
 $\overline{\text{NMI}}$  - niemaskowalne przerwanie o najwyższym priorytecie  
 $\overline{\text{BINTA}}$  - potwierdzenie obsługi przerwania.

Szyna adresowa i danych posiada logikę dodatnią, chociaż możliwa jest łatwa zamiana na logikę ujemną. Wszystkie pozostałe sygnały mają stan aktywny niski.



## MIKROPROCESOROWY BLOK STEROWANIA SILNIKIEM PRĄDU STAŁEGO

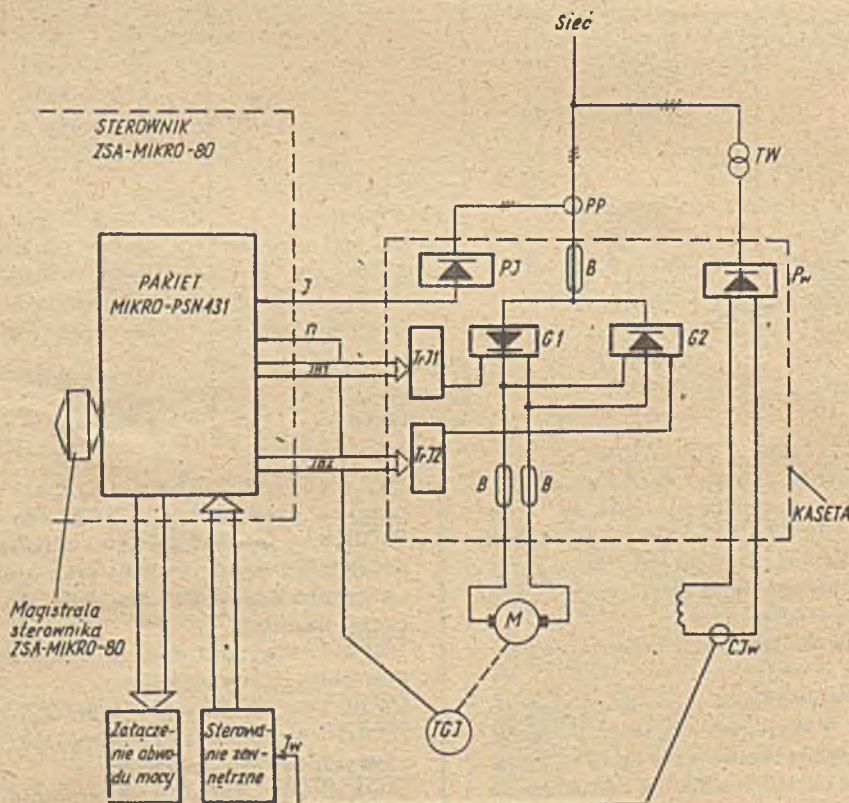
Silnik bocznikowy prądu stałego mimo swej stosunkowo wysokiej ceny, znajduje nadal zastosowanie tam, gdzie wymaga się:

- szerokiego zakresu regulacji prędkości obrotowej,
- dokładnej stabilizacji zadanej prędkości obrotowej.

Możliwości regulacyjne napędów prądu stałego zwiększyły się dzięki rozwinięciu produk-

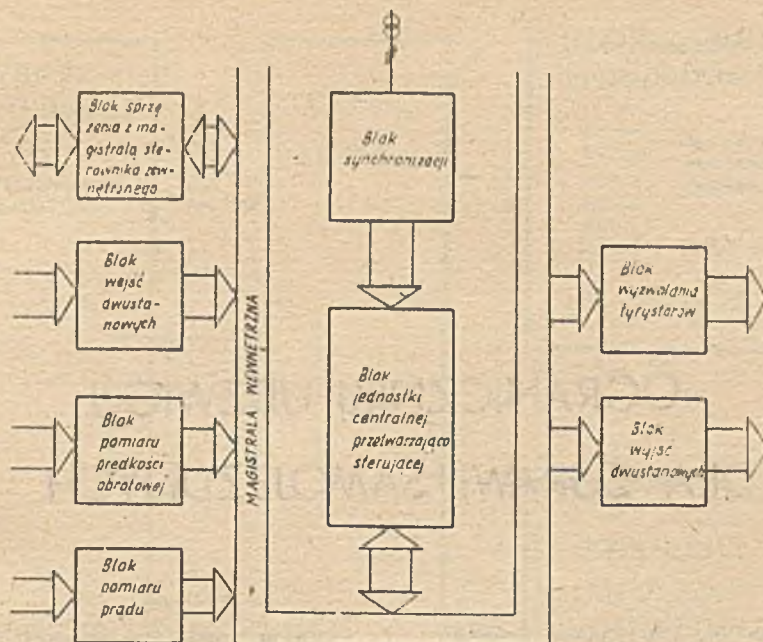
cji tyristorów oraz podzespołów elektronicznych niezbędnych do konstrukcji regulatorów.

Blok sterowania napędem /BSN/ jest sześciopulsowym, dwukierunkowym, pracującym bez prądów wyrównawczych, tyristorowym układem napędowym prądu stałego, umożliwiającym płynną regulację prędkości obrotowej silnika w zakresie od  $-n_{zn}$  do  $+n_{zn}$ .



Rys. 1. Ogólny schemat napędu: J-prąd; PP-przekładniki prądowe; PJ-prostownik przetwornika prądu; B-bezpiecznik; Tw-transformator wzbudzenia; Pw-prostownik wzbudzenia Jw-prąd wzbudzenia; CJw-czujnik prądu wzbudzenia; JB1, JB2-impulsy bramkowe; TrJ1, TrJ2-transformatory impulsowe; G1, G2-grupy przekształtnikowe; TCJ-przetwornik obrotowo-impulsowy; n-prędkość obrotowa.





Rys. 2. Schemat blokowy pakietu MIKRO-PSN 431.

Jest on funkcjonalnym modułem sterownika mikroprocesorowego ZSA - MIKRO-80.

Składa się z /rys. 1/:

- pakietu sterowania napędem MIKRO - PSN 431,
- kasety z przekształtnikiem tyrystorowym oraz bezpiecznikami, transformatorami bramkowymi, prostownikiem wzbudzenia, prostownikiem czujnika prądu,
- elementów BSN montowanych w szafie sterowniczej urządzenia napędzanego jak: stycznik główny napędu, transformator wzbudzenia, dławiki sieciowe, przekładniki prądowe, układy tłumiące.

Pakiet MIKRO-PSN 431 jest podstawowym elementem BSN wykonującym funkcje sterowania napędem w układzie DDC. Jest to mikroprocesorowy układ sterowania, który w sposób programowy spełnia funkcje:

- synchronizacji z siecią energetyczną i wyzwalania tyrystorów,
- cyfrowego pomiaru i regulacji prędkości obrotowej,
- cyfrowego pomiaru /poprzez przetwornik A/C/ i regulacji prądu;
- sprzężenia z magistralą sterownika pozwalającą na komunikowanie się BSN ze sterownikiem nadrzędnym w celu transmisji niezbędnych informacji np. podanie wartości prędkości obrotowej, prądu, informacji o awarii itp.
- sprzężenia z zewnętrznymi elementami dwustanowymi pozwalającymi na ręczne sterowanie napędem.

Schemat blokowy pakietu ilustruje rys. 2. Cyfrowy układ regulacji realizowany programowo zbudowany jest z dwóch szeregowo połączonych regulatorów PI prędkości i prądu. Umożliwia on łagodne rozruchy oraz hamowanie generatorowe.

Zadanie prędkości obrotowej może odbywać się:

- poprzez sterownik nadrzędny ZSA-MIKRO-80,
- ręcznie poprzez zewnętrzne zadajniki dwustanowe.

Blok sterowania napędem może pracować samodzielnie po zapewnieniu odpowiedniego zasilania.

Wszelkie funkcje regulacyjne, nastawy regulatorów mogą być modyfikowane poprzez zmianę programu. Program ma strukturę blokową. Składa się z:

- programu inicjującego /ustawia warunki początkowe, programuje programowalne elementy LSI/,
- programu zarządzającego /kontroluje pracę układu w zależności od sygnałów zewnętrznych/,
- programu regulatora prądu,
- programu regulatora prędkości,
- programów synchronizacji,
- programu dla komunikacji ze sterownikiem nadrzędnym,
- programu zatrzymania awaryjnego napędu.

Poszczególne programy wywoływane są sygnałami zewnętrznymi poprzez system przerwań.

Mikroprocesorowy układ sterowania napędem, współpracujący ze sterownikiem nadrzędnym umożliwia realizację optymalnych algorytmów pracy napędu /np. ze względu na czas lub przyspieszenie/ dowolne realizowanie charakterystyk rozruchowych /np. liniowych, parabolicznych/, realizowanie algorytmów adaptacyjnych. BSN stosowany może być w zautomatyzowanych napędach obrablarokowych, napędzie jazdy układarek magazynowych oraz wszędzie tam, gdzie proces technologiczny wymaga własności regulacyjnych, jakie posiada silnik bocznikowy prądu stałego.



## OGRANICZNIKI UDŹWIGU DLA ŻURAWI SAMOJEZDNYCH

Współczesne maszyny budowlane, w związku z wysokim stopniem ich skomplikowania, oraz potrzebą efektywnego ich wykorzystania, a ponadto dla zapewnienia bezpieczeństwa pracy załodze i otoczeniu, w którym pracują, oraz dla zabezpieczenia ich samych przed uszkodzeniem czy zniszczeniem wymagają dość skomplikowanych urządzeń pełniących funkcje ograniczników oraz wspomagające w pracy obsługę tych maszyn. Najprostsze ale i najgorzej realizujące postawione zadania to rozwiązania mechaniczne /krzywki itp. /. Znacznie bardziej skomplikowane, lepiej spełniające wymagania ale kłopotliwe w eksploatacji i przede wszystkim drogie, to rozwiązania elektroniczne wykonane w technice analogowej. W ostatnich 2-3 latach do rozwiązań tych urządzeń wkracza mikroelektronika, umożliwiającą spełnienie szerszego zakresu wymagań za niższą cenę.

### Opis obiektu

Obiektem, dla którego opracowano model użytkowy mikroprocesorowego ogranicznika udźwigu jest rodzina żurawi samojezdnych /kołowych lub gąsienicowych/o dźwigach maksymalnych od 6T do 100T. Żuraw samojezdny zasadniczo składa się z dwóch podstawowych części: podwozia z podporami oraz teleskopowego wysięgnika. W czasie pracy żuraw może przyjmować całą gamę różnych konfiguracji, takich jak:

- praca na kołach /bez podpór/,
- praca na dowolnych parach podpór zwiększających stateczność konstrukcji.

Ponadto teleskopowy wysięgnik może pracować:

- a/ w układzie tzw. wysięgnika podstawowego,
- b/ z dodatkowym wyposażeniem takim jak /1+3/ członów martwych powodujących wydłużenie wysięgnika podstawowego.

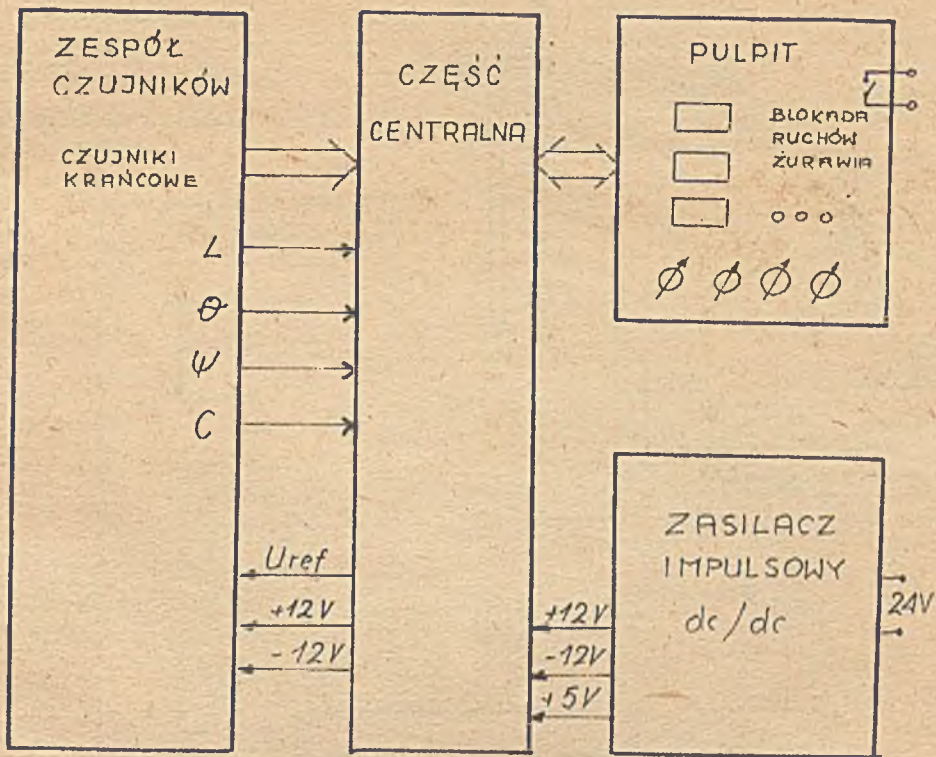
Każda z ww. konfiguracji może być dodatkowo wyposażona w /1+3/ członów tzw. bociana, tj. lekkich członów ustawionych pod pewnym kątem do wysięgnika podstawowego lub wysięgnika podstawowego z przedłużaczem. Pracę przemieszczania ciężarów żuraw wykonuje za pomocą 1 lub 2 wyciągarek połączonych liną wyciągową poprzez odpowiednie różnie olinowane zbrocza zakończonymi hakami zaczepowymi o różnej konstrukcji. Żuraw może również pracować w tzw. układzie wieżowym, tj. dla kilku ustalonych długości wysięgnika podstawowego z ewentualnymi przedłużaczami /ostatni człon jest członem obrotowym w płaszczyźnie pionowej/. Ponadto żuraw pracuje obrotowo w płaszczyźnie horyzontalnej w pełnym zakresie kąta  $360^{\circ}$  lub też ograniczonym zakresie tego kąta. Nie wszystkie typy produkowanych żurawi wyposażone są we wszystkie dodatkowe możliwości pracy, lecz mimo to różnorodność rodzajów i zakresów pracy sięga kilkudziesięciu.

Żuraw samojezdny jest maszyną przeznaczoną do dźwigania i przemieszczania ładunków /ciężarów/. Jest sprawą intuicyjnie wyuczwalną, że wielkość ciężaru, który może bezpiecznie przemieszczać podlega pewnym ograniczeniom, co związane jest z bardzo dużą ilością czynników, z których ważniejszymi są:

- stateczność żurawia /możliwość wywrotu/,
- wytrzymałość konstrukcji wysięgnika /złamanie, zgięcie, wyboczenie/,
- wytrzymałość podwozia /kół, podpór, platform/,
- wytrzymałość haków zaczepowych, lin wyciągowych,
- ograniczenia hydrauliki.

Biorąc powyższe ograniczenia pod uwagę, a ponadto normy państwowe i międzynarodowe konstruktor żurawia sporządza tzw. charakte-





Rys. 1.

rystyki udźwigu, tzn. dla wszystkich rodzajów pracy żurawia definiuje nominalne wielkości ciężarów, które podaje zwykle w funkcji promienia wysięgu /rzeczywistego uwzględniającego ugięcie wysięgnika spowodowane luzami konstrukcji i obciążeniem - właściwość danego egzemplarza żurawia/ lub w funkcji kąta pochylenia wysięgnika. Należy podkreślić dość dużą rozpiętość ciężarów nominalnych w funkcji promienia sięgających stosunku 50:1 dla podstawowego wyposażenia.

#### Budowa ogranicznika udźwigu

Schemat blokowy ogranicznika udźwigu ilustruje rysunek 1. Jako wielkości określające stan żurawia przyjęto mierzyć czujnikami:

- L - długość wysięgnika - potencjometr 10-obrotowy,
- O - kąt pochylenia wysięgnika do poziomu - potencjometr,
- W - kąt pochylenia wysięgnika do płaszczyzny podwozia - potencjometr,
- C - ciśnienie w siłowniku podnoszącym wysięgnik - mostek testometryczny ze wzmacniaczem.

Wszystkie sygnały pochodzące z czujników są sygnałami DC z zakresu 0 ÷ 4,0 V. Część centralna zbudowana jest z dwu pakietów /o wymiarach 220x235 mm zakończonych dwoma złączami pośrednimi 64-stykowymi typu Cannon, całość zamknięto w obudowie wodoszczelnej/ a mianowicie:

- pakietu procesora, na którym oprócz INTEL 8080 można zastosować 1 kbajt lub 2 kbajty pamięci RAM /INTEL 2114/ oraz 2 ÷ 14 kbajtów pamięci EPROM /INTEL 2716/ lub wymiennie 1 ÷ 7 kbajtów pamięci EPROM /INTEL 2708/, ponadto pakiet posiada jednostkę transmisji szeregową z optyczną izolacją INTEL 8251. Pakiet posiada wyprowadzoną na złącze szynę danych i adresową umożliwiającą budowanie innych zestawów;

- pakietu pulpitu - posiada 4 przetworniki a/c typu integracyjnego z rozdzielczością 3 1/2 dekady, interfejs do współpracy z pulpitem posiadającym 3 wyświetlacze cyfrowe typu LED /3 1/2 dekady/; 5 wyjść jednobitowych /lampki, blokada/ oraz 32 wejścia typu zestyk.

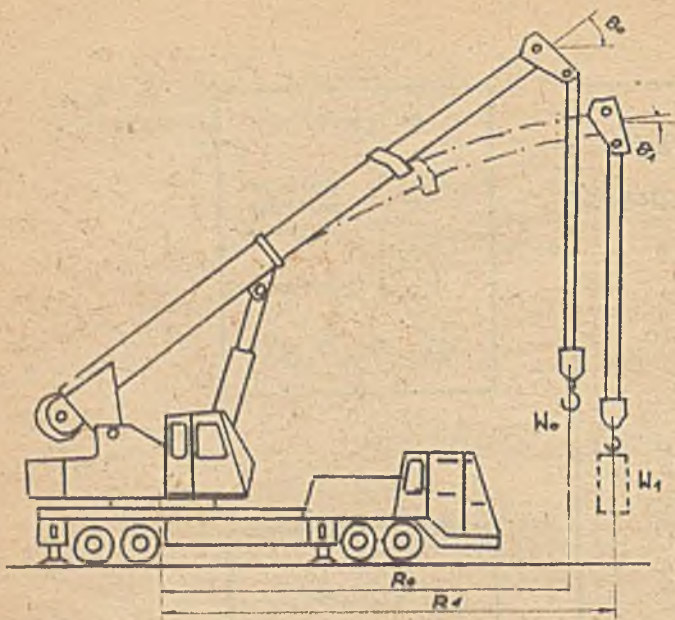
Pulpit zbudowany jest z:

- wyświetlaczy cyfrowych,
- lampek sygnalizacyjnych,
- nastawników mechanicznych.

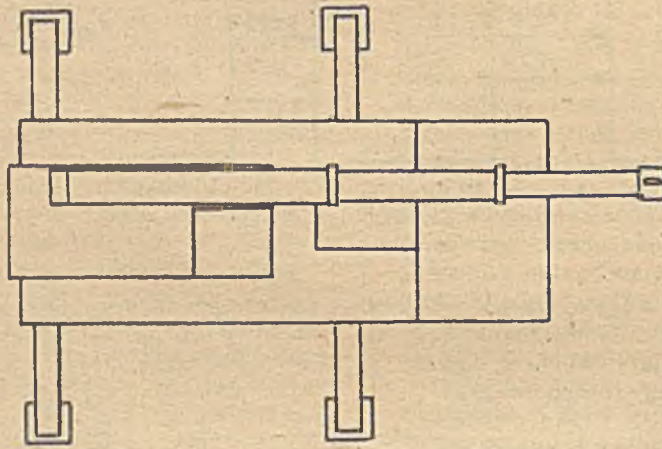
#### Przyrządy pomiarowe

Po zainstalowaniu ogranicznika na żurawiu niezbędne jest skalowanie przetworników i strojenie /identyfikowanie cech własnych badanego egzemplarza żurawia/ ze względu na rozrzucone konstrukcyjne egzemplarze. Do tego celu służy tzw. "przyrząd pomiarowy" zbudowany w oparciu o ww. pakiety a rozszerzony o następny pakiet interfejsu umożliwiający jednoczesne podłączenie:

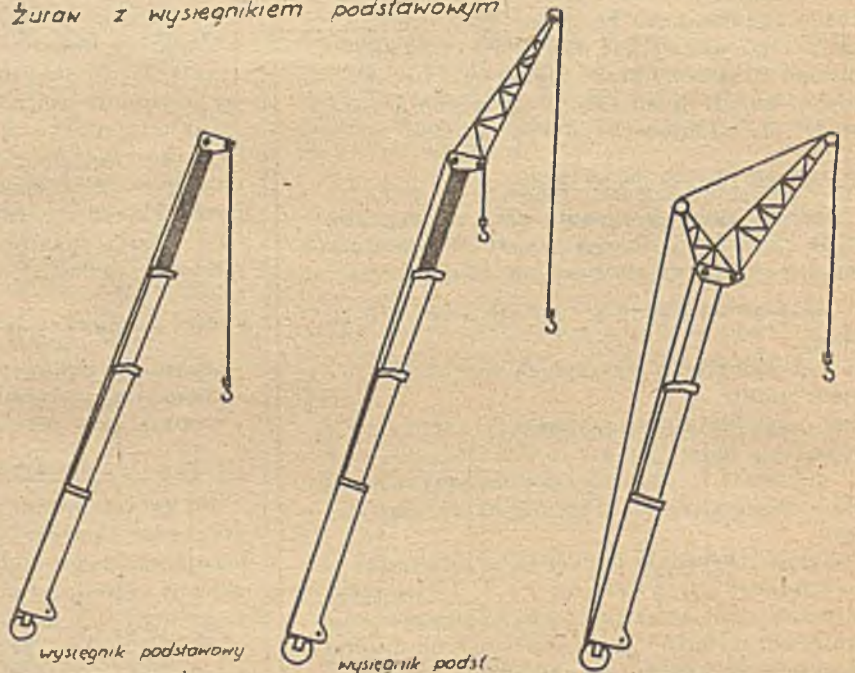




Rys. 2.



Rys. 3. Żuraw z wysięgnikiem podstawowym



Rys. 4.

wysięgnik podstawowy  
• człon martwy

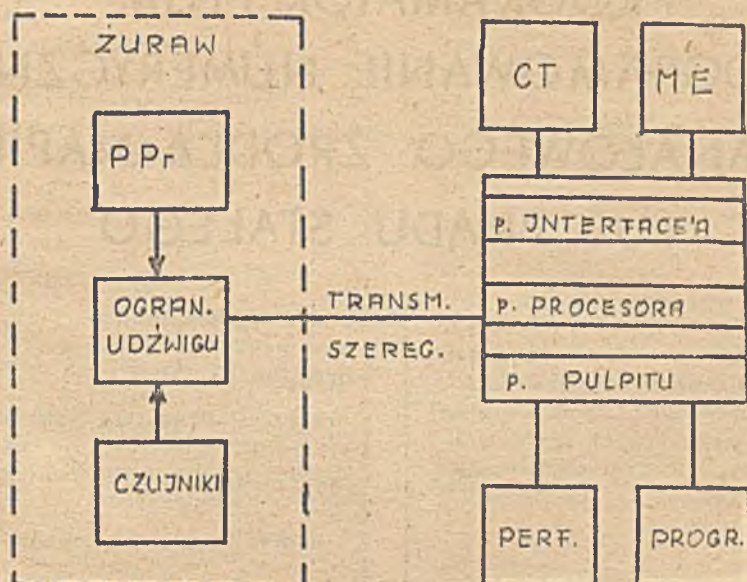
wysięgnik podst.  
• człon martwy  
• bocian

układ niezowy



- monitora ekranowego z klawiaturą,
- czytnika taśmy perforowanej,
- perforatora taśmy papierowej,
- drukarki wierszowej DZM 180 lub KSR,
- programatora pamięci EPROM.

Przyrząd pomiarowy posiada następującą konfigurację sprzętu



Rys. 5.

W trakcie skalowania i strojenia zamiast pakietu procesora ogranicznika udźwigu na żurawiu wkłada się identyczny pakiet z programem przyrządu pomiarowego, który ponadto wyposażony jest dodatkowo w piąty przetwornik a/c służący do podłączenia przyrządu do automatycznego pomiaru promienia wysięgu podczas operacji skalowania i strojenia.

#### Laboratorium

Dla celów modernizacji ogranicznika udźwigu, rozszerzenia zakresu stosowania ogranicznika na inne wyroby u zleceniodawcy /Przemysłowy Instytut Maszyn Budowlanych/ zainstalowano laboratorium wyposażone w sprzęt jak w przyrządzie pomiarowym wzbogaconym o dalsze pakiety rozszerzające możliwości pracy, a mianowicie:

- pakiet pamięci 8 kbajtów RAM,  
16 kbajtów EPROM,
- pakiet pracy krokowej umożliwiający uruchomienie programów na nowych zestawach sprzętu.

#### Opryzdowanie technologiczne

Dla celów testowania nowych pakietów zamierza się rozbudować wspomniany wyżej sprzęt o:

- podłączenie pamięci na elastycznym dysku,
- podłączenie wyjścia graficznego opartego o seryjny odbiornik telewizyjny.

#### Oprogramowanie

Ogranicznik udźwigu pracuje w rytmie ciągłym /cykl 0,1s/ dokonując przeliczeń arytmetycznych i trygonometrycznych, dostarcza operatorowi żurawia ciągłych wskazań o interesujących go /na żądanie/ wielkościach charakterystyk, w szczególności wylicza tzw. procentowy współczynnik obciążenia żurawia, generuje sygnały alarmu /optyczne i akustyczne/ oraz sygnały blokady niebezpiecznych ruchów. Program wykorzystuje arytmetykę stałoprzecinkową o długości słowa 16 bitów. Przyrząd pomiarowy i laboratorium posiadają programy arytmetyki zmiennoprzecinkowej o długości cechy 8 bitów i mantysy 16 bitów.

#### Narzędzia programowe

Laboratorium wyposażone jest dodatkowo /oprócz systemu monitora/ w następujące programy makroassembler, edytor - programowy, ułatwiający uruchomienie nowych programów. Ponadto celem ułatwienia uruchamiania programów na mikroprocesor INTEL 8080 opracowano symulator i crossassembler na maszynie MERA 400.



# PROGRAMATOR PN1M PROGRAMOWANIE NUMERYCZNE WIELOKANAŁOWEGO ŹRÓDŁA NAPIĘCIA LUB PRĄDU STAŁEGO

Programator PN1M jest programowanym numerycznie wielokanałowym źródłem napięcia i prądu stałego. Przeznaczony jest do układów regulacji temperatury i innych wielkości fizycznych w wielokanałowych systemach regulacji programowej. Programowanie pracy programatora odbywa się za pośrednictwem klawiatury.

Programator generuje na wyjściach poszczególnych kanałów sygnały napięciowe w zakresie  $0 \pm 10V$  i prądowe o zakresach  $0 \pm 20mA$  lub  $4 \pm 20mA$ , przebiegające w funkcji czasu linowo z zaprogramowanym współczynnikiem nachylenia, w ramach poszczególnych odcinków czasowych programu. Obok sygnałów analogowych programator może generować impulsy sterujące w niezależnych kanałach binarnych. Sygnały te pojawiają się i znikają w zaprogramowanych czasach. Mogą być one wykorzystane do celów sterowania.

## Charakterystyka ogólna

Programator PN1M ma 6 reżimów pracy, które uruchamia się za pomocą przycisków klawiatury:

- 1/ PROGRAMOWANIE.
- 2/ KROKOWA KONTROLA PROGRAMU.
- 3/ PROGRAM PRZYSPIESZONY X.
- 4/ PRACA.
- 5/ KONTROLA PRACY.
- 6/ KOREKTA PROGRAMU W CZASIE PRACY.

Przyciski 1+4 działają w sposób wzajemnie wykluczający się. Przycisk 5 funkcjonuje w reżimie PRACA i pozwala na kontrolę aktualnego stanu programu bez ryzyka jego zakłóceń. Podobnie przycisk 6 pozwala na korektę parametrów wybranego kanału bez zakłócenia pracy pozostałych kanałów.

Klawiatura zawiera ponadto:

- przyciski numeryczne  $0 \pm 9$
- przycisk kasowania ostatniego wpisu C
- przycisk wpisu przecinka / oraz wartości w

$\% / \text{''}\%$

- przycisk akceptacji E
- przycisk STOP
- przycisk POWROT

Wszystkie przyciski funkcyjne zaopatrzone są w lampki kontrolne. Do kontroli danych w reżimach programowania i pracy służy pole odczytowe zawierające:

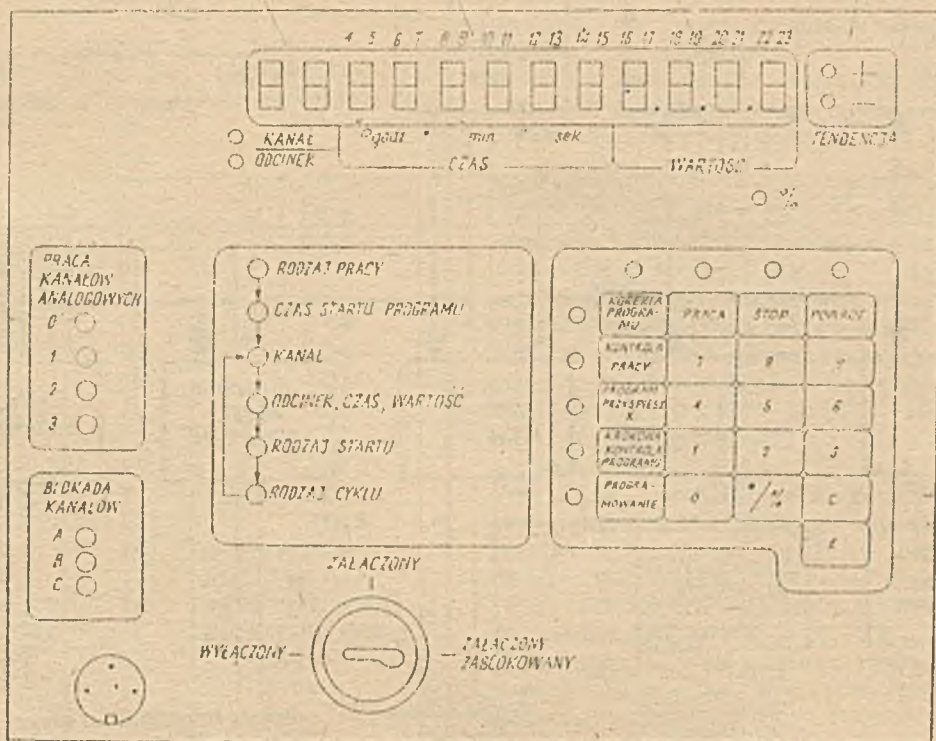
- A - numer kanału oraz numer odcinka w kanale.
- B - czas trwania odcinka czasu programu /h, min, s/.
- C - wartość wielkości wyjściowej /w % lub  $0 \pm 1999$  ziaren/.
- D - wskaźnik tendencji: + wzrost; - spadek.

Dla ułatwienia programowania zastosowano tryb konwersacyjny za pomocą zestawu 5 lampek zaopatrzonych w odpowiednie napisy. Napisy te w reżimie PROGRAMOWANIA I KOREKTY PROGRAMU mają charakter pytań, natomiast w reżimie KROKOWEJ KONTROLI PROGRAMU mają charakter informacji o wyświetlanych na polu odczytowym danych.

Opisy lampek są następujące:

- RODZAJ PRACY :0 - Zerowanie  
1 - Program z klawiaturą  
2 - Odczyt z magnetofonu  
3 - Zapis na magnetofon
- CZAS STARTU PROGRAMU
- KANAŁ :0,1,23 - Analogowe  
4,5...23 - Binarne  
24 - Wyświetlanie czasu  
25 - Wyświetlanie kanałów binarnych
- ODCINEK, CZAS, WARTOŚĆ
- RODZAJ STARTU :0 - Niezależny  
1 - Zależny
- RODZAJ CYKLU :1 - Cykl pojedynczy  
2 - Cykl ciągły





Rys. 1.

Na płycie czołowej znajduje się również zespół 4 lampek informacyjnych PRACA KANAŁÓW ANALOGOWYCH. Lampki te wskazują, które z kanałów obecnie pracują, a które oczekują na uruchomienie z zewnątrz. W przypadku zablokowania kanałów analogowych i binarnych stan taki jest wskazywany przez jedną z trzech lampek opisanych jako BLOKADA KANAŁÓW. Dla określenia czy na pozycji A pola odczytowego wpisana /lub odczytywana/ jest liczba określająca NUMER KANAŁU lub NUMER ODCINKA wprowadzono dwie lampki opisane jako KANAŁ/ODCINEK. Na płycie czołowej umieszczono również lampkę informującą, że wartość wpisywana /odczytywana/ na pozycji C pola odczytowego wyrażona jest w %. Na płycie czołowej programatora znajduje się również przełącznik z kluczykiem o 3 pozycjach:

- WYŁĄCZONY
  - ZALĄCZONY
  - ZALĄCZONY-ZBLOKOWANY
- i gniazdo magnetofonowe.

Przełącznik ma za zadanie zablokować część klawiatury w reżimie PRACA, aby nie można było przypadkowo naruszyć realizacji programu programatora, przy manipulacjach na klawiaturze związanych z kontrolą biegu programu. Blokowane są klawisze: PROGRAMOWANIE, KROKOWA KONTROLA PROGRAMU, PROGRAM PRZYSPIESZONY, X KOREKTA PROGRAMU W CZASIE PRACY,

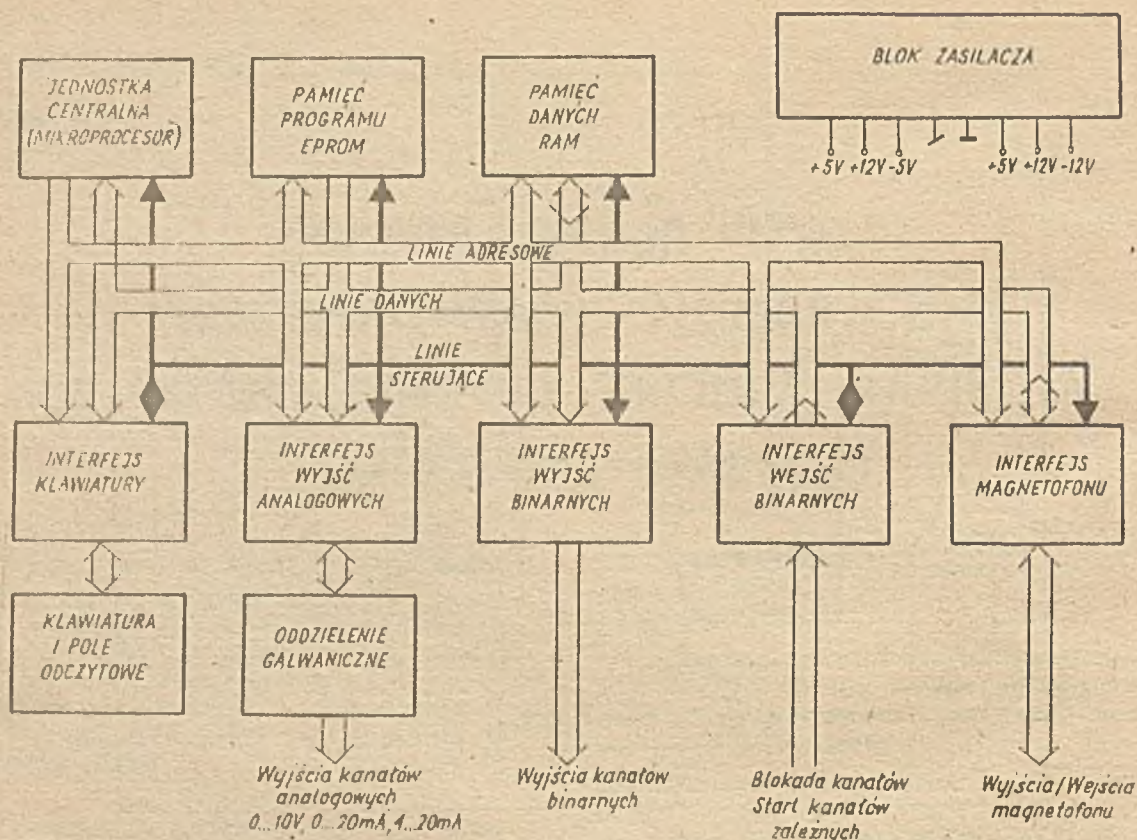
STOP, POWRÓT. Na rys. 1 przedstawiono płytę czołową programatora PN1M.

#### Opis konstrukcji

Programator wykonany jest na strukturze modułowej, a jego układ zawiera następujące pakiety:

- procesor z pamięcią EPROM o pojemności maksymalnej 3k lub 6k bajt ma trzy priorytety przerwań oraz układ zegara o częstotliwości 2 MHz,
- pamięć RAM z obwodem rezerwowego zasilania, który ma maksymalną pojemność 1,25k bajtów i możliwość utrzymania informacji przez 100 godzin od zaniku zasilania dwoma ogniwami NiCaNi, umieszczonymi na tym pakiecie,
- interfejs klawiatury i wyświetlacza, który umożliwia komunikację użytkownika z programatorem przez klawiaturę oraz generuje przerwania,
- interfejs wyjść analogowych zawierający cztery przetworniki C/A 10-bítowe przetwarzające wartość wyjściową binarną wystawianą przez mikroprocesor w sygnał analogowy napięciowy lub prądowy,
- interfejs wejść i wyjść binarnych umożliwiający blokadę sygnałów analogowych i binarnych oraz wyprowadzanie sygnałów dla 20 kanałów logicznych o poziomach TTL,
- interfejs magnetofonu kasetowego, który umożliwia przesyłanie informacji do i z programatora.





Rys. 2.

Połączenia poszczególnych pakietów zilustrowano na rys. 2. Pakiety te połączone są wspólną uproszczoną magistralą MUBUS, dla której rozmieszczanie poszczególnych sygnałów na stykach łączówek przedstawiono w tabeli 1.

W programatorze łączówki mają 64 /32x2/ styki. Magistrala MUBUS wykorzystuje 42 /21x2/ styki. Pozostałe styki wykorzystywane są do indywidualnych połączeń kasy programatora. Styki od kontaktu 23 do 32 przeznaczone są do wyprowadzania sygnałów analogowych, wprowadzania i wyprowadzania sygnałów binarnych oraz sygnałów blokujących kanały analogowe i binarne podczas pracy programatora.

Przedstawiona w tabeli 1 uproszczona magistrala MUBUS zawiera cztery rodzaje linii:

- linie adresowe,
- linie danych,
- linie sterujące,
- linie zasilające.

Linie adresowe są 16-bitowe, jednokierunkowe, dwustanowe /typ OC/ otwarty kolektor. Adres może być wystawiony jedynie przez mikroprocesor. Linie danych są 8-bitowe, dwukierunkowe. Informacja jest doprowadzona do linii danych magistrali poprzez bufory trójstanowe. Linie sterujące są jednokierunkowe, dwustanowe /typ OC/.

#### Opis sygnałów magistrali

Linie adresowe:

- 16 linii adresowych oznaczonych przez AD15 + AD0

Linie danych:

- 8 linii danych oznaczonych przez AD7 + DA0

Linie sterujące:

ADMEMLOW - zwrot do pamięci, poziom niski oznacza, że na liniach adresowych AD15-AD0 ustalony jest adres komórki pamięci.  
 ADPERLOW - zwrot do urządzenia zewnętrznego, poziom niski oznacza, że na liniach adresowych AD7-AD0 ustalony jest numer urządzenia zewnętrznego.  
 WRITELOW - zapis lub odczyt, poziom niski sygnału oznacza, że mikroprocesor realizuje cykl zapisu do pamięci RAM lub urządzenia zewnętrznego, poziom wysoki sygnału oznacza, że mikroprocesor realizuje cykl odczytu z pamięci RAM lub ROM, albo z urządzenia zewnętrznego.  
 RESETLOW - inicjacja pracy mikroprocesora, poziom niski sygnału powoduje, że mikroprocesor zeruje swoje rejestry i rozpoczyna realizację programu od komórki 0000H.  
 INTEREQLOW 1,2 lub 3 - żądanie przerwania, poziom niski sygnału oznacza, że urządzenie



Tabela 1

Strona A /elementów/	Numer kontaktu	Strona B /lutowania/
+12V	01	+12V
0V	02	0V
-5V	03	-5V
DA0	04	DA4
DA1	05	DA5
DA2	06	DA6
DA3	07	DA7
AD0	08	AD8
AD1	09	AD9
AD2	10	AD10
AD3	11	AD11
AD4	12	AD12
AD5	13	AD13
AD6	14	AD14
AD7	15	AD15
RESET LOW	16	ADPERLOW
WRITE LOW	17	ADMEMLOW
INTEREQLOW 1	18	SYSTEMCLOCK
INTEREQLOW 2	19	INTEREQLOW 3
+5V	20	+5V
0V	21	0V
	22	
	23	
	24	
	25	
	26	
	27	
	28	
	29	
	30	
	31	
	32	

zewnętrzne chce wymienić dane z mikroprocesorem, najwyższy priorytet ma INTEREQLOW3, a najniższy INTEREQLOW1. SYSTEM CLOCK - sygnał zegarowy 3TTL mikroprocesora.

#### Opis niektórych procedur konwersacyjnych oraz komunikacji użytkownika z programatorem

Zapisywanie danych do programatora może się odbywać na drodze wprowadzania informacji przez użytkownika z klawiatury według reguły "krok po kroku" lub bezpośrednio z taśmy magnetycznej przy wykorzystaniu magnetofonu jako urządzenia zewnętrznego. Reguły postępowania przy wprowadzaniu danych z klawiatury do programatora mają charakter konwersacji operatora z programatorem.

W reżimie PROGRAMOWANIE obowiązują wspólne zasady:

- w czasie programowania programator PN1M nie może spełniać normalnych funkcji, ale może być programowany w stanie połą-

czenia z obiektem, sygnały wyjściowe są wyzerowane,  
- kolejność programowania kanałów jest dowolna,  
- jeśli w reżimie PROGRAMOWANIE nie wprowadzono do danego kanału nowych danych kanał zachowuje stary program.

KOREKTĘ PROGRAMU wszystkich kanałów wykonuje się w razie konieczności zmian w programie przez modyfikację danych w tych odcinkach programu, w których zaszły zmiany bez konieczności przepisywania danych dla odcinków pozostających bez zmian. Kolejność odcinków, w których wprowadza się korektę jest dowolna, podobnie jak kolejność kanałów. Przy korygowaniu ROZWOJU STARTU I RODZAJU CYKLU zapytania programu o dane, których nie zamierza się zmienić /KANAL, ODCINEK oraz CZAS TRWANIA i WARTOŚĆ/ kwituje się przyciskiem E. Po skorygowaniu programu należy go skontrolować w reżimie KROKOWA KONTROLA PROGRAMU, albo w reżimie PRZYSPIESZONA KONTROLA PROGRAMU. W reżimie KROKOWA KONTROLA PROGRAMU odczytujemy na polu odczytowym w kontrolowanym kanale dane o poszczególnych odcinkach: ich numer, CZAS TRWANIA i WARTOŚĆ przez kolejne wciskanie E, przechodząc od pierwszego do ostatniego.

Do sprawdzenia programu zapisanego w poszczególnych kanałach służy reżim pracy PROGRAM PRZYSPIESZONY X. W reżimie tym na wyjściach analogowych programatora występują zaprogramowane przebiegi czasowe /z określonym współczynnikiem przyspieszenia X/, które można zarejestrować posługując się wyjściem łączówki umieszczonej na płycie tylnej programatora. Jeśli użyty zostanie przycisk STOP to wartości wyjściowe programatora pozostają takie jak w chwili naciśnięcia przycisku. Naciśnięcie przycisku PROGRAM PRZYSPIESZONY uruchamia program dalej, natomiast POWRÓT sprowadza program do punktu wyjściowego. Wcisknięcie przycisku PRACA uruchamia niezależne kanały analogowe i binarne, zapalają się odpowiadające im lampki, a kanały zależne oczekują na uruchomienie impulsem wejściowym. Lampki kanałów zaprogramowanych jako zależnych zapalają się dopiero po ich uruchomieniu. W reżimie PRACA naciśnięcie przycisku STOP powoduje zatrzymanie programu - sygnały wejściowe pozostają w takim stanie jak w chwili naciśnięcia przycisku STOP. Naciśnięcie przycisku PRACA uruchamia program dalej, a naciśnięcie przycisku POWRÓT sprowadza program do punktu wyjścia. W reżimie KONTROLA PRACY istnieje możliwość obserwacji na polu odczytowym danych w wywołanym kanale, które są stale aktualizowane zgodnie z rozwijającym się programem. Przejście do stanu PRACY powoduje wygaszenie pola odczytowego. Reżim KOREKTA PROGRAMU W CZASIE PRACY daje możliwość wprowadzania zmian

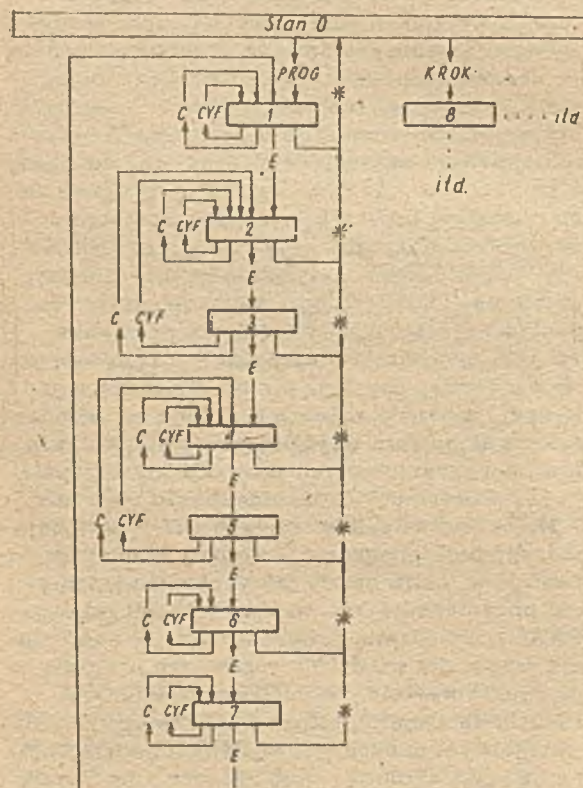


bez zatrzymywania biegu programu w tych kanałach, w których nie dokonuje się aktualnie korekty.

### Charakterystyka oprogramowania

#### Struktura blokowa programu głównego

Podstawowym stanem pracy programatora jest program obsługi klawiatury /program główny/. Program ten przerywany jest impulsem z generatora czasu rzeczywistego, inicjującym jednorazową realizację programu generowania sygnałów wyjściowych z automatycznym powrotem do programu obsługi klawiatury. Na obecnym etapie pomija się sprawę współpracy programatora z systemem sterowania nadrzędnego. Reakcję programatora na naciśnięcie przycisków klawiatury opisuje schemat blokowy, którego fragment przedstawiono na rys. 3. Program można opisać jak automat, który może być w określonej liczbie stanów. Dla każdego stanu określa się przejście do stanu następnego w funkcji naciśniętego klawisza. Fragment pokazany na rys. 3 opisuje zachowanie się programatora w reżimie "programowanie". Przejście do tego rodzaju pracy następuje po naciśnięciu przycisku PROGRAMOWANIE /PROG/, co oznacza przejście programu ze stanu 0 do stanu 1 oraz wykonanie podprogramu P1 /tabela 3/.



Rys. 3.

Tabela 2

Tabela stanów

Stan ST	Klawisz	Stan następny NST	Podprogram PK
0	PROG	1	P1
0	KROK	8	.
0	.	.	.
0	.	.	.
.	.	.	.
1	CYF	1	P2
1	C	1	P28
1	E	2	P4
1	.	0	P0
2	CYF	2	P5
2	C	2	P3
2	E	3	P6
2	.	0	P0
3	CYF	2	P5
3	C	2	P3
3	E	4	P7
3	.	0	P0
4	CYF	4	P8
4	C	4	P3
4	E	5	P6
4	.	0	P9
5	CYF	4	P8
5	C	4	P3
5	E	6	P10
5	.	0	P11
6	CYF	6	P11
6	O	6	P28
6	E	7	P12
6	.	0	P0
7	CYF	7	P11
7	C	7	P28
7	E	1	P1
7	.	0	P0

W tym stanie można wyróżnić cztery różne zachowania się układu wywołane odpowiednimi naciśnięciami klawiszy:

- CYF /dowolna cyfra/ w wyniku czego program powinien pozostać w stanie 1 i zrealizować podprogram P2,
- C zachowuje program w stanie 1 i oznacza realizację podprogramu P28.,
- E oznacza przejście programu do stanu 2 i wykonanie podprogramu P4,
- dowolnego innego / /, co oznacza powrót do stanu 0 z realizacją podprogramu P0.

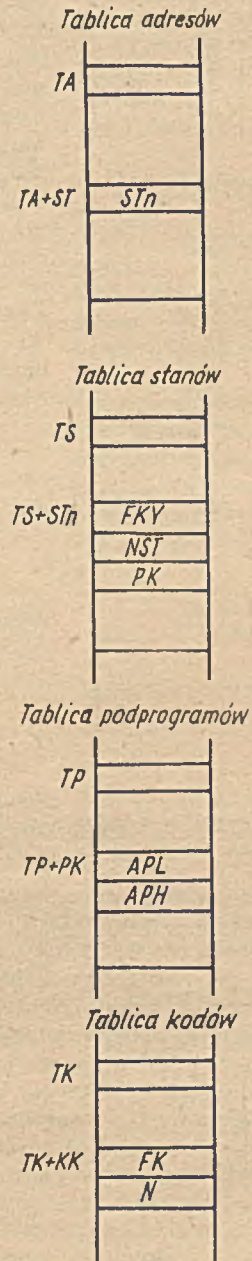
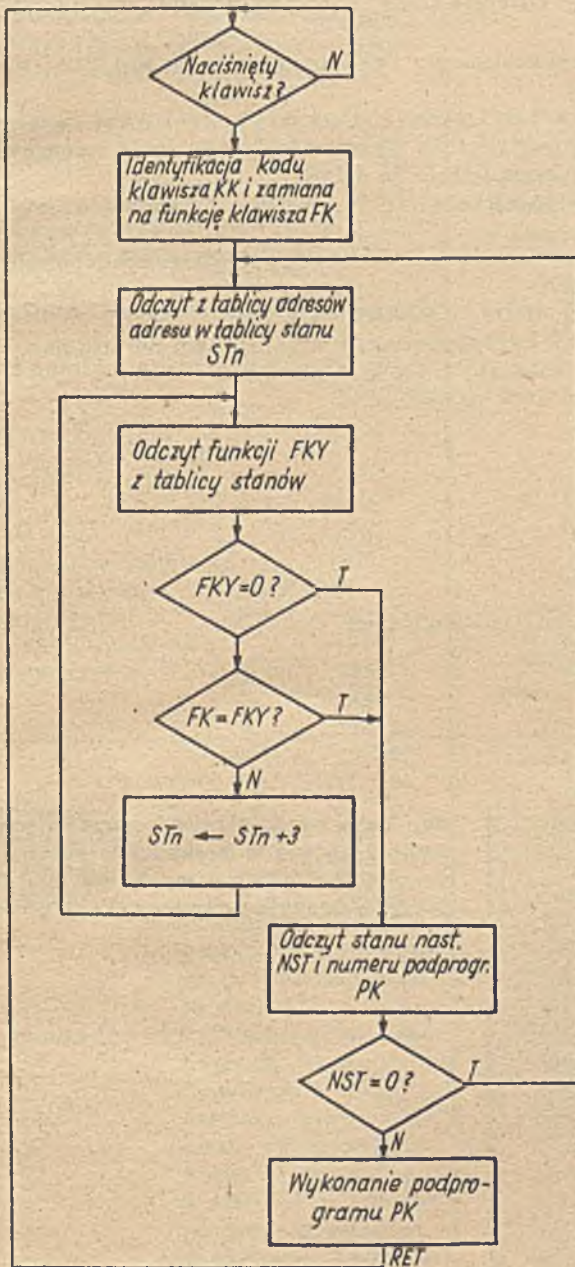
Określając w ten sposób zachowanie się programu po naciśnięciu dowolnego klawisza dla każdego stanu otrzymuje się pełny, jednoznaczny opis zachowania się programatora. Opis ten zostanie zapamiętany w tabeli stanów /tabela 2/, w której dla każdego naciś-



nlęcia klawisza określone są: stan następny oraz program, który będzie realizowany przy tym przejściu.

Wprowadzenie tabeli adresów, w której będą zapamiętane adresy określające wejścia do tabeli stanów oraz tabeli podprogramów, z adresami podprogramów, określa schemat blokowy programu obsługi klawiatury przedstawiony na rys. 4. W stanie oczekiwania program sprawdza czy zostaje naciśnięty klawisz. Po wykryciu tego faktu następuje identyfikacja kodu klawisza KK i jego zmian na kod funkcyjny

klawisza z wykorzystaniem tabeli kodów, rozpoczynającej się od adresu TK. Efektywny adres w tabeli kodów tworzy się przez dodanie kodu KK do adresu bazowego TK. Na podstawie aktualnego stanu programu ST następuje odczyt adresu STn z tabeli stanów. Adres STn służy do wejścia w tabelę stanów, jej przeszukiwanie poprzez dopasowanie aktualnego kodu funkcyjnego FK z kodem FKY w tabeli i w ten sposób identyfikację stanu następnego NST i podprogramu PK. Po wykonaniu podprogramu PK następuje powrót do obserwacji klawiatury.



Rys.4.

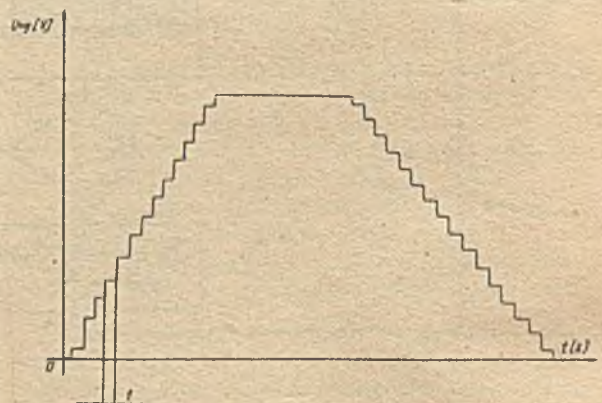


Podprogram	Opis czynności
P0	Wygaszenie wszystkich pozycji wyświetlacza
P1	Zapalenie lampek PROG, KANAŁ NR, wyzerowanie pola odczytowego, ustawienie licznika pozycji wyświetlacza LPW na wartości 1 /adres polaA/
P2	Wpis cyfry do wyświetlacza
P3	Wyzerowanie pozycji wyświetlacza i zmniejszenie adresu LPW o 1 lecz nie mniej niż 1
P4	Zapalenie lampki ODCINEK NR, CZAS TRWANIA, WARTOŚĆ KOŃCOWA
P5	Wpis cyfry do wyświetlacza, zwiększenie o 1 adresu LPW, ale nie więcej niż 11
P6	Przepisanie zawartości wyświetlacza do pamięci RAM /wykorzystując nr kanału i nr odcinka do określenia adresu/, wyzerowanie wyświetlacza poza polem A, LPW-1
P8	Wpis cyfry do wyświetlacza, LPW - LPW + 1, ale nie więcej niż 8
P9	Jak P6, z tym że do adresu utworzonego za pomocą nr kanału i nr odcinka dodać 4
P10	Zapalenie lampki RODZAJ STARTU CYKLU
P11	Wpis cyfry 1 lub 2 do wyświetlacza w zależności od bitu na mniej znaczącej pozycji /1 dla 1, 2 dla 0/
P12	Zapalenie lampki RODZAJ PRACY
.	.
itd	.
.	.
P28	Wyzerowanie pozycji wyświetlacza
.	.

#### Charakterystyka programu obsługi przerwania

Program obsługi przerwania inicjowany jest sygnałem przerwania o częstotliwości 8 Hz. Program ten wykonuje podprogramy obliczania i generowania przebiegów wyjściowych, indykacji aktualnych ich wartości na płycie czołowej programatora, a także operacje ze stosem zapewniające powrót do przerwanej programu głównego, czyli programu obsługi klawiatury. Przerwanie realizowane są w cyklu 1 s. Każde z ośmiu następujących po sobie przerwania realizuje po kolei obsługę 1... 4 kanałów analogowych, piąte i szóste przerwania realizuje obsługę wszystkich kanałów binarnych, siódme relokację danych w pamięci, a ósme zarezerwowane jest dla obsługi programu samotestowania, po czym cykl się powtarza; tak więc wartość każdego generowanego przebiegu wyjściowego aktualizowana jest raz w ciągu każdej sekun-

dy. Taka rozdzielczość czasowa wydaje się wystarczająca w większości wolnozmiennych procesów przemysłowych. Na rys. 5 przedstawiono przykład generowanego przebiegu



Rys. 5.



wyjściowego w jednym z kanałów analogowych.

### Wielkość pamięci EPROM i RAM

Oba omówione wyżej programy obsługi klawiatury i obsługi przerwania zajmują w pamięci EPROM obszar mniejszy od 5 kbajtów. Wielkość pamięci danych /RAM/ zależy od wymaganej ilości odcinków w kanałach analogowych i binarnych i wynosi w wersji podstawowej 1,25 kbajtów, co zapewnia pracę dwóch kanałów analogowych po 60 odcinków i 20 kanałów binarnych zawierających w sumie 28 odcinków. Zwiększając pamięć RAM do 4 kbajtów zapewnia się wykorzystanie wszystkich czterech kanałów analogowych po 60 odcinków i wszystkich dwunastu kanałów binarnych po 60 odcinków. Wielkość potrzebnej pamięci danych RAM, w zależności od wymaganej ilości odcinków, można obliczyć wzorem:

$$W \text{ bajt} = \frac{21}{6} \text{ bajt} \times A + 2 \text{ bajt} \times B + C \text{ bajt}$$

W - wielkość potrzebnej pamięci RAM,  
A - ilość odcinków /sumaryczna/ w kanałach analogowych,  
B - ilość odcinków /sumaryczna/ w kanałach binarnych,  
C - wielkość pamięci operacyjnej = 400 bajtów.

Dane techniczne:

- Liczba kanałów:
  - analogowych  $n_1 = 1, \dots, 4$
  - binarnych  $n_2 = 1, \dots, 20$
- Liczba odcinków w kanale:  $m = 1, \dots, 60$
- Czas trwania odcinka:  $15h59'59''$
- Czas trwania cyklu:  $60 \times 16 = 960h$
- Wskazania na polu odczytowym mogą wynosić:
  - 0, ..... 100%
  - 0, ..... 1999
  - 0, ..... 199,9
  - 0, ..... 19,99
  - 0, ..... 1,999
- Sygnały wyjściowe:
  - analogowy napięciowy 0, ..... 10V
  - analogowy prądowy 0, ..... 20mA
  - analogowy prądowy 4, ..... 20mA
- Sygnały wyjściowe:
  - 2-stanowe bezpotencjałowe przystosowane do sterowania układami TTL
  - 1/2-stanowe do zdalnego startu cyklu programu w każdym kanale przystosowane do sterowania przez układy TTL
  - 2/wejścia do zdalnego programowania z dodatkowej klawiatury lub z komputera nadrzędnego /opcja/
- Wpisywanie i odczytywanie zapisanych danych: 1/z klawiatury programatora

2/zapis i odczyt danych z taśmy magnetycznej przy wykorzystaniu magnetofonu kasetowego.

- Niedokładność sygnałów wyjściowych:  $\pm 0,1\%$   $\pm 1$  cyfra
- Niedokładność pomiaru czasu:  $10^{-5}$
- Zasilanie:  $220^{+10\%}$  50Hz  
 $-15\%$
- Pobór mocy: 80VA
- Separacja galwaniczna:

1/sygnałów analogowych /opcja/ - niedokładność przetwarzania układu  $\pm 0,2\%$   
2/sygnałów binarnych /transoptory/ odporność na przebicie 2,5kV

- Zasilanie rezerwowe pamięci przy zaniku zasilania:
- Rodzaj pracy:

autonomiczne w czasie 100h  
1/start dowolnego kanału  
a/niezależny /przysłaniem PRACA/  
b/zależny od impulsu sterującego  
2/cykle robocze  
a/cykl pojedynczy dla wszystkich kanałów  
b/cykl wielokrotny, powtarzalny /tylko dla kanałów niezależnych/

- Temperatura pracy: 5, ..... 40°C
- Wilgotność względna: 30, ..... 80%
- Konstrukcja mechaniczna: modułowa EURO-CARD 19" 3U

Literatura:

- [1] F. Wagner, A. Buga, E. Michta, R. Sandecki: Ośmiokanałowy programator numeryczny PN - koncepcje i założenia, WSI, Zielona Góra, 1980.
- [2] F. Wagner, E. Michta, J. Cynarski: Projekt techniczny programatora - hardware, Zielona Góra, maj 1981.
- [3] Noty aplikacyjne i karty katalogowe programatorów:
  - M74658 - A14 firmy SIEMENS
  - Palcor micro PNZ firmy CORECI
  - JUMO digimat firmy JUMO
  - IP 2300 firmy WACHEN-DORFF PROZESS-TECHNIK KG
- 211/212 firmy EUROTHERM
- 49-1P5 firmy CAMILLE BAUER
- PGD firmy JOENS
- [4] F. Wagner, Z. Mazurkiewicz, E. Michta: Propozycje założeń na docelową postać programatora PN1M, WSI, Zielona Góra, 1981.



## JEDNOPLYTOWY MIKROKOMPUTER M90

Jednym z najistotniejszych problemów po uruchomieniu produkcji mikroprocesorów było rozpropagowanie nowych wyrobów poprzez stworzenie warunków ich szerokiego zastosowania. W pierwszej kolejności powstały rozwiązania zestawów wspomagających projektantów systemów mikroprocesorowych /zestawy np. MDS-800 firmy INTEL/, a także uniwersalne modułowe sterowniki dla potrzeb automatyki przemysłowej i techniki sterowania. Konstrukcje te są wysoko wyspecjalizowane, rozwiązują problemy profesjonalistów.

Pakiety zawierające jednostki centralne nie mogą z reguły pełnić funkcji autonomicznych urządzeń /mikrokomputerów/ z powodu braku odpowiednich interfejsów umożliwiających łatwy kontakt procesora z otoczeniem, albo też z powodu ograniczonej pojemności lub wręcz braku elementów pamięciowych.

Kolejnym posunięciem rozszerzającym znacznie zakres aplikacji mikroprocesorów było opracowanie jednopłytkowych mikrokomputerów, które mogą funkcjonować jako samodzielne urządzenia dzięki odpowiedniej konstrukcji interfejsów, pozwalającej na swobodne komunikowanie się z procesorem oraz zapewnienie właściwej struktury i pojemności pamięci /np. pakiety rodziny SBC firmy INTEL/. Jednopłytkowe mikrokomputery mają szeroki zakres zastosowań - począwszy od sprzętu powszechnego użytku, poprzez tzw. "personal computers", do sterowania mniej skomplikowanymi obiektami przemysłowymi włącznie. Wypełniają więc niejako lukę między uniwersalnymi systemami sterowania, a potrzebami wynikającymi z mniej skomplikowanych zagadnień.

W związku z przygotowaniem w ITE-CEMI podjęcia produkcji krajowych elementów mikroprocesorowych /pochodzących od rodziny MSC-80 firmy INTEL/, OBR MERA-POLTIK opracowuje jednopłytkowy mikrokomputer, kierując się opisanymi wyżej przesłankami.

### Konstrukcja mikrokomputera

Mikrokomputer charakteryzuje się następującymi cechami:

- jest to struktura jednopłytkowa o formacie 150x333 mm, umieszczona na płycie laminowanej dwustronnie z metallizowanymi przelotami,
- rozbudowane programowane interfejsy umożliwiają bezpośrednią współpracę z podstawowymi urządzeniami perferwlnymi /terminale konserwacyjne - DZM 180 KSR i monitor JS 7952, model, drukarka, klawiatura, czytnik perforator/,
- interfejsy mogą być dostosowane do indywidualnych życzeń odbiorców bez konieczności przeróbek układowych,
- na płycie można zainstalować do 24k bajtów pamięci, 16k bajtów przewidzianych jest na pamięć programów umieszczonych w pamięciach stałych EPROM /2716/, a pozostałych 8k bajtów na pamięć danych zrealizowanych na pamięciach RAM-2114,
- mikrokomputer posiada elementy układowe pozwalające na pracę w czasie rzeczywistym, tzn. 16-poziomowy system przerwań oraz zegar programowany,
- w konstrukcji mikrokomputera wykorzystane są wyłącznie elementy przewidziane do produkcji w kraju, z wyjątkiem kontrolera przerwań 8259 i zegara 8253 produkcji ZSRR.

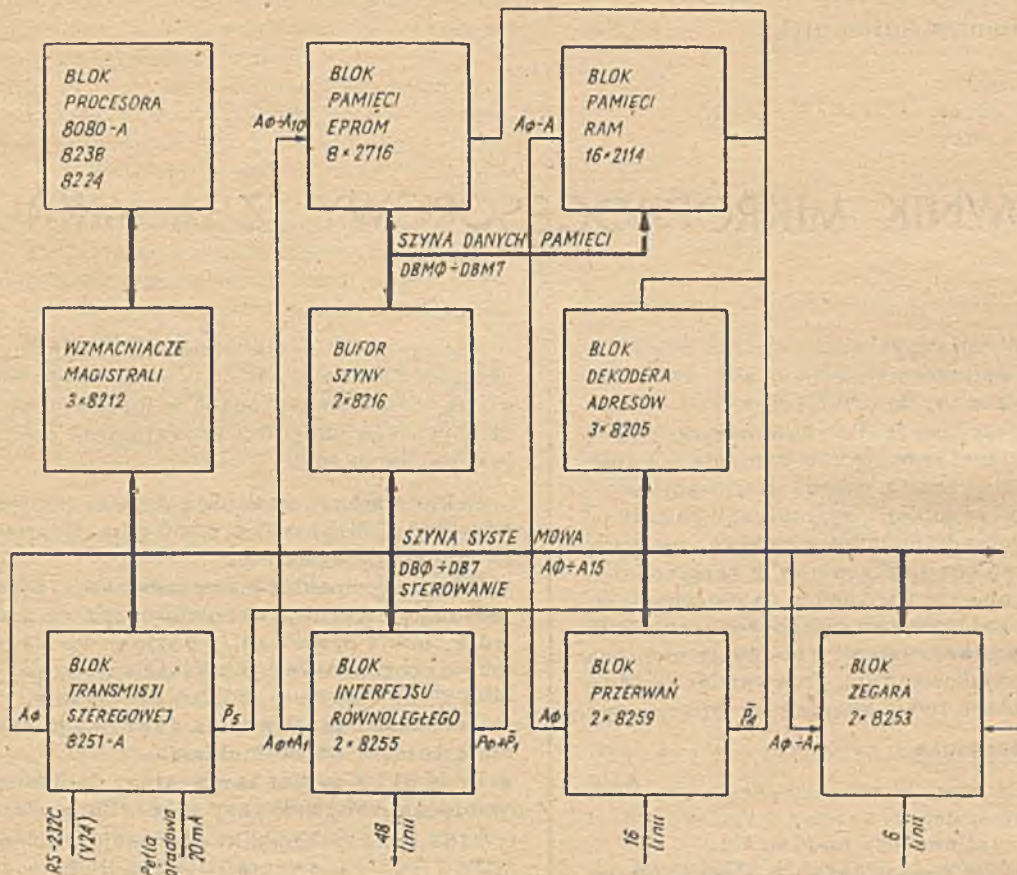
Schemat blokowy mikrokomputera przedstawiono na rys. 1.

### Podstawowe dane techniczne

- a/ Komunikacja z otoczeniem
- terminal konwersacyjny pracujący w kanale szeregowym RS 232C albo V24 np. drukarka DZM 180 KSR, monitor alfanumeryczny JS 7952 itp.,
- model /prędkość transmisji zmieniana w zakresie 110-9600 baudów/,
- urządzenie pracujące w systemie transmisji szeregowej z liniami izolowanymi galwanicznie, prędkość transmisji asynchronicznych do 19200 baudów, prędkość transmisji synchronicznych do 64k baudów/,
- interfejs równoległy o programowanych 40 liniach wejścia/wyjścia, które mogą być wykorzystane do przyłączenia takich urządzeń jak czytnik, perforator, drukarka, klawiatura /wersja podstawowa/; istnieje możliwość zaprogramowania interfejsu stosownie do potrzeb odbiorcy.



SCHEMAT BLOKOWY  
JEDNOPLYTOWEGO MIKROKOMPUTERA



Rys. 1

b/ Pamięć

- pamięć stała /programu/ oparta o pamięci półprzewodnikowe typu EPROM 2716; pojemność maksymalna 16k bajtów,
- pamięć danych /o swobodnym dostępie/ oparta o pamięci półprzewodnikowe typu RAM 2114; pojemność maksymalna 8k bajtów.

c/ Elementy układowe umożliwiające pracę

- mikrokomputera w czasie rzeczywistym,
- układ przerwań priorytetowych 16-poziomo-  
wy, wektoryzowany z maskowaniem,
- zegar czasu rzeczywistego składający się  
z 6 programowanych liczników 16-bitowych  
zorganizowanych jako liczniki binarne albo  
liczące w kodzie BCD.

d/ Programowany interfejs równoległy

- /opis w pkt. a/.

Oprogramowanie

Mikrokomputer posiada oprogramowanie podstawowe "Monitor" typu "resident" zapisane w pamięci EPROM o łącznej pojemności ok. 4kb. "Monitor" pozwala na uruchomienie, sprawdzenie i inicjalizację programów użytkowników. Zawiera "mechanizmy" pozwalające na dołączanie dowolnych programów użytkowników. Szereg modułów programu "Moni-

tor" m. in. "handkery" możliwe są do wykorzystania w programach tworzonych przez użytkowników.

W najbliższym czasie opracowane zostaną następujące programy systemowe:

- text edytor,
- macroassembler,
- debugger,
- basic,
- monitor czasu rzeczywistego.

Programy te będą dostępne jako odrębne moduły sprzedawane odbiorcom, zapisane w pamięci EPROM. Oprogramowanie systemowe mikrokomputera realizowane jest w kooperacji z Zakładem Oprogramowania Systemowego ISS w Katowicach.

Możliwość uruchomienia produkcji seryjnej minikomputera przewiduje się pod koniec pierwszego półrocza 1982 r. Użytkownicy mogą liczyć na pomoc MERA-POLTIK przy wszelkich pracach związanych z zastosowaniem mikrokomputera. Zainteresowanych wyrobem prosimy o kontaktowanie się z autorami niniejszego artykułu /tel. 311-09 albo 281-61; 64 w. 32 - Łódź/.



## STEROWNIK MIKROPROCESOROWY ZSA MIKRO 80

Sterownik mikroprocesorowy ZSA MIKRO 80 został opracowany w OBR Systemów Automatyki i wdrożony do produkcji w ZSA Poznań. Przeznaczony jest do automatyzacji procesów przemysłowych, gdzie dokonuje się zbiegania i przetwarzania danych sterowania sekwencyjnego, regulacji, sygnalizacji przekroczeń itd. Posiada modułową budowę, co pozwala tworzyć dowolne zestawy w zależności od rodzaju obiektu i wymagań użytkownika. W sterowniku zastosowano mikroprocesor 8080 oraz układy towarzyszące i elementy pamięci, które są produkowane lub przewidziane do produkcji w Polsce lub w krajach socjalistycznych.

### Budowa sterownika

Sterownik /rys. 1/ mikroprocesorowy ZSA MIKRO 80 zawiera:

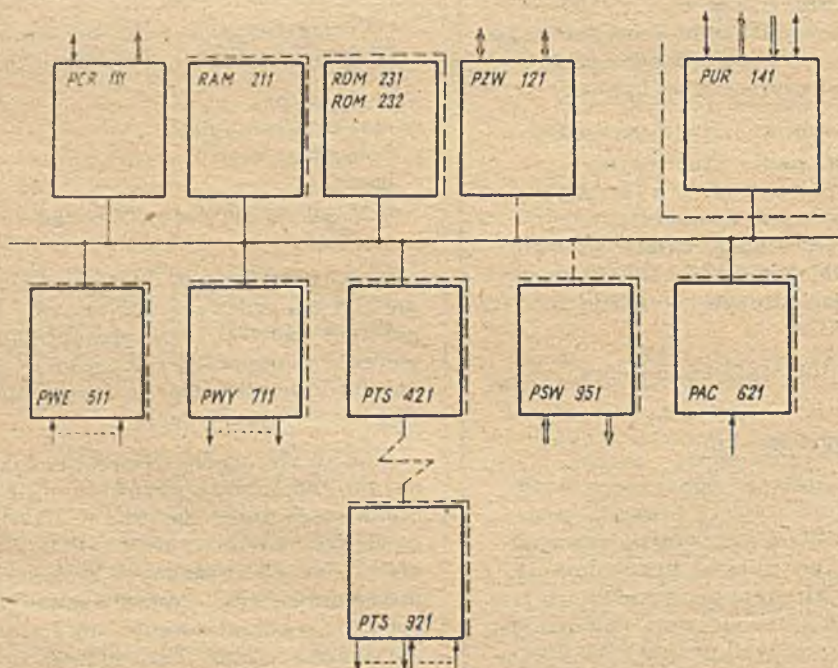
- kasetę z zasilaczem i magistralą,
- zestaw pakietów dobranych w zależności od wymagań obiektu i potrzeb użytkownika.

19-calowa kaseeta zawiera 11 miejsc dla pakietów oraz miejsc dla zasilacza. Zasilacz dostarcza wszystkich niezbędnych napięć tzn. +12V i +5V, na układ "power fail" oraz bato-

ry akumulatorem dla zasilania awaryjnego pamięci RAM na PCR-111. Magistrala umieszczona w kasecie wykonana w formie obwodu drukowanego lub połączeń owijanych oparta jest na standardzie MUBUS.

Pakiety sterownika mają wymiar podwójnej EUROKARTY tj. 233,4 x 160 mm. Dostępne są następujące pakiety:

- PCR 111 - pakiet procesora zawierający jednostkę centralną układu sterowania magistralą, układ przerwań /7 poziomów/ i 3 liczników programowalnych, kanał szeregowy V24 lub pętla prądowa 20 mA oraz 2 kbajty pamięci RAM z możliwością awaryjnego zasilania z baterii lub akumulatora,
- RAM 211 - pakiet zawierający do 8 kbajtów pamięci RAM zbudowany w oparciu o elementy 2102 lub odpowiedniki produkcji polskiej - MCY 7102 i radzieckiej - K 565 RU2,
- ROM 231 - pakiet zawierający do 16 /8/ kbajtów pamięci typu ROM wykorzystujący elementy EPROM 2708 /2704/ lub PROM TM 624,
- ROM 232 - pakiet zawierający do 32 kbajtów pamięci typu ROM wykorzystujący elementy 2716,



Rys. 1. Schemat blokowy sterownika ZSA MIKRO-80



● **PZW 121** - pakiet przerwań, zegarów i wzmacniaczy zawierający układy rozszerzające system przerwań /maksymalnie do 64 poziomów przerwań i do 12 liczników programowalnych/ oraz układy wzmacniaczy magistrali dla zestawu wielokasetowego,

● **PWY 711** - pakiet wyjść dwustanowych zawierający 32 wyjścia 24V/200mA z oddzieleniem galwanicznym 500 V /dostępna jest także wersja bez oddzielenia galwanicznego i z wyjściami TTL/,

● **PWE 511** - pakiet wejść dwustanowych 24V/20mA z oddzieleniem galwanicznym 500V i z układem wykrywania zmian stanu wejść/dostępna jest wersja bez oddzielenia galwanicznego i z wejściami TTL/,

● **PTS 421, PTS 921** - pakiety transmisji synchronicznej przeznaczone do połączenia 32 wejść i 32 wyjść dwustanowych między sterownikiem, a oddalonym obiektem lub urządzeniem,

● **PAC 621** - pakiet 12-bitowego przetwornika całkującego A/C o zakresie napięć wejściowych +10 lub +1V z oddzieleniem galwanicznym,

● **PSN 431** - pakiet sterowania prędkością obrotową silnika prądu stałego /może pracować automatycznie/,

● **PUR 141** - pakiet uruchomieniowy przeznaczony w zasadzie dla prac związanych z tworzeniem i testowaniem oprogramowania użytkowego. Zawiera układy współpracy z czytnikiem taśmy perforowanej CT 2200, perforatorem taśmy DT 105S, magnetofonem kasetowym MK 235 oraz kanał szeregowy V24 dla współpracy z monitorem ekranowym /MERA 7952/ lub drukarką DZM 180KSR /konsola operatorska/, 24 linie we/wy dla współpracy z innymi urządzeniami i układ programowania pamięci 2704/2708/2716. Zawiera także 1 kbajtów pamięci RAM i 4 kbajtów pamięci ROM z programem MONITOR.

Ponadto przygotowane są do wdrożenia do produkcji pakiety przetwornika częstotliwość/cyfra, komutatora cyfrowego przybiodobowego przetwornika analog/częstotliwość oraz pakiet transmisji szeregowych zawierających 6 kanałów V24. Maksymalna ilość pakietów we/wy obiektowych w zestawie sterownika ograniczona jest przestrzenią adresową we/wy wynoszącą 256 lokacji 8-bitowych.

### Oprogramowanie

Obszar adresacji RAM, ROM oraz wejść i wyjść sterownika znajdują się w przestrzeni adresowej pamięci mikroprocesora. Mapę tej przestrzeni przedstawia rys. 2. Uruchomienie programu następuje po włączeniu zasilania lub zerowaniu. Gdy w zestawie nie ma pakietu PUR 141 wykonanie programu następuje od adresu 0000./program użytkowy/natomiast w drugim przypadku od adresu E800 i uruchomiony zostaje program MONITOR.

Program MONITOR umożliwia realizację następujących operacji:

- wprowadzenie i wyprowadzenie bloków danych w kodzie szesnastkowym i BNPF na taśmę perforowaną lub magnetofonową,

0000		Obszar pamięci dla programów użytkownika /pakiety ROM lub RAM/
0FFF		
E000	ROM	Obszar zwarty na pakiecie PUR 141
EFFF		MONITOR
F000	RAM	
F3FF		
F400		Obszar pamięci RAM zawarty na pakiecie PCR 111
FBFF		
F000		Obszar adresacji wejść/ wyjść peryferyjnych
FDFE		
F000		Obszar adresacji wejść/ wyjść obiektowych
FFFF		

Rys. 2. Mapa przestrzeni adresowej sterownika

- obrazowanie i zmiana stanu komórek pamięci,
- wprowadzenie i obrazowanie bloków danych na konsoli operatorskiej,
- uruchamianie programu użytkowego od dowolnego adresu z punktami zatrzymań,
- obrazowanie i zmiana rejestrów wewnętrznych procesora,
- programowanie pamięci 2704/2708/2716,
- inne czynności ułatwiające pracę użytkownika.

Ponadto dostępne są programy EDYTOR i ASSEMBLER pozwalające na formowanie programu źródłowego i jego assemblację. EDYTOR i ASSEMBLER zajmują około 12 kbajtów pamięci i pracują na wspólnym buforze danych. Mogą być wprowadzane z taśmy perforowanej do pamięci RAM, mogą być umieszczone w pamięci stałej /ROM 231/. Dostępny jest także system czasu rzeczywistego BASIC RT.

### Aplikacja sterownika

Sterownik jest zastosowany lub prace z jego zastosowaniem są daleko zaawansowane w następujących obiektach:

- dwupoziomowy system sterowania i kontroli procesu elektrolizy w Hucie Aluminium Konin,
- system automatyki dla Wydziału Żarówek w Pile,
- sterowanie układarką i czołem magazynu wysokiego składowania,
- system sygnalizacji i rejestracji danych dla linii wytłaczania rur PCW,
- system CRPD siłowni okrętowej,
- sterowanie sygnalizacją świetlną w ruchu drogowym.



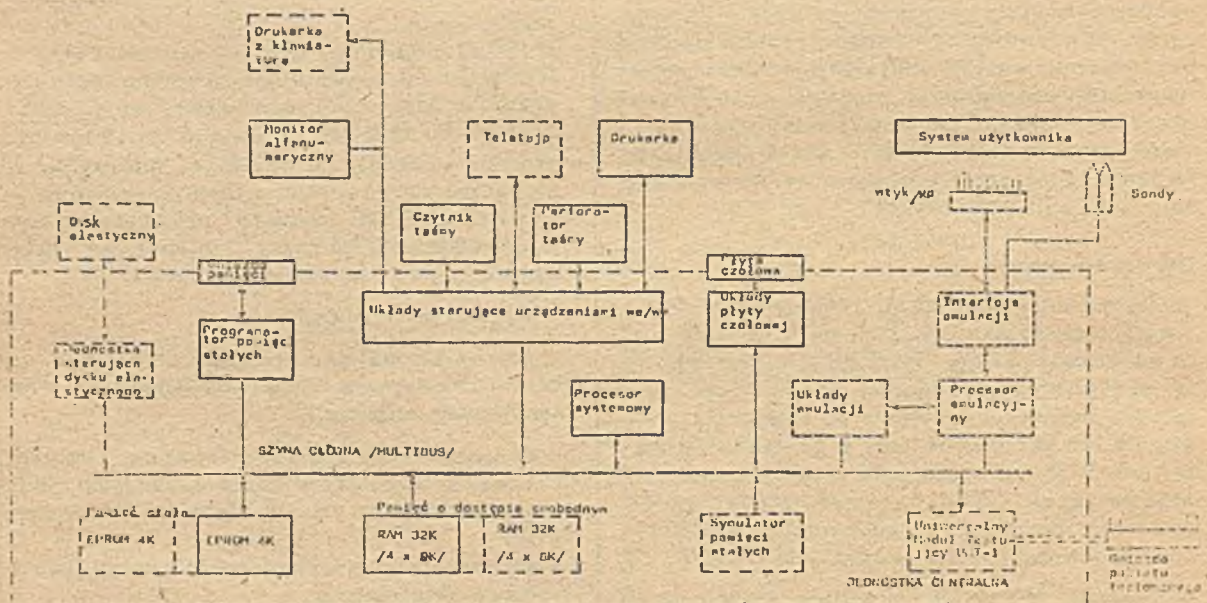
# MIKROPROCESOROWY SYSTEM WSPOMAGANIA PROJEKTOWANIA I JEGO WYKORZYSTANIE W PROCESIE PROJEKTOWANIA I URUCHAMIANIA URZĄDZEŃ MIKROPROCESOROWYCH

Mikroprocesorowy System Wspomagania Projektowania /MSWP/ jest uniwersalnym narzędziem wspomagania prac projektowo-konstrukcyjnych przeznaczonym do opracowywania i badania systemów mikroprocesorowych. Mikroprocesorowy System Wspomagania Projektowania jest modułowym dwuprocesorowym systemem wspomagania trzeciej generacji, dysponującym bogatym zestawem sprzętowych i programowych środków wspomagania projektowania i uruchamiania urządzeń mikroprocesorowych realizowanych na układach serii K580 i K589 /odpowiedników serii INTEL 8080 i INTEL 3000/, a w przyszłości również innych serii mikroprocesorowych.

Strukturę blokową MSWP przedstawiono na rys. 1. Podstawowe bloki funkcjonalne MSWP umieszczone są w jednostce centralnej, do której dołączone są systemowe urządzenia wej-

ścia/wyjścia, pamięć masowa na dyskach elastycznych i uruchamiany system użytkownika. Na płycie czołowej jednostki centralnej umieszczone jest wymienne gniazdo dla programowalnych pamięci stałych. W MSWP przewidziano stosowanie sond pomiarowych pozwalających pobierać sygnały z urządzeń użytkownika nie połączonych z szynami systemowymi MSWP.

Użytkownik, w zależności od potrzeb i posiadanych środków, może kompletować MSWP w różnych konfiguracjach. Pozwala na to modułowa struktura bloków funkcjonalnych jednostki centralnej oraz rozłączanie układów wejścia/wyjścia zapewniające możliwość dołączenia do jednostki centralnej MSWP różnych urządzeń zewnętrznych. W jednostce centralnej najprostszego zestawu MSWP znajdują się następujące moduły funkcjonalne:



Rys. 1. Struktura blokowa Mikroprocesorowego Systemu Wspomagania Projektowania



procesor systemowy, układy sterujące urządzeniami we/wy, pamięć RAM o pojemności 16KB, pamięć ROM o pojemności 2KB, układy płyty czołowej i programator pamięci EPROM typu INTEL 1702 A. Jako uniwersalne urządzenie wejścia/wyjścia tego zestawu może być zastosowany teletajp. W ten sposób uzyskuje się prosty system do przygotowywania i uruchamiania programów dla mikroprocesorowej serii MCS 80 firmy INTEL i jej odpowiedników.

MSWP w pełnej konfiguracji wyposażony jest w pamięć RAM o pojemności 60KB, pamięć ROM o pojemności 4KB, pamięć masową na dyskach elastycznych /do 2 mechanizmów PLx x 45D/, symulator pamięci stałych o pojemności 512 słów 64-bitowych, wkładki programatora pamięci EPROM typu 1702A, 2704, 2708, 2716, 2732 firmy INTEL, programator układów FPLA typu 82S100 firmy SIGNETICS, emulator układów dla mikroprocesorów typu INTEL 8080.

Zakończono badania modeli kolejnych modułów MSWP: uniwersalnego modułu testującego i monitora alfanumerycznego zbudowanego na bazie standardowego odbiornika telewizyjnego. Uniwersalny moduł testujący kontroluje poprawność wykonania płytek z obwodem drukowanym i testuje pakiety z układami cyfrowymi o poziomach sygnałów we/wy kompatybilnych z poziomami TTL. Moduł testujący może obsługiwać do 480 styków, a łączówki i standardy mechaniczne testowanych płytek i pakietów mogą być definiowane przez zamawiającego. Moduł ten może być dostosowany również do testowania układów scalonych LSI i VLSI. Monitor telewizyjny pozwala zastąpić standardowy monitor alfanumeryczny z klawiaturą znacznie tańszym zestawem spełniającym wymagane funkcje konsoli operatorskiej i zawierającym jednostkę sterującą, klawiaturę i standardowy odbiornik TV. Jako standardową konsolę operatorską systemu stosuje się monitor alfanumeryczny MERA 7953 z klawiaturą MERA 7946. Może być zastosowany również inny monitor alfanumeryczny z interfejsem V24, względnie drukarką z klawiaturą DZM 180 KSR. Do wprowadzania i wyprowadzania danych na taśmie perforowanej przewidziano stosowanie czytnika taśmy perforowanej typu CT 2100 lub CT 1000 i perforatora taśmy typu DT 105 lub DT 105S. Dodatkowym urządzeniem zewnętrznym może być drukarka DZM 180 /z interfejsem równoległym/ szczególnie przydatna do wyprowadzenia listingów.

Oprogramowanie MSWP pozwala użytkownikowi na tworzenie, uruchamianie i testowanie programów przeznaczonych dla systemów mikroprocesorowych budowanych z układów mikroprocesorowych serii K580, /odpowiedników serii INTEL 8080/, a w wersji rozszerzonej także na układach mikroprocesorowych serii K589 /INTEL 3000/. Dla zestawów MSWP bez pamięci masowej na dyskach elastycznych op-

rogramowanie systemowe dostarczane jest na taśmie perforowanej i pozwala realizować assemblację, edycję i uruchamianie programów użytkowych dla mikroprocesorów typu INTEL 8080, sterować pracą programatorów uniwersalnego modułu testującego i symulatora pamięci stałych. Użytkownik MSWP z pamięcią na dyskach elastycznych ma znacznie szersze możliwości wyboru z bogatego oprogramowania systemowego dostępnego w dwu wersjach dyskowych pracujących pod nadzorem dyskowego systemu operacyjnego OS-I /odpowiednika systemu operacyjnego CP/M/ lub systemu OS-II /odpowiednika systemu ISISII opracowanego w firmie INTEL/.

Dokładniejsze charakterystyki programów systemowych podano w artykule "Oprogramowanie Mikroprocesorowego Systemu Wspomagania Projektowania". Dlatego też zastosowanie poszczególnych grup programów omówimy w sposób bardzo ogólny, w powiązaniu z podanym na rys. 2 schematem projektowania i uruchamiania urządzenia mikroprocesorowego z zastosowaniem MSWP. Przedstawione schematycznie etapy projektowania i uruchamiania urządzenia lub systemu mikroprocesorowego zostały symbolicznie powiązane z wykorzystaniem w tych etapach sprzętowych i programowych modułów wspomagania MSWP. Projektant systemu mikroprocesorowego może korzystać ze środków wspomagania dostępnych w MSWP, zarówno przy niezależnym opracowaniu sprzętu i oprogramowaniu, jak i przy łącznym uruchomieniu sprzętu wraz z oprogramowaniem.

Przy opracowywaniu programów użytkowych projektant może korzystać ze środków wspomagania MSWP począwszy od etapu budowania programów w języku źródłowym. Przygotowanie programów lub mikroprogramów wynikowych dla projektowanego systemu realizowane jest w module opracowania programów użytkownika /rys. 2/. Programy dla mikroprocesorów o stałej liście instrukcji /typu INTEL 8080/ mogą być całkowicie opracowywane za pomocą programowych środków wspomagania MSWP. Projektant korzysta z potrzebnego programu po wprowadzeniu go do pamięci systemowej /z taśmy perforowanej lub z dyskietki/. Wprowadzanie, poprawianie i wyprowadzanie programów w postaci źródłowej wykonuje się za pomocą najwygodniejszej wersji edytora. Postać wynikowa programów użytkowych uzyskiwana jest w rezultacie działania programów translujących, przy czym użytkownik MSWP ma do wyboru kilka programów translujących assemblera oraz translatory języków wyższego rzędu BASIC i PL/M.

Programowanie w języku assemblera zdobyło dużą popularność wśród programistów mikroprocesorów, szczególnie przy pisaniu programów, od których wymaga się dużej szybkości działania i małej zajętości pamięci.







pomocą języków wyższego poziomu. Języki te pozwalają stosunkowo prosto opisywać złożone problemy, zapewniają łatwą komunikację programisty z użytkownikiem systemu, znacznie skracają czas pisania i uruchamiania programów. Badania prowadzone na systemie wspomagania MDS-800 w ITE-CEMI wykazały wysoką efektywność projektowania systemu mikroprocesorowego metodą modelowania strukturalizowanego, w której język wysokiego poziomu PL/M wykorzystywany jest do tworzenia modeli procesu, jego otoczenia, systemu mikrokomputerowego i użytkownika. Sprawdzenie tych modeli i ich współdziałania daje w wyniku zweryfikowane programy projektowanego systemu, a jednocześnie określa wymagania na sprzętową konfigurację systemu.

Do uruchomienia programów wynikowych można wykorzystywać dyrektywy MONITORA, a w przypadku gdy system wyposażony jest w pamięć dyskową znacznie efektywniejszy program uruchomieniowy DDT oraz jego rozszerzenie - program symbolicznego debagera SID. Oba te programy pracują pod nadzorem systemu operacyjnego OS-I. Uruchamianie sprzętu, łącznie z oprogramowaniem, przebiega najbardziej efektywnie przy wykorzystaniu emulatora układowego sterowanego programem EMULATOR. Dyrektywy EMULATORA pozwalają uruchamiać i testować programy użytkownika za pomocą procesora emulacyjnego /identycznego do procesora użytkownika/ i układów emulacji układowej, początkowo nawet bez do-

łączonych układów użytkownika. W zależności od typu mikroprocesora użytkownika stosowana jest odpowiednia wersja programu EMULATOR łącznie z odpowiednim sprzętem emulatora układowego. Obecnie zakończono opracowanie sprzętu i oprogramowania EMULATORA dla mikroprocesorów serii MCS-80.

Programy użytkowe po ich uruchomieniu mogą być wpisane do pamięci stałych systemu użytkownika za pomocą odpowiednich wkładek programatora, a następnie może być prowadzone ich badanie wraz ze sprzętem użytkownika, np. za pomocą emulatora.

Przy uruchamianiu systemów z mikroprocesorami mikroprogramowanymi serii INTEL 3000 i jej odpowiedników w pierwszej kolejności sprawdzana jest poprawność przygotowanych mikroprogramów za pomocą symulatora ROM. Użytkownik korzysta w tym przypadku z programu obsługi symulatora SYMROM, za pomocą którego może wczytywać i wprowadzać mikroprogramy w standardzie języka CROMIS oraz zmieniać zawartość symulowanej pamięci ROM.

Dołączenie do MSWP uniwersalnego modułu testującego czyni z niego programowany tester płytek drukowanych, pakietów z układami cyfrowymi lub układów LSI i VLSI o dużej użyteczności dla małoseryjnych producentów sprzętu cyfrowego. MSWP może być traktowany również jako uniwersalny mikrokomputer, który po opracowaniu specjalnego oprogramowania może znaleźć wiele innych zastosowań.



## OPROGRAMOWANIE MIKROPROCESOROWEGO SYSTEMU WSPOMAGANIA PROJEKTOWANIA

Oprogramowanie MSWP<sup>xi/</sup> pozwala użytkownikowi na tworzenie, uruchamianie i testowanie programów przeznaczonych dla systemów mikroprocesorowych opartych na mikroprocesorze INTEL 8080 oraz korzystanie z symulatora pamięci ROM dla układów serii INTEL 3000.

W skład oprogramowania MSWP wchodzi następujące programy: MONITOR - program inicjalizujący pracę systemu, zarządzający systemem i zawierający procedury obsługi urządzeń systemowych we/wy; zawiera 11 dyrektyw umożliwiających uruchomienie programów. Program ten zapisany jest w pamięci stałej EPROM i zajmuje ok. 2K bajty. Programy opracowane dla MSWP dostępne są w wersji na taśmie perforowanej i w dwóch wersjach dyskowego systemu operacyjnego.

1. Wersja taśmowa zawiera programy pozwalające na tworzenie, modyfikowanie i assemblację programów dla mikroprocesora typu INTEL 8080 posiada dodatkowo<sup>xx/</sup>:

- interpreter języka BASIC,
- symulator pamięci ROM dla układów serii INTEL 3000,
- emulator dla realizowanych programów i sprzętu na układach serii INTEL 8080,
- programy do oprogramowania pamięci stałych EPROM typu INTEL 1702, 2704, 2708, 2716, 2732 oraz układu FPLA typu Signetics 82S100.

2. Dyskowy system operacyjny OSI kompatybilny z systemem CP/M dla mikrokomputerów na mikroprocesorze typu INTEL 8080.

<sup>xi/</sup> Opis Systemu przedstawiono w artykule dr T. Sienkiewicza "Mikroprocesorowy System Wspomagania Projektowania i jego wykorzystanie w procesie projektowania i uruchamiania urządzeń mikroprocesorowych.

<sup>xx/</sup> Dla programów tych opracowywana jest wersja dyskowa.

Umożliwia on użytkownikowi:

- zakładanie, modyfikowanie i kasowanie własnych zbiorów,
- tworzenie, modyfikowanie, assemblację i uruchamianie programów użytkownika przy pomocy programów o szerszych możliwościach niż dla wersji taśmowej,
- tworzenie dokumentacji /program TEX/ drukowanej pod system OSI. OSI wymaga minimum 16KB pamięci operacyjnej, a dla makroassemblera i programu TEX-24KB.

3. Dyskowy system operacyjny OSII - kompatybilny z systemem ISIS II w pracującym na systemach MDS firmy INTEL. System ten posiada:

- podobne funkcje do systemu DYSOP poza programem debuggera i programem TEX,
- możliwość oprogramowania modułowego, łączenia, relokowania modułów programowych,
- translator języka PL/M.

ISIS II wymaga min 32KB pamięci operacyjnej, przy pracy z makroassemblerem 48KB, a dla translatora PL/M - 60KB.

### Opis programów dla wersji taśmowej

EDYTOR - program działający na znakach i służący do tworzenia programu źródłowego. Zawiera 13 dyrektyw pozwalających użytkownikowi na wprowadzanie i wyprowadzanie tekstu w kodzie ASCII oraz poprawianie tekstu. Tworzony tekst umieszczony jest w buforze programu, a użytkownik może tekst usuwać, dopisywać i zamieniać, działając na liniach lub znakach tekstu. Program ten zajmuje w pamięci systemowej RAM ok. 4K bajty oraz 4K bajty przeznaczone na pole robocze i bufor tekstu.

Makroassembler REM - program translujący program źródłowy napisany na języku assemblera MAC-80 na heksadecymalny kod wynikowy odpowiadający kodom instrukcji mikropro-



cesora INTEL 8080. Program działa dwuprzelotowo: w pierwszym przebiegu tworzona jest lista symboli i makrodefinicje, w drugim przebiegu otrzymywany jest listing programu i kod wynikowy w postaci standardowych rekordów. Program zajmuje wraz z obszarem roboczym ok. 8K bajtów pamięci RAM i pozwala translować programy do 700 etykiet.

REMAKE 80 - programy EDYTOR i makroassembler REM rezydujące równocześnie w pamięci operacyjnej i korzystające ze wspólnego bufora dla modyfikowanego, a następnie translowanego programu użytkownika.

Mini BASIC - interpreter języka BASIC zawierający podstawowe dyrektywy, możliwość wykonywania pojedynczych instrukcji, arytmetykę stałoprzecinkową.

EMULATOR - program ten działa w pamięci systemowej na mikroprocesorze emulacyjnym /identyczny jak procesor użytkownika/ i zawiera programy sterujące działaniem urządzeń zarówno MSWP jak i użytkownika w trakcie emulacji. Pod nadzorem tego programu może uruchamiać programy użytkownika bez fizycznego istnienia uruchamianego systemu lub jego części, wykorzystując zasoby MSWP /pamięć, urządzenia w/wy, procesor/.  
EMULATOR 80 - umożliwia użytkownikowi uruchamianie programów i sprzętu dla systemów opartych na mikroprocesorze INTEL 8080. Użytkownik ma do dyspozycji 15 dyrektyw pozwalających na: deklarowanie bloków pamięci i urządzeń użytkownika lub deklarowanie korzystania z zasobów MSWP, wprowadzanie i wyprowadzanie programów i danych, start programu, pracę krokową programu, działanie na zawartości pamięci, ustalanie režimu pracy pamięci, śledzenie, ustawianie punktów przerwań w programie, wypisywanie sygnałów i rejestrów mikroprocesora oraz pamięci śledzenia.

SYMROM - stanowi oprogramowanie modułu symulatora pamięci ROM dla systemów z mikroprocesorem INTEL 3000. Użytkownik ma możliwość: wczytywania i wyprowadzania mikroprogramów w standardzie mikroassemblera CROMIS oraz wypisywanie i zmianę zawartości symulowanej pamięci ROM. Od strony uruchamianego systemu użytkownik w miejscu kostek ROM umieszcza wtyki będące końcówkami MSWP. Uruchamiany przez użytkownika system pracuje na symulowanej pamięci RAM. Program działa w pamięci systemowej i zajmuje ok. 1 Kbajt. Pamięć symulująca dołączona jest w modułach 512x16 bitów, maks. do 4 modułów.

PROGRAMER - jest to zespół programów nadzorujących pracę programatora pamięci stałych EPROM INTEL 1702, 2704, 2708, 2716 oraz układu FPLA typu Signetics 82S100. Dla każdego typu pamięci EPROM należy użyć odpowiednią wersję programu.

## OSI-dyskowy system operacyjny

OSI stanowiący zbiór programów umieszczonych na dysku elastycznym, dla zarządzania pracą systemu MSWP w wersji z dyskami oraz tworzenia i zarządzania zbiorami dyskowymi. Jest on kompatybilny z systemem operacyjnym CP/M opracowanym dla mikroprocesora INTEL 8080. Program ten wymaga minimum 16K pamięci operacyjnej. Dyrektywy tego programu to:

DIR - wypisuje nazwy i typy wszystkich lub zadeklarowanych zbiorów,  
TYPE - wypisuje zawartość zbioru w kodzie ASCII,  
REN - zmienia nazwę zadeklarowanego zbioru.  
ERA - usuwa zadeklarowany zbiór,  
SAVE - kopiuje zawartość zadeklarowanego obszaru pamięci na dysk.

Podprogramem DYSOP pracują programy:

PIP - przenosi zbiory z dyskietki na dyskietkę lub inne urządzenia zewnętrzne,  
ED - edytor tekstu, który służy do tworzenia i modyfikowania zbioru w kodzie ASCII. Posiada 24 dyrektywy pozwalające na działanie na znakach i linijkach tekstu. Usuwa i wstawia bloki tekstu.  
START - wypisuje stan wszystkich lub zadeklarowanych zbiorów /wielkość, nazwę, typ/ i wielkość wolnego obszaru na dołączonych dyskietkach.  
MAC- makroassembler wymagający minimum 24K /wraz z programem DYSOP/. Możliwe jest deklarowanie: tworzenia lub nie tworzenia zbiorów wynikowych /kod wynikowy, tablica symboli, listing programu wraz lub bez listingu makrosów/ i urządzeń, na których ma być umieszczony zbiór. Zawiera bibliotekę makrosów.  
SID - symboliczny debugger dla programów istniejących jako zbiory OSi. SID używa tablicy symboli /tworzonej przez MAC/ przy odwoływaniu się do miejsc roboczych lub instrukcji testowanych programów, zawiera moduł assemblera /disassemblera, co pozwala użytkownikowi zmieniać i wyświetlać zawartość pamięci w kodzie heksadecymalnym /8 lub 16 bitów/ lub mnemoniki instrukcji assemblera. Możliwe jest śledzenie programu z wypisywaniem stanu i zawartości rejestrów. Program może być wykonywany pomiędzy breakpointami lub w zadanej liczbie kroków. Możliwe jest również deklarowanie para-pointów z licznikami.

Posiada dodatkowo 2 podprogramy:

- HIST - wyświetla histogram wykonywania rozkazów z zadeklarowanej części programu,
- TRACE - wyświetla stan i zawartość rejestrów po każdej wykonanej instrukcji dla ostatnio wykonanych 256 instrukcji.



• TEX - /Text Formatting/ program do redagowania tekstów działający pod systemem DYSOP. Zbiór narzędzi dla programu TEX tworzony jest za pomocą edytora /ED/, za pomocą którego również umieszczane są dyrektywy TEX wewnątrz tekstu. Dyrektywy te pozwalają użytkownikowi automatycznie numerować strony i określać marginesy, długość strony, odstęp między liniami, akapity, nagłówki, itp.

Możliwe jest używanie innych programów standardu - CP/M np. PL/1, COBOL, FORTRAN IV i innych rozprowadzanych przez zachodnie firmy softwarowe.

#### OSII - dyskowy system operacyjny kompatybilny z ISIS II pracującym na systemach MDS firmy INTEL.

Emulator systemu MDS jest programem umożliwiającym wykonywanie na systemie MSWP zadań napisanych dla systemu MDS firmy INTEL Corp. Emulator realizuje wszystkie funkcje wejścia/wyjścia systemu MDS i procedury ładowania początkowego. W szczególności umożliwia on korzystanie na MSWP z dyskowego systemu operacyjnego ISIS II. Emulator zajmuje 2K pamięci operacyjnej. OS II - dyskowy system operacyjny umożliwiający tworzenie, aktualizowanie i dostęp do zbiorów zapisanych na dysku elastycznym. Pod systemem OS II pracuje szereg programów ułatwia-

jących pisanie i testowanie programów użytkowych. Charakterystyczną cechą systemu OS II jest możliwość programowania modułowego, łączenia i relokowania modułów programowych. System operacyjny OS II wymaga 32KB /plus 2KB na emulator MDS/ pamięci operacyjnej. Pod systemem operacyjnym OS II pracują następujące translatory języków programowania:

ASM 80 - makroassembler dostosowany do programowania modułowego i tworzenia programów relokowalnych. Wymaga pamięci operacyjnej 32KB, jeśli nie korzysta się z aparatu makroinstrukcji i 48KB przy jego wykorzystaniu.

PLM 80 - język programowania wysokiego poziomu przystosowany do wykorzystania w systemach mikroprocesorowych. Translator wymaga pamięci operacyjnej o pojemności 62K bajtów.

Do ważniejszych programów pomocniczych działających pod systemem ISI II można zaliczyć:

- LINK - program łączący moduły programowe w jedną całość,
- LOCATE - program przekształcający moduły programowe z formy relokowanej w absolutną.
- Programy manipulacyjne podobne do analogicznych programów działających w systemie OS I umożliwiają kopiowanie, usuwanie zbiorów oraz zmianę formatu informacji.



## MODUŁY SYGNALIZACJI TECHNOLOGICZNEJ

Z inicjatywy Biura Projektowego MERA-ELWRO podjęto w Instytucie Komputerowych Systemów Automatyki i Pomiarów prace konstrukcyjne nad uzupełnieniem produkowanego systemu automatyki analogowej INTELEKTRAN-S o dodatkowe funkcje związane z sygnalizacją przekroczenia parametrów technologicznych. W trakcie opracowywania Założeń Technologiczno-Ekonomicznych, po zebraniu możliwie wszystkich informacji na temat produkcji podobnych urządzeń w kraju i zagranicą powstała koncepcja budowy systemu, który oprócz funkcji sygnalizacyjnych dawałby również możliwość realizacji sterowań sekwencyjnych.

Do dalszych prac konstrukcyjnych przyjęto następujące założenia:

- System budowany jest w oparciu o zestaw elementów mikroprocesorowych rodziny INTEL 8080.
- Sygnałami do komunikacji z obiektem są sygnały dwustanowe z oddzieleniem galwanicznym.
- System jest swobodnie programowalny.
- Język do programowania systemu oparty jest na podstawowych funkcjach logicznych, co pozwala na szybkie opanowanie go przez projektanta i użytkownika systemu.
- W skład systemu wchodzi przenośny tester pozwalający na sprawdzenie poprawności działania poszczególnych urządzeń systemu oraz na zmianę programu przez obsługę.
- Standardy mechaniczne systemu przyjęto z systemem INTELEKTRAN-S.

W skład opracowywanego systemu Modułów Sygnalizacji Technologicznej wchodzi:

- Moduł Sterownika MCS-430.
- Moduł Pamięci Programu MPP-431.
- Moduł Pamięci Danych MPD-432.
- Moduł Wejść Dwustanowych MSX-433.
- Moduł Wyjść Dwustanowych MSY-434.
- Moduł Zegara MZR-435.
- Moduł Adaptera MSA-438.
- Tester MWS 266.

Podstawowy zestaw modułów umieszczony jest w kasecie 19", w której znajdują się 24 miejsca na moduły. Moduły połączone są ze sobą poprzez złącza 84-stykowe i plater, z obiektem poprzez złącza szufladowe 25-stykowe, umieszczone na płytach czołowych modułów. Rozmieszczenie modułów w kasecie jest dowolne. W tylnej części kasety znajduje się zasilacz. Kasety mogą być umieszczone w obudowach ściennych jedno lub dwu kasetowych oraz szafach /9 kaset/.

Interfejs MST można podzielić na 5 grup sygnałowych:

- Magistrala adresowa 16 linii.
- Magistrala danych 8 linii z możliwością rozszerzenia do 16.
- Magistrala przerwań 8 linii.
- Magistrala sterowania 17 linii.
- Magistrala zasilania 9 linii.

Moduł Sterowania MCS-430 jest programowalnym modułem, służącym do sterowania pracą pozostałych modułów systemu, poprzez sterowanie wymianą informacji między nimi oraz przetworzeniem tej informacji. Współpracuje z innymi modułami za pośrednictwem interfejsu MST. Moduł sterownika zbudowany w oparciu o ośmioletowy mikroprocesor 8080A zawiera: 8-wejściowy układ przerwań oraz bufor magistrali adresowej, magistrali danych, magistrali przerwań i magistrali sterowania. Moduł sterownika realizuje wszystkie rozkazy mikroprocesora INTEL 8080. Rozwiązanie konstrukcyjne magistrali pozwala na realizację pracy krokowej zarówno w cyklu maszynowym jak i rozkazowym, co jest szczególnie istotne w trakcie uruchomienia.

Moduł Pamięci Programu MPP-431 zbudowany w oparciu o pamięć EPROM 8708 przeznaczony jest do przechowywania programu systemu. Pojemność modułu wynosi 8 kB. Moduł posiada dekodery adresu, któremu za pomocą zwór umieszczonych na pakiecie modułu można przyporządkować dowolny obszar w 64 kB-towej przestrzeni adresowej pamięci.



Moduł Pamięci Danych MPD-432 zbudowany w oparciu o pamięć RAM 8102 przeznaczony jest do przechowywania danych oraz budowy stosu. Moduł posiada pojemność 4 kB. Dekoder adresu, w który wyposażony jest moduł pozwala za pomocą zwór przyporządkować modułowi dowolny obszar w 64 kB-towej przestrzeni adresowej pamięci. Moduł ma możliwość podłączenia zasilania rezerwowego, co w wypadku zaniku napięcia zasilania podstawowego pozwala na ochronę zawartości pamięci.

Moduł Wejść Dwustanowych MSX-433 przeznaczony jest do przyjmowania sygnałów dwustanowych /zwarcie lub rozwarcie styków/ informujących o stanie obiektu. Moduł wyposażony jest w 16 układów wejściowych z izolacją galwaniczną, dwa ośmiobitowe rejestry, dekodery adresu oraz 16 wskaźników, umieszczonych na płycie czołowej modułu, informujących o stanie sygnałów wejściowych. Dekoder adresu pozwala na przyporządkowanie modułowi dwu adresów z przestrzeni adresowej pamięci lub z przestrzeni IN OUT. System ma możliwość współpracy ze 128 modułami MSX-433.

Moduł Wyjść Dwustanowych MSY-434 jest modułem przeznaczonym do wyprowadzania z systemu 16 niezależnych sygnałów dwustanowych. Moduł wyposażony jest w 16 układów wyjściowych napięciowych odizolowanych galwanicznie od systemu, dwa ośmiobitowe rejestry, dekodery adresu oraz 16 wskaźników, umieszczonych na płycie czołowej modułu, informujących o stanach sygnałów wyjściowych. Dekoder adresu pozwala na przyporządkowanie modułowi dwu adresów z przestrzeni adresowej pamięci lub z przestrzeni IN OUT. System ma możliwość współpracy z maksimum 128 modułami MSY-434.

Moduł Zera MZR-435 przeznaczony jest do generacji przerw w trzech odcinkach czasowych /R2, R3, R4/, co pozwala przy jego pomocy na realizację sterowania z dowolnym czasem opóźnienia /realizacja programowa/. Dodatkowo moduł wyposażony jest w 8 wejść dwustanowych przeznaczonych do kontroli stanu obiektu. Pobudzenie któregośkolwiek z wejść

powoduje wygenerowanie sygnału przerwania /R5/. Moduł wyposażony jest w układ zegarowy 8253, 8 dwustanowych układów wejściowych z izolacją galwaniczną, ośmiobitowy rejestr stanów awaryjnych, dekodery adresu z przyporządkowanymi modułowi stałym adresem w obszarze adresowym IN OUT oraz 8 wskaźników umieszczonych na płycie czołowej modułu, informujących o stanach sygnałów wejściowych.

Moduł Adaptacji MSA-438 X w zależności od wykonania umożliwia współpracę systemu z urządzeniami peryferyjnymi typu: czytnik taśmy, perforator taśmy, drukarka, monitor ekranowy, tester oraz umożliwia rozszerzenie objętości systemu poza obręb jednej kasety.

Tester MWS-266 jest przenośnym mikrokomputerem do uruchomienia i serwisowania systemów MST na obłokach. Tester wyposażony jest w klawiaturę operatorską /sterowanie ręczne pracą systemu/ i funkcyjną /programowanie/, w zespół wskaźników informujących o pracy testera i uruchamianego lub kontrolowanego systemu oraz drukarkę; zawiera również układ programowania pamięci EPROM typu 8702 i układ do współpracy z dołączoną zewnętrzną pamięcią kasetową.

Opisany wyżej zestaw modułów pozwala na zbudowanie sterownika o zwartej konstrukcji, przystosowanej do zainstalowania w pobliżu urządzeń technologicznych i wyposażonego w komplet urządzeń programujących, operujących prostym językiem, łatwo przyswajalnym przez projektanta i użytkownika. Nowo opracowany system jest maksymalnie elastyczny, nadaje się do automatyzacji małych i średnich obiektów technologicznych jak np.: prasy, wtryskarki, linie technologiczne do formowania płyt pilśniowych, włókien eukrownicznych, pieców wapienniczych itp. Konstrukcja modułowa systemu gwarantuje łatwe uzupełnienie podstawowego zbioru modułów o nowe specjalistyczne obwody wejściowe lub wyjściowe. Tak opracowany system uzupełnia system INTELEKTRAN-S o nowe funkcje i tym samym rozszerza zakres jego zastosowań, umożliwiając łatwe kojarzenie układów regulacji analogowej z układami sterowania sekwencyjnego.



# ŚRODKI TECHNICZNE MODUŁOWEGO SYSTEMU TERMINALOWEGO MST-800 NA PRZYKŁADZIE SYSTEMU DO ZASTOSOWAŃ W BANKU

## Abstrakt

Zastosowanie sprzętu mikroprocesorowego w systemach o rozproszonej inteligencji jest jednym z szybko rozwijających się kierunków Informatyki. Prace podjęte w IKSAiP we Wrocławiu ukierunkowane są m. in. na automatyzację i zbieranie danych bezpośrednio w miejscu ich powstawania, tj. na stanowiskach pracy lub usługi bezpośredniej. Rozproszenie terytorialne oraz konieczność natychmiastowego wykorzystania zbieranych danych lub przekazywanie ich do innych lub większych systemów narzuca specyficzne wymagania w zakresie konstrukcji i instalacji takich systemów.

Zaproponowana konfiguracja systemu dla obsługi Narodowego Banku Polskiego, realizowana przez IKSAiP, posiada trzystopniową, hierarchiczną strukturę obejmującą:

- Systemy centralne znajdujące się w typowych ośrodkach obliczeniowych NBP i realizowanych na dwumaszynowych jednostkach centralnych R-32 wraz z pełnym wyposażeniem technicznym i programowym dla obsługi przetwarzania poprzez procesory transmisji danych EC 8371,

- Systemy stacyjne znajdujące się w poszczególnych samodzielnych organizacjach bankowych na terenie kraju i zrealizowane za pomocą minikomputerów produkcji krajowej lub krajów KS. Systemy te powinny w ograniczonym zakresie umożliwiać automatyczne prowadzenie bieżących prac obliczeniowych NBP w celu zapewnienia ciągłości funkcjonowania operacji kasowych, w przypadku braku łączności z centralną bazą danych,

- Systemy stanowiskowe zlokalizowane bezpośrednio na stanowiskach okienkowych i obejmujące swym zasięgiem wszystkie stanowiska obsługi klienta: kasjerskie, dyspozycyjne i kierownicze w konkretnym przedsiębiorstwie bankowym.

Brakującym elementem wiążącym w całość powyższą strukturę jest obecnie zestaw środków technicznych i programowanych obejmujący stanowiska okienkowe na najniższym pozio-

mie ww. struktury. Inteligentne końcówki, specjalizowane do różnorodnych funkcji odmiennych na każdym stanowisku pracy, zrealizowane zostały za pomocą modułowego sprzętu terminalowego MST-8000. Zestaw środków technicznych MST-8000 obejmuje zarówno kompletne jednostkowe wyroby gotowe zrealizowane w różnych wersjach odpowiednich dla danej dziedziny zastosowań oraz wymagań użytkowników, jak również poszczególne jednostki konstrukcyjno-funkcjonalne /moduły/ dla zrealizowania konkretnej funkcji użytkowej wymaganej w systemie.

Pod względem funkcjonalnym środki techniczne MST-8000 dzielą się na 3 grupy urządzeń:

- koncentratory MST-8100 jako mikrokomputerowe urządzenia do tworzenia powiązań między minikomputerem, a urządzeniami końcowymi w ramach systemu terminalowego,

- terminale zblomowane MST-8200 jako mikrokomputerowe terminale specjalizowane, przystosowane do bezpośredniej obsługi przez użytkownika na stanowisku pracy,

- moduły terminalowe w indywidualnych obudowach jako zbiór funkcjonalnych jednostek konstrukcyjnych, umożliwiających tworzenie różnych pod względem strukturalnym i parametrycznym urządzeń końcowych na stanowiskach pracy.

Wykorzystana baza techniczna opiera się głównie o układy dużej skali integracji LSI serii INTEL 8080 przewidywanych do produkcji w kraju w latach 1980-85 oraz układy SSI serii UCY 74 dla tworzenia prostych struktur logicznych w niektórych modułach terminalowych. Poszczególne moduły stanowią zamkniętą funkcjonalnie całość /niezależnie od obudowy/ i dają się łączyć z pozostałymi blokami poprzez zstandaryzowany interfejs zewnętrzny mikrokomputera.

Aktualnie zdefiniowano i opracowano następujące moduły systemu terminalowego:

- moduły zasilania 50W, 150W, 200W,

- moduł mikrokomputera,

- moduł współpracy z torem pętlowym,



- moduł klawiatury numerycznej,
- moduł klawiatury funkcyjnej,
- moduł klawiatury alfanumerycznej,
- moduł wyświetlacza numerycznego,
- moduł monitora alfanumerycznego,
- moduł drukarki numerycznej,
- moduł czytnika żetonów i kart,
- moduł pamięci RAM,

- moduł koncentratora,
- moduł pulpitu technicznego.

Wszystkie moduły realizowane są w nowej, jednolitej formie architektonicznej, pozwalającej na dodanie lub wymianę poszczególnych elementów bez szkody dla zewnętrznej formy architektonicznej zestawu.

inż. STANISŁAW CHOROMAŃSKI  
IKSAiP-Wrocław

## PORADNIK PROJEKTANTA SYSTEMU URZĄDZENIA AUTOMATYKI ANALOGOWEJ INTELEKTRAN-S

Poradnik projektanta systemu urządzenia automatyki analogowej INTELEKTRAN-S został opracowany w Instytucie Komputerowych Systemów Automatyki i Pomiarów we Wrocławiu i wydany w połowie 1981 roku w nakładzie kilkunastu egzemplarzy. Przeznaczony jest on wyłącznie dla projektantów projektujących systemy automatyki analogowej stosujących urządzenia INTELEKTRAN-S. Celem poradnika projektanta jest udostępnienie projektantom systemów pełnej informacji o urządzeniach automatyki analogowej INTELEKTRAN-S oraz przedstawienie ustalonych wzorów i formy dokumentacji konstrukcyjno-projektowej jaka powinna być opracowana przez biuro projektowe dla producenta urządzeń INTELEKTRAN-S w celu wyprodukowania i skompletowania tych urządzeń.

Z treści poradnika czytelnik dowie się, że przy projektowaniu systemu automatycznej regulacji może korzystać z oferowanych mu takich urządzeń produkowanych przez CKSAiP jak:

- przetworniki pomiarowe,
- moduły INTELEKTRAN-S,
- elementy pulpitowe,
- szafa elektroniki wolno stojąca,
- szafa elektroniki naścienna,
- pulpit mozaikowy.

Szczegółowe informacje o danych technicznych urządzeń z pierwszych trzech grup zawarte są w oddzielnych opracowaniach, w których podano również możliwości zastosowania tych urządzeń. Na opracowania te powołano się w treści poradnika i stanowią one jego niezbędne uzupełnienie. Natomiast szczegółowe informacje dotyczące pozostałych urządzeń i ich zastosowania przedstawiono we wspomnianym wyżej poradniku. Podany jest w nim zestaw symboli graficznych modułów i elementów do stosowania przy projektowaniu struktury układów automatycznej regulacji.

Znajdujące się w poradniku informacje pozwalają na wybór kasety do wypełnienia modułami INTELEKTRAN-S szafy lub zestawu szaf celem zabudowania w nich kaset modułami. W pewnych specyficznych warunkach istnieje możliwość zastosowania szafy elektroniki naściennej o wielkości na jedną lub dwie kasety z modułami. Układy automatycznej regulacji, projektowane z modułów INTELEKTRAN-S zabudowanych w szafach elektroniki, mogą współpracować z elementami pulpitowymi zabudowanymi w specjalnie do tego celu wykonanym pulpicie mozaikowym. Istnieje możliwość zastosowania dowolnej ilości szaf elektroniki w zestawie jak również zestawienia dowolnej ilości segmentów pulpitu mozaikowego. Wymagania techniczno-klimatyczne, wymiary gabarytowe szaf elektroniki i segmentów pulpitowych oraz sposób mocowania ich do podłoża, pozwalają na wcześniejsze przygotowanie pomieszczeń dla tych urządzeń.

Wszystkie opisane powyżej informacje oraz inne bardzo szczegółowe dane techniczne, niezbędne do projektowania struktury układów automatyki, doboru kaset, szaf, pulpitów i przetworników pomiarowych zawarte są w pierwszej części poradnika pod tytułem: "Informacje o urządzeniach INTELEKTRAN-S." W tej części przedstawione są również przykładowe schematy strukturalne, w których zastosowano różne moduły INTELEKTRAN-S z uwzględnieniem połączeń montażowych.

W części drugiej, tzw. projektowej poradnika zawarte są wzory dokumentów konstrukcyjnych jak np.: rysunków, tabel połączeń, zestawień kompletacyjnych oraz objaśnienia i komentarze dotyczące sposobu wypełnienia tych wzorów przez projektanta systemu automatyki analogowej. Opracowana dokumentacja konstrukcyjna przez biuro projektowe, według podanych wzorów, będzie podstawą do wyprodukowania i skompletowania potrzebnych urządzeń INTELEKTRAN-S. Wypełnione wzory do-



kumentów instytucja zamawiająca przekaze producentowi urządzeń automatyki analogowej INTELEKTRAN-S w formie załącznika do zamówienia

Projektant systemu, projektujący układy automatycznej regulacji, wykorzystujący urządzenia INTELEKTRAN-S, powinien jednocześnie przekazać niezbędne dokumenty dotyczące sprawdzenia poprawności montażu i działania tych układów z uwzględnieniem metod wykonania testowania i oceny wyników zarówno u producenta jak i na obiekcie. Dokumenty do tego celu projektant może opracować na podstawie instrukcji ujętej w spisie literatury pod pozycją 11.

Instrukcja ta składa się z trzech podstawowych części a mianowicie: Funkcja zestawu testującego, Rozwiązanie konstrukcyjne zestawu testującego i Wskazówki homologacyjne. Pierwsze dwie części zawierają informacje o urządzeniach zestawu testującego, natomiast trzecia część zawiera umowne symbole graficzne, tabele adresowe okablowania, wzory dokumentów i wskazówki eksploatacyjne, stanowiące bezpośredni materiał umożliwiający projektantowi opracowanie instrukcji testowania układów.

#### Literatura:

- [1] K. Szulc i in.: Urządzenia systemu INTELEKTRAN-S produkcji MERA-EI.WRO. Materiały Konferencji BLOEN 1978, 33 zeszyt IASE, Wrocław.
- [2] R. Kolek: Zastosowanie aparatów INTELEKTRAN-S w układzie bezpiecznej pracy bloku 500 MW. Materiały Konferencji BLOEN 1978, 33 zeszyt IASE, Wrocław.

[3] A. Pietraszek i in.: Badania laboratoryjne i obiektowe urządzeń i układów INTELEKTRAN-S. Materiały Konferencji BLOEN 1978, 33 zeszyt IASE, Wrocław.

[4] A. Kalita i in.: Przeciwybuchowe układy automatyki analogowej systemów URS i EFTTRONIK, INTELEKTRAN-S. Pomiar Automatyka Kontrola, 1978, nr 10-11.

[5] A. Kalita i in.: Iskrobezpieczne separatory systemów URS i EFTTRONIK. Pomiar Automatyka Kontrola, 1978, nr 10-11.

[6] B. Szcześnik: Przetworniki pomiarowe i urządzenia iskrobezpieczne. Instytut Komputerowych Systemów Automatyki i Pomiarów, Wrocław, Biuletyn URS IX/1978.

[7] Z. Olejnik: Moduły sterowania i elementy pulpituowe. Biuletyn Techniczny „Mera”, 1978, nr 7.

[8] E. Lambrych i in.: Elementy pulpituowe systemu INTELEKTRAN-S. Biuletyn Techniczny „Mera”, 1981, nr 3.

[9] Praca zbiorowa: Poradnik projektanta - dokumentacja technicznego projektowania, Instytut Komputerowych Systemów Automatyki i Pomiarów, Wrocław, 1980.

[10] S. Choromański: Poradnik projektanta systemu - urządzenia automatyki analogowej INTELEKTRAN-S. Instytut Komputerowych Systemów Automatyki i Pomiarów, Wrocław, 1981.

[11] S. Choromański: Instrukcja obsługi zestawu testującego - urządzenia automatyki analogowej INTELEKTRAN-S. Instytut Komputerowych Systemów Automatyki i Pomiarów, Wrocław, 1981.

Załączony zestaw literatury, składający się z różnych opracowań na temat urządzeń automatyki analogowej INTELEKTRAN-S, umożliwi zainteresowanym poszerzenie wiadomości o tych urządzeniach.



## Do PT Czytelników Biuletynu Technicznego "Mera"

Redakcja Biuletynu Technicznego "Mera" uprzejmie informuje Czytelników o wznowieniu działalności wydawniczej naszego czasopisma. Niniejszy, podwójny numer /4-5/ jest pierwszym tegorocznym numerem.

Informujemy, że od dnia 1 lipca 1982 r. przyjmujemy ogłoszenia /w tym informacje i reklamy/ o charakterze technicznym i handlowym. Przyjmujemy ogłoszenia dotyczące następujących dziedzin:

- elektroniczna technika obliczeniowa i przetwarzanie informacji,
- automatyka /sprzęt i systemy automatyzacji/,
- systemy i przyrządy pomiarowe,

Ogłoszenia mogą zawierać treści o następującym charakterze:

- zawiadomienia o szkoleniach, seminariach, sympozjach i kursach,

- reklamy sprzętu producentów krajowych i zagranicznych,
- informacje organizacji gospodarczych i instytucji państwowych o chęci sprzedaży lub kupna sprzętu lub oprogramowania,
- informacje stowarzyszeń należących do NOT, PTE, PTI itp. ,
- ogłoszenia o konkursach lub inne zawiadomienia o gotowości zatrudnienia specjalistów,
- informacje handlowo-techniczne o targach, wystawach i pokazach.

Opłata za ogłoszenia zgodnie z obowiązującymi stawkami. Za szczegółową treść ogłoszeń Redakcja nie odpowiada. Forma graficzna ogłoszeń może być konsultowana z sekretarzem Redakcji.

Zgłoszenia należy kierować na adres:  
04-994 Warszawa, ul. Poezji 19, Redakcja  
Biuletynu Technicznego "Mera".



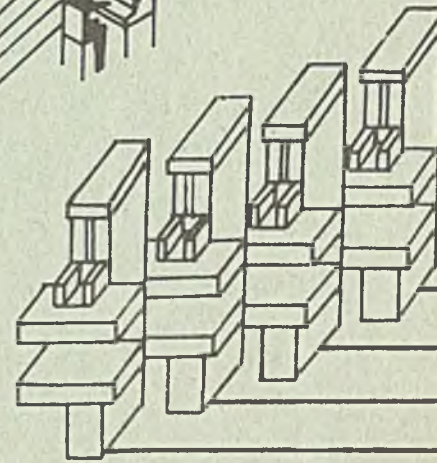
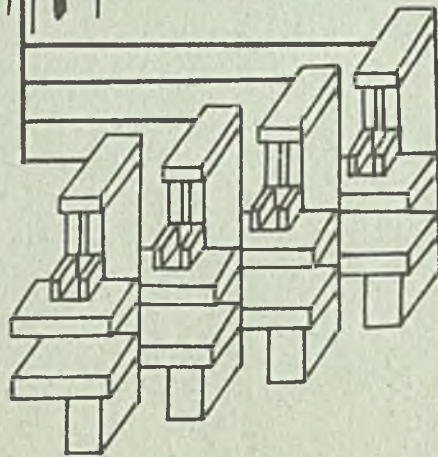
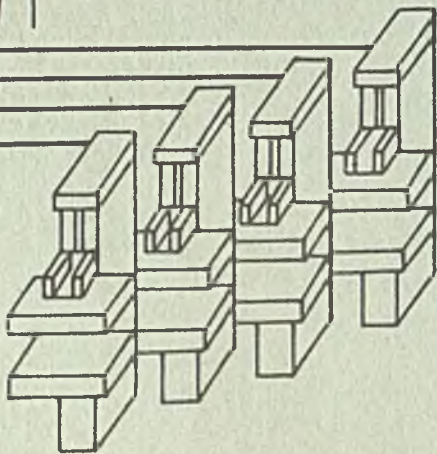
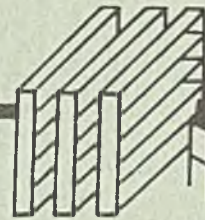
EC 8371.01

(M) EC 8006

KONTROLER

KIEROWNIK  
TECHNICZNY  
KIEROWNIK  
PRODUKCJI

INNE  
SŁUŻBY



LINIA PRAS 1

LINIA PRAS 2

LINIA PRAS „N”

Podsystem terminali w zastosowaniu do zbierania danych na wydziale łoczni



