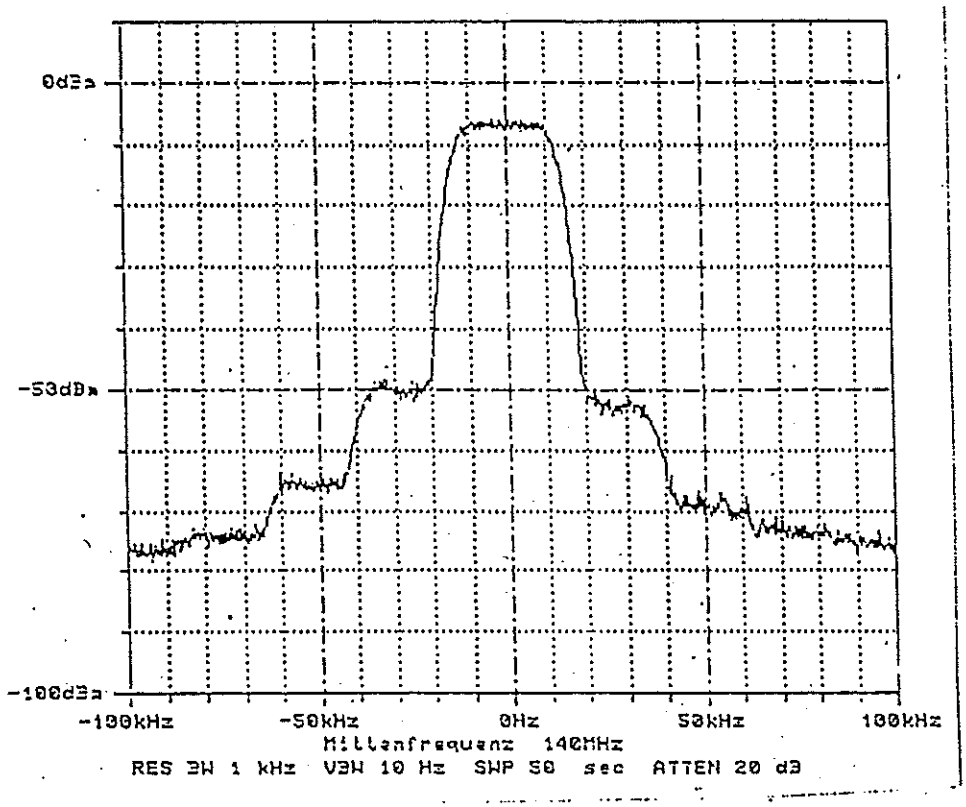
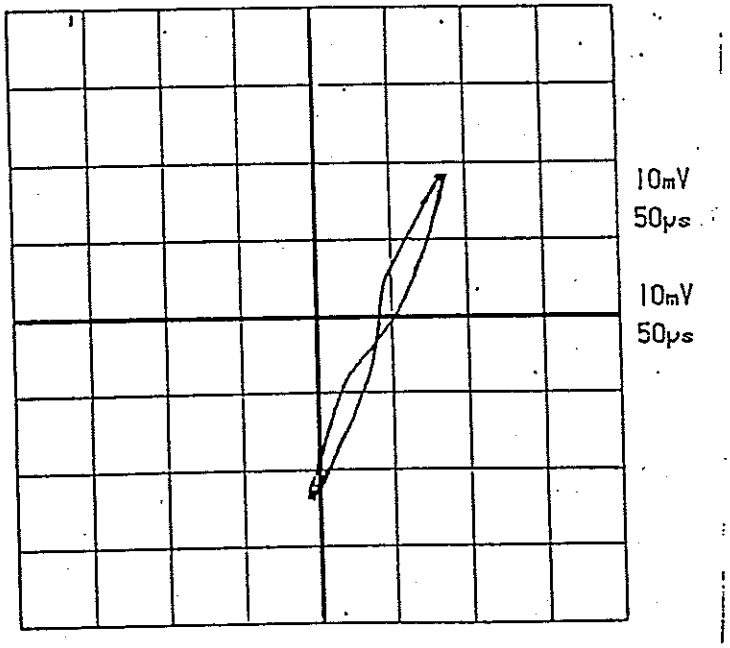
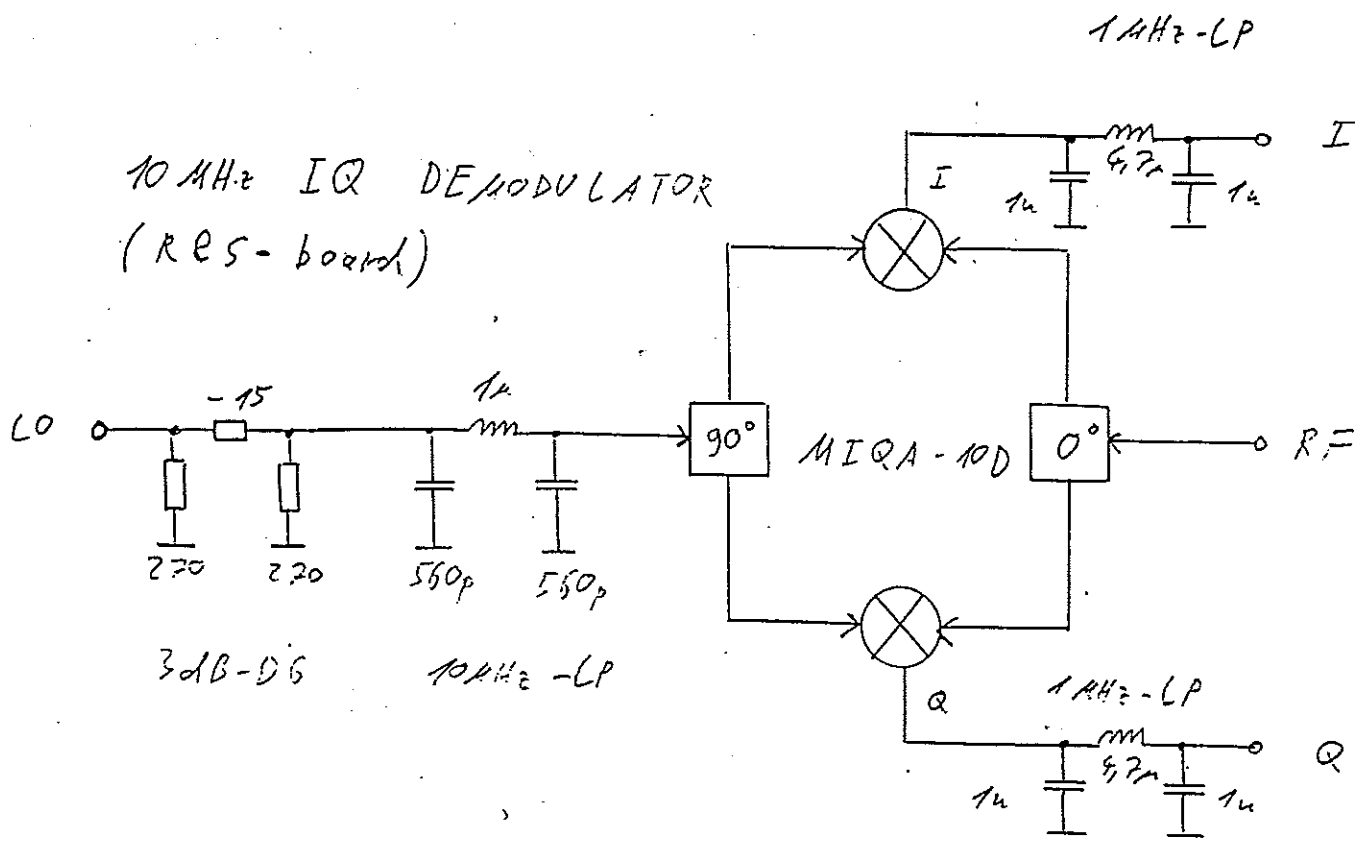
$\frac{\pi}{4}$-DQPSK-Modulation, Pseudorandomfolge

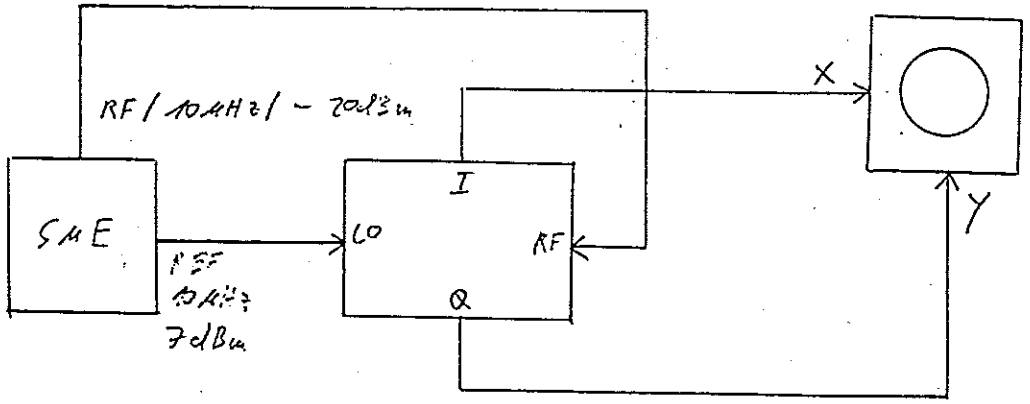


+135°/-135°-Folge, 1,5 µs Laufzeit-differenz



appendix 2:


1MHz-LP
10 MHz IQ DEMODULATOR
(RES-board)
I
1µ
4,7µ
1µ
LO
-15
1µ
90°
MIQA-10D
0°
RF
220
220
560p
560p
3dB-DG
10MHz-LP
Q
1MHz-LP
Q
1µ
4,7µ
1µ


RF / 10MHz / -20dBm
X
SME
I
LO
RF
Q
Y
15dBm
7dBm

ROHDE&SCHWARZ

SERVICEUNTERLAGEN

Option DM-Coder SME-B11

1036.8720.02

Inhaltsverzeichnis

7.	**Prüfen und Instandsetzen der Baugruppe**	5
7.1	**Funktionsbeschreibung**	5
7.1.1	TAKTSYNTHESE	5
7.1.2	DATENGENERATOR	6
7.1.3	Digitale Signalverarbeitung	6
7.2	**Meßgeräte und Hilfsmittel**	7
7.3	**Fehlersuche**	7
7.4	**Prüfen und Abgleichen**	8
7.4.1	Prüfung der Stromaufnahme und verschiedener Spannungen	8
7.4.2	Prüfen der Datenübertragung	9
7.4.3	Prüfung des Taktsignales zum DMCODER-Gatearray:	9
7.4.4	Abgleich vom OSCILLATOR und Pegelprüfung:	9
7.4.5	Prüfung der TAKTSYNTHESE (PLL) im INT-Modus 10	
7.4.6	Prüfung der TAKTSYNTHESE im EXT-Modus	11
7.4.7	Prüfung des Datengenerators	11
7.4.8	Prüfung der verschiedenen digitalen Modulationen	12
7.4.8.1	GFSK-Modulation (DECT)	12
7.4.8.2	QPSK-Modulation (ADC, JDC, TFTS, TETRA)	13
7.4.8.3	GMSK-Modulation (GSM)	14
7.4.8.4	FFSK-Modulation (POCSAG)	15
7.4.8.5	4FSK-Modulation (ERMES)	16
7.4.9	Prüfung von COUNTER1 (DELAY)	17
7.4.10	Prüfung der Interrupt-Funktion	17
7.4.11	Prüfung der Diagnose	17
7.4.12	Prüfung der verschiedenen Netze mit dem Modulationanalysator FMB	18
7.4.13	Prüfung der Mappingkorrektur (erst ab VAR2/REV3 funktionsfähig)	20
7.5	**Zerlegung und Zusammenbau**	20
7.6	**Externe Schnittstellen**	21

Schaltteilliste
Koordinatenliste
Stromlauf
Bestückungsplan

7. Prüfen und Instandsetzen der Baugruppe

Bei der Erstellung dieser Unterlage wurde grundsätzlich vorausgesetzt, daß der DATENCODER mindestens den Hardwarezustand VAR4/REV1 und die Firmware mindestens den Stand 1.80 hat. Im Abschnitt 7.4 werden auch Meßwerte älterer Hardwarezustände angegeben, wenn diese sich geändert haben.

7.1 Funktionsbeschreibung

Die Baugruppe DATENCODER (kurz DCOD) ist eine Tochterbaugruppe der Baugruppe DIGITALE SYNTHESE (kurz DSYN) und kann optional eingebaut werden.
DCOD liefert über die Schnittstelle FMDAT0...13 ein digitales FM-Modulations-Signal in paralleler Form an das DDS-Gatearray auf DSYN. Das Strobesignal kommt über die Leitung LOADM.

Außer bei QPSK kommen alle Modulationsarten mit der digitalen Frequenzmodulation (FM) aus. Bei QPSK liegt zusätzlich auch Amplitudenmodulation (AM) vor. Das AM-Signal hierzu ist analog und gelangt über die Leitung CODAM und über das MOTHERBOARD zur Baugruppe AUSGANGSTEIL (kurz OPU), auf der es als Führungswert die AM-Regelschleife steuert.

Die gesamte digitale Signalverarbeitung wird vom Gatearray DMCODER im Zusammenspiel mit EPROM durchgeführt. Ansonsten befinden sich noch auf DMCODER die Zähler für die TAKTSYNTHESE und der DATENGENERATOR. Das Blockschaltbild des Gatearrays DMCODER ist auf Blatt 4 bei den Stromläufen zu finden.

Bei allen Modulationsarten sind die beiden Modi INTERN und EXTERN zu unterscheiden. Im Modus INTERN kommt das Datensignal DATA und das Taktsignal DATACLK vom internen DATENGENERATOR und der internen TAKTSYNTHESE. Im Modus EXTERN werden die beiden Signale an den Gerätebuchsen DATA und CLOCK eingespeist und gelangen über die Leitungen DATA und DATACLK auf DCOD.

7.1.1 TAKTSYNTHESE

Die TAKTSYNTHESE erzeugt die für die verschiedenen Netze notwendigen Taktsignale. Die Taktfrequenz reicht von 50Hz bis zu 1.9MHz.
Die verschiedenen Taktfrequenzen werden in einer PLL (VCO: 6.4...11.7MHz) mit nachgeschalteten Teilern erzeugt. Die Teiler sind im Gatearray DMCODER integriert und so aufgeteilt, daß sie den für die digitale Signalverarbeitung notwendigen Oversamplingtakt (OS), Bittakt (BIT) und Symboltakt (SYMB) der verschiedenen Netze generieren können.
Im Modus INTERN ist die Referenzfrequenz des Phasendetektors von der internen 50MHz-Referenz abgeleitet. Im Modus EXTERN werden alle Taktfrequenzen von dem an der Buchse CLOCK eingespeisten Bit- oder Symboltakt abgeleitet.

Die Abstimmspannung vom VCO wird vom INTERRUPT-DETECTOR überwacht und bei asynchroner PLL wird die Fehlermeldung "data coder clock unlocked" ausgelöst.

7.1.2 DATENGENERATOR

Der DATENGENERATOR kann entweder ein Pseudorandom-Signal liefern (Modul PRBS) oder aus dem 8kx4Bit großen DATA-RAM eine Datensequenz zyklisch oder einmalig auslesen. Das DATA-RAM kann vom Rechner geladen werden. Die Länge der Sequenz ist einstellbar.

Parallel zum Daten-Signal können auch die Signale LSWI (Levelswitch) und BURST im DATA-RAM eingelesen und synchron mit DATA ausgelesen werden. Das LSWI-Signal wird zur Baugruppe OPU geführt, wo es zwischen zwei Führungswerten also zwei Pegeln umschaltet. Das BURST-Signal wird über eine Gerätebuchse herausgeführt und kann als Trigger- oder Synchronisationssignal herangezogen werden. DATA, LSWI und BURST sind unabhängig voneinander im Listen-Editor editierbar.

7.1.3 Digitale Signalverarbeitung

Die digitale Signalverarbeitung der Modulationen ohne AM ist relativ einfach, da nur eine Filterung (Basisbandfilter) durchgeführt werden muß. Es handelt sich immer um FIR-Filter, die mit Schieberegistern und EPROM realisiert sind (SHIFT2, SHIFT6, GMSK-EPROM, GFSK-EPROM). Die Ausgänge aller EPROM sind parallelgeschaltet und gehen auf FMDAT0...13, der Schnittstelle zu DSYN. Es ist immer nur ein EPROM aktiv. Die Ausgänge der restlichen werden in den Tristate-Zustand geschaltet.

Die digitale Signalverarbeitung für QPSK ist wesentlich aufwendiger. Die FIR-Filterung erfolgt im Multiplexbetrieb im BF-EPROM. Das gefilterte I- und Q-Signal wird durch Quadrieren und Radizieren in das AM-Signal umgewandelt. Die Phase ergibt sich durch Dividieren und durch die ARCTAN-Funktion. Die Wurzel- und die ARCTAN-Funktion sind als Tabelle im ARCTAN-EPROM abgelegt. Aus der Phase wird schließlich durch Differenzieren die Frequenz gewonnen. Das Strobe-Signal für das DDS_GA auf DSYN wird im COUNTER1 0...15 Master-Clock-Takte verzögert. FIFO und COUNTER1 zusammen ermöglichen einen elektronischen Laufzeitabgleich des FM-Signales. Im Menü UTILITIES-CALIB-QPSK kann die Verzögerung vom Benutzer zur Optimierung der spektralen Reinheit in den Nachbarkanälen korrigiert werden.

Das digitale AM-Signal CODAM wird vom DAC und dem ALIASING-FILTER in ein analoges umgewandelt und der Baugruppe OPU zugeführt. Mit dem Abgleichpunkt LEVEL kann der Pegel am Gesamtgerät so abgeglichen werden, das bei abgeschalteter Modulation der Ausgangspegel minimal wird, daß also der Nullpunkt der AM richtig ist.
Mit dem Schalter STROBE-MUX wird der COUNTER1 umgangen, wenn keine QPSK-Modulation vorliegt.

7.2 Meßgeräte und Hilfsmittel

- Servicekit 1039.3520
- Zweikanaloszilloskop (0...250MHz)
- 100:1 HF-Tastkopf (5kΩ/50Ω)
- Spektrumanalysator 1...20MHz (z.B. FSA)
- Frequenzzähler 500Hz...1.2MHz (im FSA enthalten)
- Signalgenerator 100Hz...1.2MHz (z.B. SMG)
- Rechteckgenerator 100Hz...1.2MHz (z.B. ADS)
- Modulationsanalysator (z.B. FMA)
- Multimeter (z.B. UDL33)

7.3 Fehlersuche

Datenübertragung fehlerhaft (siehe 7.4.2).	Prüfe SERBUS-D2 (D112) auf DSYN, den SERBUS-BUFFER (D50) und das Schieberegister D300.
Taktsignal an P13 außer Toleranz (siehe 7.4.3).	Prüfe CLOCK-AMPLIFIER (V260).
Kein Taktsignal an P14 (siehe 7.4.4).	Prüfe den Inverter D330, das DMAP-FPGA (D80) und den OSCILLATOR (V235, V236, V237, V240).
Taktsynthese fehlerhaft (siehe 7.4.5).	Prüfe DMCODER-Signale UP und DOWN (Ausgänge des digitalen Phasendetektors), DMAP-FPGA (D80), CONTROL-AMPLIFIER (N200, N210) und den OSCILLATOR (V235, V236, V237, V238, V240).
GFSK-Modulation fehlerhaft (siehe 7.4.8.1).	Prüfe DMCODER-Gatearray, Strobesignal an P5 (11.52MHz-Rechtecksignal), GFSK-EPROML (D50) und GFSK-EPROMH (D60).
QPSK-Modulation fehlerhaft (siehe 7.4.8.2).	Prüfe DMCODER-Gatearray, Strobesignal an P5 (Rechtecksignal mit der fünfzehnfachen Bitfrequenz), DMAP-FPGA (D80), BF-EPROM (D30), ARCTAN-EPROM (D40), DAC (D280) und ALIASING-FILTER (N280, N290, N295).
GMSK-Modulation fehlerhaft (siehe 7.4.8.3).	Prüfe DMCODER-Gatearray, Strobesignal an P5 (4.333MHz-Rechtecksignal) und GMSK-EPROM (D70).
FFSK-Modulation fehlerhaft (siehe 7.4.8.4).	Prüfe DMCODER-Gatearray, Strobesignal an P5 (76.8kHz-Rechtecksignal) und GMSK-EPROM (D70).

4FSK-Modulation fehlerhaft (siehe 7.4.8.5).	Prüfe DMCODER-Gatearray, Strobesignal an P5 (93.75kHz-Rechtecksignal), GMSK-EPROM (D70), BF-EPROM (D30), DMAP-FPGA (D80), SHIFT6 (D85).
Kein Strobesignal an P5.	Prüfe DMCODER-Gatearray, Inverter D330, COUNTER1 (D305) und den Multiplexer STROBE-MUX (D335).
Es erscheint die Fehlermeldung "Data coder clock unlocked".	Prüfe Phasenregelschleife (Abst.sp. an X215 zw. 1V und 7V), DMCODER-Gatearray, CONTROL-AMPL. N200, N210), OSCILLATOR, DMAP-FPGA (D80) und den INTERRUPT-DETECTOR (N220, V220).

7.4 Prüfen und Abgleichen

Zum Servicebetrieb wird der obere Deckel der Mutterbaugruppe DIGITALE SYNTHESE (DSYN) abgeschraubt, anstelle der Baugruppe wird der Serviceadapter in den Steckplatz eingesetzt und anschließend die Baugruppe auf den Adapter gesteckt. Nachdem die HF-Verbindungen hergestellt worden sind, ist die Baugruppe DSYN und die Option DATENCODER (DCOD) wieder betriebsbereit.

Bei allen Angaben zur Einstellung des Gerätes wird zu Beginn jedes Abschnittes davon ausgegangen, daß das Gerät im PRESET-Zustand ist.

7.4.1 Prüfung der Stromaufnahme und verschiedener Spannungen

- **Einstellung:** **FREQUENCY 1000MHz**
  DIGITAL MOD - GFSK - SOURCE PRBS

▶ Die Stromaufnahme der Baugruppe kann geprüft werden, indem anstelle der Spulen L350, L351 und L352 ein Ampermeter eingeschleift wird. Es sind hierzu die vier Schrauben, die DCOD mit DSYN verbindet, zu lösen, da die Spulen auf der Lötseite von DCOD sind. Die Sollwerte zu den jeweiligen Versorgungsspannungen befinden sich in Kap. 7.6.

▶ Verschiedene Spannungen: **P8:** 10.3+-1V
P12: -4.3+-1V

7.4.2 Prüfen der Datenübertragung

- Die Verschraubung von DCOD lösen und DCOD hochklappen, damit der Baustein D300 zugänglich wird.

Einstellung	D300 Pin 4	5	6	7	14	13	12	11	P10	
DIG.MOD-QPSK-SOURCE PRBS, UTILITIES-CALIB-QPSK-										
DELAY = 2620ns	0	0	0	0	x	x	x	x	1	
DELAY = 2580ns	1	0	0	0	x	x	x	x	1	
DELAY = 3900ns	0	1	0	0	x	x	x	x	1	
DELAY = 3700ns	0	0	1	0	x	x	x	x	1	
DELAY = 3360ns	0	0	0	1	x	x	x	x	1	
DIG.MOD-GFSK-SOURCE-PRBS	x	x	x	x	x	0	0	0	1	
DIG.MOD-QPSK-SOURCE-PRBS	x	x	x	x	x	1	0	0	1	
DIG.MOD-QPSK-SOURCE-OFF	x	x	x	x	x	x	x	x	0	
DIG.MOD-4FSK-SOURCE-OFF	x	x	x	x	x	0	1	1	1	gilt nur bis VAR2/REV6

7.4.3 Prüfung des Taktsignales zum DMCODER-Gatearray:

- An P13 über einen 100:1-HF-Tastkopf ein Oszilloskop (50Ω-Abschluß) anschließen.
- Es muß ein periodisches 50MHz-Signal mit HIGH-Pegel >4V und LOW-Pegel <1V zu messen sein. Die Spannung muß >7ns über 2.5V und >7ns unter 2.5V bleiben.

7.4.4 Abgleich vom OSCILLATOR und Pegelprüfung:

- Einstellung: **DIGITAL MOD - GFSK - SOURCE PRBS**
- Steckbrücke X215 ziehen und Gleichspannung an X215.2/3 einspeisen.
- Frequenzzähler an P14 anschließen.

▶ Den Oszillator nach folgender Tabelle wechselweise abgleichen:

Bis VAR2/REV1:

Spang. X215	Abgleichpunkt	Sollfrequenz an P14
2V	OSZ1 (C230)	7.5+-0.1MHz
7V	OSZ2 (C231)	12+-0.1MHz

Ab VAR2/REV2:

Spang. X215	Abgleichpunkt	Sollfrequenz an P14
0.9V	OSZ1 (C230)	6.4+-0.1MHz
7V	OSZ2 (C231)	11.7+-0.1MHz

- An P14 über einen 100:1-HF-Tastkopf ein Oszilloskop anschließen.

▶ Es muß für U(X215)= 2V (ab VAR2/REV2: 0.9V) und 7V eine periodische Rechteckspannung mit der Maximalspannung über 4V und der Minimalspannung unter 1V zu messen sein. Die Spannung muß >15ns über 2.5V und >15ns unter 2.5V bleiben.

- Steckbrücke X215 wieder aufstecken.

7.4.5 Prüfung der TAKTSYNTHESE (PLL) im INT-Modus

- An den CLOCK-Ausgang ein Oszilloskop und einen Frequenzzähler anschließen (1MΩ).
- An X215.2 ein Voltmeter anschließen oder Diagnosepunkt 301 einschalten.

▶ Am Oszilloskop muß ein Rechtecksignal mit HC-Pegel zu sehen sein.

- Einstellung: **DIGITAL MOD - ... - SOURCE PRBS**

Einstellung	Taktfrequenz am CLOCK-Ausgang in kHz+-1% (CLK MODE SYMB)	Spang.an X215.2 od. Diag.301 in V+-0.5V		
		ab VAR2/ REV0	ab VAR2/ REV2	ab VAR4/ REV1
GMSK/STANDARD GSM/PCN	270.8333	3.3	3.4	3.4
GFSK/STANDARD DECT	1152	6.3	6.7	6.7
QPSK/STANDARD ADC	24.3	6.5	7.0	7.0
QPSK/STANDARD PDC	21	4.7	4.9	4.9
QPSK/STANDARD TFTS	22.1	5.2	5.4	5.4
QPSK/STANDARD TETRA	18	3.3	3.4	3.4
FSK/STANDARD POCS-1200	1.2	3.8	4.0	4.0
FSK/STANDARD POCS-512	0.512	2.8	2.9	2.9
4FSK/STANDARD ERMES	3.125	2.0	2.2	5.2

- Einstellung: **DIGITAL MOD - QPSK - SELECT STANDARD ADC**
  CLOCK MODE - SYMBOL

▶ Am DATACLK-Ausgang muß ein Rechtecksignal mit der Frequenz 24.3kHz+- 1% zu messen sein.

7.4.6 Prüfung der TAKTSYNTHESE im EXT-Modus

- An die CLOCK-Buchse ein Rechtecksignal mit HC-Pegel und der Frequenz 1152kHz anschließen.

- Einstellung: **DIGITAL MOD - GFSK - SOURCE EXT**

▶ An X215.2 muß eine Gleichspannung mit 6.3+-1V (ab VAR2/REV2: 6.7V) zu messen sein.

- An die CLOCK-Buchse ein Rechtecksignal mit HC-Pegel und der Frequenz 1.2kHz anschließen.

- Einstellung: **DIGITAL MOD - FFSK - SOURCE EXT**

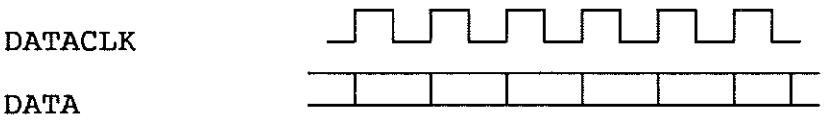
▶ An X215.2 muß eine Gleichspannung mit 3.8+-0.5V (ab VAR2/REV2: 4.0V, ab VAR4/REV1: 3.6V) zu messen sein.

7.4.7 Prüfung des Datengenerators

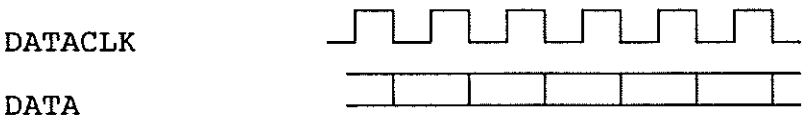
▶ An die CLOCK- und DATA-Buchse ein zweikanaliges Oszilloskop anschließen (1MΩ).

- Einstellung: **DIGITAL MOD - FSK - SOURCE PRBS**

▶ An der CLOCK-Buchse muß ein Taktsignal und an der DATA-Buchse ein Pseudorandom-Datensignal mit der Frequenz 1200Hz+-1% und HC-Pegel zu messen sein.
Das Datensignal muß sich mit der steigenden Flanke vom Taktsignal ändern.



- Einstellung: **- CLOCK EDGE NEG**

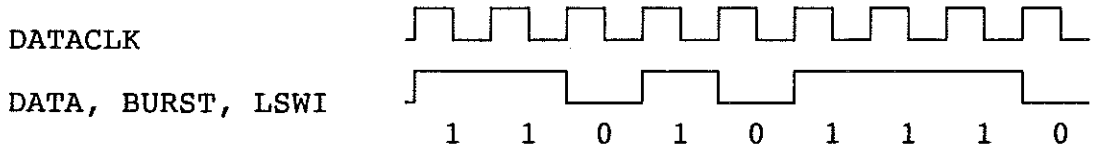


▶ Das Datensignal muß sich nun mit der fallenden Flanke vom Taktsignal ändern.

- Ein zweikanaliges Oszilloskop an die CLOCK-Buchse und DATA-Buchse bzw. BURST-Buchse bzw. X80.32 (LSWI) anschließen.

- Einstellung:
  - FILL-LIST DATA "110101110"
  LEV SWCH "110101110"
  BURST "110101110"
  - SOURCE DATA

▶ Es muß an der DATA-Buchse, BURST-Buchse und an X80.32 das Datensignal "110101110" periodisch wiederholt zu messen sein. Zur fallenden Flanke von DATACLK müssen die Datensignale stabil sein.



• Einstellung: **MODE SINGLE**
EXECUTE SINGLE MODE

▶ Nach dem setzen von EXECUTE muß das Datensignal "110101110" an den drei Ausgängen einmalig als Burst erscheinen.

7.4.8 Prüfung der verschiedenen digitalen Modulationen

7.4.8.1 GFSK-Modulation (DECT)

• Einstellung: **FREQUENCY 835MHz**
DIGITAL MOD - GFSK - SOURCE PRBS
- PRBS 23 BIT

• Spektrumanalysator an X89 (FDDS) anschließen und Center=15MHz, Span=10MHz, Res.Bw.=30kHz, Vid.Bw.=30Hz einstellen.

▶ Es muß ein kontinuierliches Spektrum zu sehen sein. Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
200	-1.7+-0.5
400	-5.7+-0.5
700	-20.5+-2
1000	-30.8+-3
1500	-53+-3
2850	-68+-3
4800	-72+-3

• Am Spektrumanalysator Span=4MHz einstellen.

• Einstellung: **FILTER ...**

▶ Je nach FILTER muß der relative Signalpegel bei 1000kHz Offset-Frequenz folgendermaßen aussehen:

FILTER B*T	DEVIATION	Pegel in dB
B*T=0.4	DEV=288 kHz	-33.8+-2
B*T=0.5	DEV=288 kHz	-30.8+-2
B*T=0.6	DEV=288 kHz	-28.9+-2
B*T=0.5	DEV=317 kHz	-28.4+-2

- Einstellung: **- SELECT STANDARD - CT3 (ab VAR2/REV2)**

▶ Es muß ein kontinuierliches Spektrum zu sehen sein. Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
111	-1.7+-0.5
222	-5.7+-0.5
389	-20.5+-2
556	-30.8+-3
833	-56+-3

7.4.8.2 QPSK-Modulation (ADC, JDC, TFTS, TETRA)

- Einstellung: **FREQUENCY 835MHz**
  DIGITAL MOD - QPSK - SOURCE PRBS
  - PRBS 23 BIT

- Spektrumanalysator an X89 (FDDS) anschließen und Center=15MHz, Span=300kHz, Res.Bw.=3kHz, Vid.Bw.=10Hz einstellen.

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
21	-19+-2
30	-19+-2
44	-28+-3
67	-37+-3
100	-46+-3

- Am Spektrumanalysator Span=60kHz und 2dB/Div. einstellen.

- Einstellung: **FILTER / ROLL OFF laut Tabelle**
  BITRATE laut Tabelle

▶ Je nach FILTER müssen folgende Bilder und Pegel zu sehen sein:

FILTER /ROLL OFF	BITRATE in kHz	Offset-Frequ. in kHz	Pegel in dB
SQR(COS) / 0.35	48.6	15	-8.6+-2
COS / 0.35	48.6	15	-10.6+-2
SQR(COS) / 0.40	44.2	18	-17.5+-2
SQR(COS) / 0.50	42.0	15	-12.0+-2

- Einstellung: **SOURCE DATA**
  SELECT STANDARD ADC
  FILL LIST DATA "0111"

▶ Spektrumanalysator an X80.9 (CODAM) anschließen (50Ω) und Center=125kHz, Span=250kHz, Res.Bw.=1kHz, Vid.Bw=100Hz und DC-Kopplung einstellen.

▶ Der absolute Signalpegel bei 24.3kHz muß -6+-2dBm sein. Bezogen auf diesen Pegel müssen die Pegel der folgenden Tabelle zu messen sein:

Absolut-Frequ. in kHz	Pegel in dB
2 * 24.3	-17.3+-2
3 * 24.3	-29.0+-2
4 * 24.3	-38.0+-2
5 * 24.3	-47.0+-2
6 * 24.3	-53.7+-2
7 * 24.3	-65.5+-2

7.4.8.3 GMSK-Modulation (GSM)

- Einstellung: **FREQUENCY 835MHz**
  DIGITAL MOD - GMSK - SOURCE PRBS
  - PRBS 23 BIT

- Spektrumanalysator an X89 (FDDS) anschließen und Center=15MHz, Span=1MHz, Res.Bw.=10kHz, Vid.Bw.=10Hz einstellen.

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
50	-2+-1
100	-8+-2
150	-20+-3
220	-36+-3
300	-52+-3
450	-75+-3

- Einstellung: **FILTER B*T ...**

▶ Je nach FILTER muß der relative Signalpegel bei 250kHz Offset-Frequenz folgendermaßen aussehen:

B*T	Pegel in dB
0.2	-56.5+-3
0.3	-40.0+-3
0.5	-30.7+-3

- Einstellung: **- SELECT STANDARD - MOBITEX-8k (ab VAR2/REV2)**

- Am Spektrumanalysator Span=20kHz, Res.Bw.=100Hz, Vid.Bw.=10Hz einstellen.

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
1.48	-2.0+-1
2.95	-8.6+-2
4.43	-20+-3
6.50	-36+-3
8.86	-52+-3

- Einstellung: **- SELECT STANDARD - MD36N (ab VAR2/REV5)**

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
0.666	-2.0+-1
1.3275	-8.6+-2
2.0	-20+-3
2.925	-36+-3
4.0	-52+-3

7.4.8.4 FFSK-Modulation (POCSAG)

- Einstellung: **FREQUENCY 835MHz**
  DIGITAL MOD - FFSK - SOURCE PRBS
  - PRBS 23 BIT

- Spektrumanalysator an X89 (FDDS) anschließen und Center=15MHz, Span=50kHz, Res.Bw.=3kHz, Vid.Bw.=30Hz einstellen.

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
3	-0.9+-0.5
5	-6.6+-0.5
10	-31.7+-3
15	-52.0+-3
25	-69.0+-3

- Einstellung: **- SOURCE DATA**
  - FILL-LIST DATA "1"

- Einen Modulationanalysator (z.B. FMB) an X89 (FDDS) anschließen und FM-Demodulation mit der Demodulationsbandbreite 23kHz einschalten.

▶ Es muß eine sinusförmige FM mit dem Spitzenhub von 4kHz+-1% und der Modulationsfrequenz von 1200Hz+-1% zu messen sein. Der Klirrfaktor muß unter 1% liegen.

7.4.8.5 4FSK-Modulation (ERMES)

- Einstellung: **FREQUENCY 835MHz**
  DIGITAL MOD - 4FSK - SOURCE PRBS
  - PRBS 23 BIT

- Spektrumanalysator an X89 (FDDS) anschließen und Center=15MHz, Span=50kHz, Res.Bw.=1kHz, Vid.Bw.=3Hz einstellen.

▶ Der Signalpegel bezogen auf den Pegel bei 15MHz in Abhängigkeit von der Offsetfrequenz muß folgendermaßen aussehen:

Offset-Frequ. in kHz	Pegel in dB
2.5	-0.7+-0.5
5	-7.6+-2
10	-35+-3
15	-56+-4

- Einstellung: **- SOURCE DATA**
  - FILL-LIST DATA "1000"

- Einen Modulationanalysator (z.B. FMB) an X89 (FDDS) anschließen und FM-Demodulation mit der Demodulationsbandbreite 23kHz einschalten.

▶ Es muß eine FM (Rechtecksignal ohne Überschwingen) mit dem Spitzenhub von 4.6875kHz+-1% und der Modulationsfrequenz von 1562.5Hz+-1% zu messen sein.

7.4.9 Prüfung von COUNTER1 (DELAY)

- Einstellung: **DIGITAL MOD - QPSK - SOURCE PRBS**
  UTILITIES CALIB QPSK DELAY=2620ns

- An P5 (LOADM) und P6(FMDAT13) ein Oszilloskop anschließen und auf positive Flanke vom Signal an P6 triggern (2.5V Schwellspannung).

▶ An P5 muß ein um 7*85.7ns+10ns=610ns+-20ns gegenüber der positiven Flanke an P6 verzögerter Puls mit der Pulsdauer von 87.5ns+-10ns zu messen sein.

▶ Die Verzögerung muß gemäß folgender Tabelle von DELAY abhängig sein:

DELAY/ns	Verz. in ns +-20ns
2620	7*85.7+10=610
2580	6*85.7+10=524
3900	5*85.7+10=439
3700	3*85.7+10=267
3360	15*85.7+10=1296

7.4.10 Prüfung der Interrupt-Funktion

- Einstellung: **DIGITAL MOD - GMSK - SOURCE PRBS**

- Steckbrücke X215 abziehen.

▶ Es muß die Fehlermeldung "Data coder clock unlocked" kurz erscheinen und es muß die Anzeige ERROR permanent angezeigt werden. Wenn die ERROR-Taste gedrückt wird, muß die Fehlermeldung in der Fehlerliste stehen.

- Die Steckbrücke wieder stecken. Die Anzeige ERROR muß verschwinden.

- Einstellung: **- SOURCE OFF**

▶ Beim Abschalten der Modulation darf keine Fehlermeldung erscheinen.

7.4.11 Prüfung der Diagnose

- Einstellung: **DIGITAL MOD - GFSK - PRBS**
  UTILITIES - DIAG - TPOINT

TPOINT	Meßpunkt	Faktor	Sollspannung
301	STEUERSPANNUNG DCOD-VCO	3	6.3+-1V
302	OSZILLATORPEGEL DCOD-VCO	1	0.5...1.5V

7.4.12 Prüfung der verschiedenen Netze mit dem Modulationanalysator FMB

Die mit dem Änderungszustand VAR2/REV2 neu hinzugekommenen Netze CT2, CT3, CDPD, MC9, MOBITEX-8000, CITYRUF und POCSAC lassen sich mit dem FMB überprüfen. Eine Prüfung des Spektrums der neuen Netze ist nicht notwendig, da keine neuen Eproms hinzugekommen sind.

- Einstellung: **FREQUENCY 900MHz**
  LEVEL 0dBm
  DIGITAL MOD - GFSK - SOURCE DATA
- Modulationsanalysator FMB an X89 (FDDS) anschließen und FM-Demodulation einschalten.
- Mit dem Listeneditor sind im DATA-Kanal N mal "1" und N mal "0" einzugeben (z.B. bei N=4 "11110000"):
- Einstellung: **FILL-LIST DATA "1...10...0"**
- Den Hochpaßfilter des FMB (HP) auf 10Hz setzen. Der DIFF ENCODER muß beim SME immer auf OFF gesetzt bleiben. Weitere Einstellungen sind in der Tabelle aufgeführt.
- Bei QPSK-Modulation sollte das DATA-Muster "0111" editiert werden (+-135°-Folge). Bei dem Netz TFTS muß DIFF ENCODER auf ADC gestellt werden.

▶ Der gemessene Spitzenhub und die Modulationsfrequenz sollte den Werten in der Tabelle entsprechen. Die Abweichung vom Nominalhub kommt vom Überschwingen des FMB-Tiefpaßfilters.

▶ Rechts in der Tabelle ist aufgeführt, ab welcher Variante und Revision der zu prüfende Standard realisiert ist.

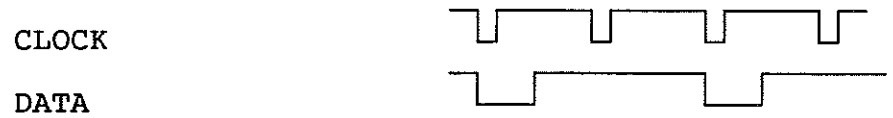
Einstellung: Modul./ SEL. STAND.	FMB LP-bandbr. in kHz	N/ DATA	FM-Hub in kHz +-3%	Mod.-frequ. kHz+-1%	VAR	REV
GMSK / GSM	100	N=4	77	33.85	2	1
GMSK / CDPD	100	N=4	4.9	2.4	2	2
GMSK / MC9	23	N=4	2.0	1.0	2	2
GMSK / MOBITEX-8000	23	N=4	2.0	1.0	2	2
GMSK/MD36N	3	N=4	0.92	0.45	2	5

GMSK/BITR.1M /BT=0.4	100	N=32	304	15.625	2	5
GMSK / DSRR	23	N=4	4.03	2.0	2	5
GFSK / DECT	100	N=32	352	18.0	2	1
GFSK / CT2	100	N=4	18.25	9.0	2	2
GFSK / USER BITRATE: 100kbps FIL./DEV: 0.5/20kHz	100	N=4	21 .1	12.5	4	1
GFSK / CT3	100	N=20	195	16.0	2	2
QPSK / ADC	100	0111	37.1	12.1	2	1
QPSK / PDC	100	0111	33.4	10.5	2	1
QPSK/TFTS (D.E. ADC)	100	0111	34.6	11.0	2	1
QPSK / TETRA	100	0111	28.6	9.0	2	1
QPSK / APCO25	23	0111	5.68	2.4	2	5
QPSK / INMARSAT	23	0111	2.76	2.0	4	1
QPSK / MSAT	23	0101	.517	3.375	4	1
QPSK / USER MOD TYPE: PI/4 QPSK BITRATE: 14kbps FILTER: SQR-COS/0.5 CODING: TFTS	100	11010010	3.59	7.0	4	1
FSK / CITYRUF-1200	23	N=1	4.15	0.6	2	2
FSK / POCSAG-2400	23	N=1	4.63	1.2	2	2
FSK / USER BITRATE: 20kbps HUB: 200kHz FILTER: OFF	100	N=1	247+-10%	10.0	2	1
FSK / FLEX-3200	23	01	4.86	1.6	4	1
4FSK / ERMES	100	0111	1.64	1.5625	2	1
4FSK (C4FM) / APCO25	23	01011111	2.83	1.2	2	5
4FSK / FLEX-6400	23	0010	4.86	1.6	4	1
4FSK / MODACOM	23	01011111	2.5	1.2	4	1
FFSK / POCSAG	3	1111	4.0	1.2	2	1
FFSK / USER BITRATE: 90kbps DEVIATION: 4.5kHz	100	1111	4.8	90	4	1

7.4.13 Prüfung der Mappingkorrektur (erst ab VAR2/REV3 funktionsfähig)

• Einstellung: **DIGITAL MOD - QPSK - SOURCE EXT**

• An die CLOCK- und DATA-Buchse folgende periodische Signal mit der Periodendauer 82.3us für DATA einspeisen: (Datenfolge "0111", Datenübernahme bei steigender Flanke)



(Als Daten- und Taktquelle kann auch ein SME mit der Option DM--CODER mit der Einstellung DIGITAL MOD - QPSK - SOURCE DATA verwendet werden. Mit dem Listeneditor muß die Datenfolge "0111" eingegeben werden. Die Signale liegen dann an den Buchsen CLOCK und DATA an.)

▶ An X215.2 muß eine Gleichspannung mit 6.9+-0.5V zu messen sein. (Diagnosepunkt 301)

• An X600 (FDDS) einen Spektrumanalysator anschließen (50OHm).

▶ Es muß am Spektrumanalysator bei 12.5MHz ein Träger mit Seitenlinien bei +-12.15kHz zu sehen sein, deren Pegel 1.3+-0.2dB über dem Träger liegt.

7.5 Zerlegung und Zusammenbau

Nach dem Öffnen des Gerätes, dem entriegeln der Baugruppe und dem Lösen der HF-Verbindungen X81 und X89 kann die Mutterbaugruppe DSYN aus ihrem Steckplatz entnommen werden.
Nach dem Abschrauben des Schirmdeckels auf der Bauelementeseite ist die Baugruppe Option DATENCODER zu sehen. Nach dem Lösen von vier Schrauben und drei Steckern, kann DCOD herausgenommen werden.

7.6 Externe Schnittstellen

Pin	Name	Ein/Ausgang	Herkunft/Ziel	Wertebereich	Signalbeschreibung
W3.A17	+5V	Eingang	A8,DSYN	+4.5...+5.5V 150...250mA 250...400mA	Versorgungsspannung bis VAR2/REV6 ab VAR4/REV1
W3.A16	+15V	Eingang	A8,DSYN	13.5...16.5V 40...60mA	Versorgungsspannung
W3.A18	-15V	Eingang	A8,DSYN	-13.5V...-16.5V 25...40mA	Versorgungsspannung
W1.A1	DCOD50	Eingang	A8,DSYN	50MHz, 5+-1dBm	Referenz-Signal
W3.A5	DATACLK	Eing./Ausg.	A8,DSYN	HCT-Pegel	Datentakt (zur Buchse CLOCK)
W3.A7	DATA	Eing./Ausg.	A8,DSYN	HCT-Pegel	Datensignal (zur Buchse DATA)
W3.A1	BURST	Eing./Ausg.	A8,DSYN	HCT-Pegel	Steuersignal vom DATA-RAM
W3.A3	LSWI	Ausgang	A8,DSYN	HC-Pegel	Pegelumschalt-Signal für OPU
W1.A18 ... W1.A4	FMDAT0 ... FMDAT13	Ausgang ... Ausgang	A8,DSYN ... A8,DSYN	HC-Pegel HC-Pegel	14bit Parallelport für die FM-Modulationsdaten zu DSYN
W1.A20	LOADM	Ausgang	A8,DSYN	HC-Pegel	Strobe zum Parallelport
W3.A19	CODAM	Ausgang	A8,DSYN	-1V...+1V	AM-Signal für QPSK-Modulation
W2.A5	IR1	Ausgang	A8,DSYN	HC-Pegel	Interrupt-Signal
W2.A1	DIAG1	Ausgang	A8,DSYN	0...+5V	Diagnose-Spannung
W2.A2	DIAG2	Ausgang	A8,DSYN	0...+5V	Diagnose-Spannung
W2.A14	CLOCK1	Eingang	A8,DSYN	HC-Pegel	Serbustakt
W2.A3	SCHREIB1	Eingang	A8,DSYN	HC-Pegel	Serbusstrobe
W2.A18	CLOCK2	Eingang	A8,DSYN	HC-Pegel	Serbustakt
W2.A16	SCHREIB2	Eingang	A8,DSYN	HC-Pegel	Serbusstrobe
W2.A20	SEROUT	Eingang	A8,DSYN	HC-Pegel	Serbusdaten
W3.A9	MCLK	Ausgang	A8,DSYN	HC-Pegel	DCOD-Mastertakt
W3.A11	KSTR	Ausgang	A8,DSYN	HC-Pegel	Strobesignal
W2.A6 ... W2.A13	PD0 ... PD7	Ausgang ::: Ausgang	A8,DSYN ::: A8,DSYN	HC-Pegel ::: HC-Pegel	Baugr.-Codierung Baugr.-Codierung

ROHDE&SCHWARZ

SERVICE INSTRUCTIONS

Option DM-Coder SME-B11

1036.8720.02

Contents

7.	**Checking and Repair of the Module**	5
7.1	**Functional Description**	5
7.1.1	CLOCK SYNTHESIS	5
7.1.2	DATA GENERATOR	6
7.1.3	Digital Signal Processing	6
7.2	**Measuring Instruments and Accessories**	7
7.3	**Troubleshooting**	7
7.4	**Checking and Adjustment**	8
7.4.1	Testing the Current Consumption and Various Voltages	8
7.4.2	Testing the Data Transmission	9
7.4.3	Testing the Clock Signal to the DMCODER Gate Array	9
7.4.4	Adjusting the OSCILLATOR and Testing the Level	9
7.4.5	Testing the CLOCK SYNTHESIS (PLL) in the INT Mode	10
7.4.6	Testing the CLOCK SYNTHESIS in the EXT Mode	11
7.4.7	Testing the Data Generator	11
7.4.8	Testing the Various Digital Modulations	12
7.4.8.1	GFSK Modulation (DECT)	12
7.4.8.2	QPSK Modulation (ADC, JDC, TFTS, TETRA)	13
7.4.8.3	GMSK Modulation (GSM)	14
7.4.8.4	FFSK Modulation (POCSAG)	15
7.4.8.5	4FSK Modulation (ERMES)	16
7.4.9	Testing COUNTER1 (DELAY)	17
7.4.10	Testing the Interrupt Function	17
7.4.11	Testing the Diagnosis	17
7.4.12	Test of the different Standards with the Modulation Analysator FMB	18
7.4.13	Test of the mapping correction (for VAR2/REV3 and larger)	20
7.5	**Removal and Assembly**	20
7.6	**Interface Description**	21

Part list
Coordinates list
Circuit diagram
Layout diagram

7. Checking and Repair of the Module

This document basically assumes, that the hardware revision is at least VAR4/REV1 and the firmware revision is at least 1.80. Measurementdata of older hardware revisions are indicated in section 7.4 when they have changed.

7.1 Functional Description

The DATA CODER module (DCOD for short) is a subassembly of the DIGITAL SYNTHESIS module (DSYN for short) and can be installed as an option.
Via the interface FMDAT0...13, DCOD provides a digital FM modulation signal in parallel form to the DDS gate array on DSYN. The strobe signal is provided via line LOADM.

Except for QPSK, all modulation modes manage on digital frequency modulation (FM). In the case of QPSK, amplitude modulation (AM) is also used. The analog AM signal is taken via the CODAM line and the motherboard to the OUTPUT UNIT (OPU for short), where it serves as a reference value for the AM control loop.

The total digital signal processing is performed by the gate array DMCODER in conjunction with the EPROM. Besides, the DMCODER also accommodates the counters for the CLOCK SYNTHESIS and the DATA GENERATOR. The block diagram of the gate array DMCODER is to be found on sheet 4 of the circuit diagrams.

All types of modulation make a distinction between INTERNAL and EXTERNAL mode. In the INTERNAL mode, the data signal DATA and the clock signal DATACLK are provided by the internal DATA GENERATOR and the internal clock synthesis. In the EXTERNAL mode, the two signals are applied to the instrument sockets DATA and CLOCK and taken via the lines DATA and DATACLK to DCOD.

7.1.1 CLOCK SYNTHESIS

The CLOCK SYNTHESIS generates the clock signals required by the various networks. The clock frequency ranges from 50 Hz to 1.9MHz.

The different clock frequencies are generated in a PLL (VCO: 6.4 to 11.70 MHz) with series-connected dividers. The dividers are integrated in the gate array DMCODER and designed such as to be able to generate the oversampling clock (OS), bit clock (BIT) and symbol clock (SYMB) required by the various networks for digital signal processing.
In INTERNAL mode, the reference frequency of the phase detector is derived from the internal 50-MHz reference. In the EXTERNAL mode, all clock frequencies are derived from the bit or symbol clock applied at the CLOCK socket.

The tuning voltage of the VCO is monitored by the INTERRUPT DETECTOR, and the error message "data coder clock unlocked" is indicated in the case of an asynchronous PLL.

7.1.2 DATA GENERATOR

The DATA GENERATOR can either provide a pseudorandom signal (module PRBS) or read out a data sequence cyclically or once from the 8kx4bit DATA RAM. The DATA RAM can be loaded by the controller. The length of the sequence can be set.

Parallel to the data signal, the signals LSWI (level switch) and BURST can be read into the DATA RAM and read out synchronously with DATA. The LSWI signal is taken to the OPU module, where it is used to switch between two reference values, i.e. two levels. The BURST signal is brought out via an instrument socket and can be used as trigger or sync signal. DATA, LSWI and BURST can be edited in the list editor independently of each other.

7.1.3 Digital Signal Processing

Digital signal processing of the modulations without AM is relatively easy, requiring only one filtering (baseband filter) to be performed. FIR filters are always used which are implemented with shift registers and EPROMs (SHIFT2, SHIFT6, GMSK-EPROM, GFSK-EPROM). The outputs of all EPROMs are connected in parallel and taken to FMDAT0...13, which is the interface to DSYN. Only one EPROM is active at a time. The outputs of the remaining EPROMs are set to tri-state.

Digital signal processing for QPSK is considerably more expensive. The FIR filtering is done in multiplex mode in the BF EPROM. The filtered I and Q signal is converted into the AM signal by squaring and root extraction. The phase is obtained by division and by means of the ARCTAN function. The root and the ARCTAN function are stored in tabular form in the ARCTAN EPROM. The frequency is finally obtained by differentiation from the phase. The strobe signal for the DDS_GA on DSYN is delayed by 0 to 15 master clocks in COUNTER1. FIFO and COUNTER1 together enable an electronic delay adjustment of the FM signal. The menu UTILITIES-CALIB-QPSK-CALIBRATION DATA permits the user to correct the delay for optimizing the spectral purity in the adjacent channels.

The digital AM signal CODAM is converted into an analog signal by the DAC and the ALIASING FILTER and taken to the OPU module. The trimmer LEVEL permits the level to be adjusted on the complete instrument such that the output level is reduced to minimum with the modulation deactivated so as to obtain a correct zero point of the AM (menu UTILITIES-CALIB-QPSK-AMPLITUDE TRIM-ON).
The switch STROBE-MUX is used to bypass COUNTER1 if no π/4-QPSK modulation is involved.

7.2 Measuring Instruments and Accessories

- Service kit 1039.3520
- Dual-channel oscilloscope (0 to 250 MHz)
- 100:1 RF probe (5 kΩ/50 Ω)
- Spectrum analyzer 1 to 20 MHz (e.g. FSA)
- Frequency counter 500 Hz to 1.2 MHz (included in FSA)
- Signal generator 100 Hz to 1.2 MHz (e.g. SMG)
- Squarewave generator 100 Hz to 1.2 MHz (e.g. ADS)
- Modulation analyzator (e.g. FMA)
- Multimeter (e.g. UDL33)

7.3 Troubleshooting

Data transmission faulty (see 7.4.2).	Check SERBUS-D2 (D112) on DSYN, the SERBUS BUFFER (D50) and shift register D300.
Clock signal at P13 out of tolerance (see 7.4.3).	Check CLOCK AMPLIFIER (V260).
No clock signal at P14 (see 7.4.4).	Check inverter D330 the DMAP-FPGA (D80) and the OSCILLATOR (V235, V236, V237, V240).
Clock synthesis faulty (see 7.4.5).	Check DMCODER signals UP and DOWN (outputs of digital phase detector), DMAP-FPGA (D80), CONTROL AMPLIFIER (N200, N210) and OSCILLATOR (V235, V236, V237, V238, V240).
GFSK modulation faulty (see 7.4.8.1).	Check DMCODER gate array, strobe signal at P5 (11.52-MHz squarewave signal), GFSK-EPROML (D50) and GFSK-EPROMH (D60).
QPSK modulation faulty (see 7.4.8.2).	Check DMCODER gate array, strobe signal at P5 (squarewave signal with 15 times the bit frequency), DMAP-FPGA (D80), BF-EPROM (D30), ARCTAN-EPROM (D40), DAC (D280) and ALIASING FILTER (N280, N290, N295).
GMSK modulation faulty (see 7.4.8.3).	Check DMCODER gate array, strobe signal at P5 (4.333-MHz squarewave signal) and GMSK-EPROM (D70).
FFSK modulation faulty (see 7.4.8.4).	Check DMCODER gate array, strobe signal at P5 (76.8-kHz squarewave signal) and GMSK-EPROM (D70).
4FSK modulation faulty (see 7.4.8.5).	Check DMCODER gate array, strobe signal at P5 (93.75-kHz squarewave signal), GMSK-EPROM (D70), BF-EPROM (D30), DMAP-FPGA (D80), SHIFT6 (D85)

No strobe signal at P5.	Check DMCODER gate array, inverter D330, COUNTER1 (D305) and multiplexer STROBE-MUX (D335).
The error message "Data coder clock unlocked" is displayed.	Check phase-locked loop (tuning voltage at X215 between 1 V and 7 V), DMCODER gate array, CONTROL AMPL. (N200, N210), OSCILLATOR, DMAP-FPGA (D80) and INTERRUPT DETECTOR (N220, V220).

7.4 Checking and Adjustment

For service operation, unscrew the upper cover of the motherboard DIGITAL SYNTHESIS (DSYN), insert the service adapter into the location instead of the module and then plug the module onto the adapter. After restoring the RF connections, the DSYN module and the DATA CODER (DCOD) option are again ready for use.

The specifications for setting given at the beginning of each paragraph assume that the instrument is in the PRESET status.

7.4.1 Testing the Current Consumption and Various Voltages

- **Setting:** **FREQUENCY 1000MHz**
  DIGITAL MOD - GFSK - SOURCE PRBS

▶ The current consumption of the module can be checked by replacing coils L350, L351 and L352 by an ammeter. For this purpose, loosen the four screws connecting DCOD with DSYN, the coils being situated on the solder side of DCOD. The nominal values for the respective supply voltages are to be obtained from section 7.6.

▶ Various voltages: P8: 10.3 +-1 V
P12: -4.3 +-1 V

7.4.2 Testing the Data Transmission

- Loosen the screws of DCOD and tilt it up so that D300 becomes accessible.

Setting	D300 Pin 4	5	6	7	14	13	12	11	P10	
DIG.MOD-QPSK-SOURCE PRBS, UTILITIES-CALIB-QPSK-										
DELAY = 2620ns	0	0	0	0	x	x	x	x	1	
DELAY = 2580ns	1	0	0	0	x	x	x	x	1	
DELAY = 3900ns	0	1	0	0	x	x	x	x	1	
DELAY = 3700ns	0	0	1	0	x	x	x	x	1	
DELAY = 3360ns	0	0	0	1	x	x	x	x	1	
DIG.MOD-GFSK-SOURCE-PRBS	x	x	x	x	x	0	0	0	1	
DIG.MOD-QPSK-SOURCE-PRBS	x	x	x	x	x	1	0	0	1	
DIG.MOD-QPSK-SOURCE-OFF	x	x	x	x	x	x	x	x	0	
DIG.MOD-4FSK-SOURCE-PRBS	x	x	x	x	x	0	1	1	1	up to VAR2/REV6

7.4.3 Testing the Clock Signal to the DMCODER Gate Array

- Connect an oscilloscope to P13 via a 100:1 RF probe (50-Ω termination).
- A periodic 50-MHz signal with HIGH level >4 V and LOW level <1 V must be measured. The voltage must remain >7 ns above 2.5 V and >7 ns below 2.5 V.

7.4.4 Adjusting the OSCILLATOR and Testing the Level

- Setting: **DIGITAL MOD - GFSK - SOURCE PRBS**
- Remove jumper X215 and apply DC voltage to X215.2/3.
- Connect frequency counter to P14.

▶ Alternately adjust the oscillator according to the following table:

up to VAR2/REV1:

Voltage X215	Trimmer	Nom. frequency at P14
2V	OSZ1 (C230)	7.5+-0.1 MHz
7V	OSZ2 (C231)	12+-0.1 MHz

for revision VAR2/REV2 and larger:

Voltage X215	Trimmer	Nom. frequency at P14
0.9V	OSZ1 (C230)	6.4+-0.1 MHz
7V	OSZ2 (C231)	11.7+-0.1 MHz

- Connect an oscilloscope to P14 via a 100:1 RF probe.

▶ A periodic squarewave voltage with the maximum voltage above 4 V and the minimum voltage below 1 V must be measured for V (X215)= 2 V (for VAR2/REV2 and larger: 0.9V) and 7 V. The voltage must remain >15 ns above 2.5 V and >15 ns below 2.5 V.

- Replace jumper X215.

7.4.5 Testing the CLOCK SYNTHESIS (PLL) in the INT Mode

- Connect an oscilloscope and a frequency counter to the CLOCK output (1 MΩ).
- Connect a voltmeter to X215.2.

▶ The oscilloscope must show a squarewave signal with HC level.

- Setting: **DIGITAL MOD - ... - SOURCE PRBS**

Setting	Clockfrequ. at CLOCK-output in kHz+-1% (CLK MODE SYMB)	Voltg.at X215.2 or diag.301 in V+-0.5V		
		VAR2/ REV0 and larger	VAR2/ REV2 and larger	VAR4/ REV1 and larger
GMSK/STANDARD GSM/PCN	270.8333	3.3	3.4	3.4
GFSK/STANDARD DECT	1152	6.3	6.7	6.7
QPSK/STANDARD ADC	24.3	6.5	7.0	7.0
QPSK/STANDARD PDC	21	4.7	4.9	4.9
QPSK/STANDARD TFTS	22.1	5.2	5.4	5.4
QPSK/STANDARD TETRA	18	3.3	3.4	3.4
FSK/STANDARD POCS-1200	1.2	3.8	4.0	4.0
FSK/STANDARD POCS-512	0.512	2.8	2.9	2.9
4FSK/STANDARD ERMES	3.125	2.0	2.2	5.2

- Setting: **DIGITAL MOD - QPSK - SELECT STANDARD ADC**
  CLOCK MODE - SYMBOL
- A squarewave signal of the frequency 24.3kHz+-1% must be measured at the DATACLK-output.

7.4.6 Testing the CLOCK SYNTHESIS in the EXT Mode

- Apply a squarewave signal with HC level and the frequency 1152 kHz to the CLOCK socket.
- Setting: **DIGITAL MOD - GFSK - SOURCE EXT**

▶ A DC voltage of 6.3+-1 V must be measured at X215.2 (VAR2/REV2 and larger: 6.7V).

- Apply a squarewave signal with HC level and a frequency of 1.2 kHz to the CLOCK socket.
- Setting: **DIGITAL MOD - FFSK - SOURCE EXT**

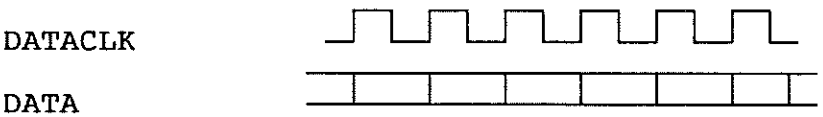
▶ A DC voltage of 3.8 +-0.5 V (VAR2/REV2 and larger: 4.0V, VAR4/REV1 and larger: 3.6V) must be measured at X215.2.

7.4.7 Testing the Data Generator

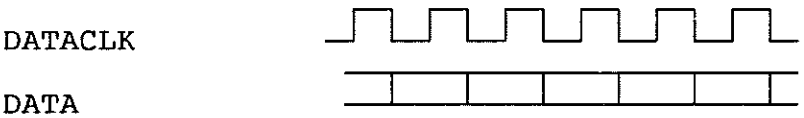
▶ Connect a dual-channel oscilloscope to the CLOCK and DATA socket (1 MΩ).

- Setting: **DIGITAL MOD - FSK - SOURCE PRBS**

▶ It must be possible to measure a clock signal at the CLOCK socket and a pseudorandom data signal at the DATA socket with the frequency 1200 Hz +-1 % and HC level.
The data signal must vary with the rising edge of the clock signal.



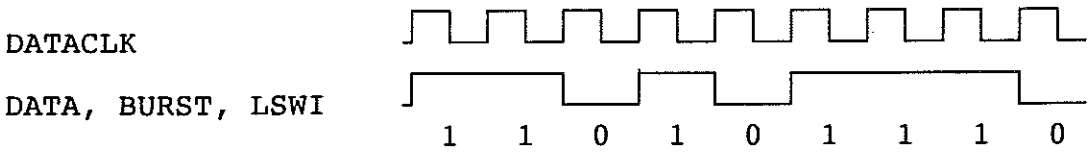
- Setting: **- CLOCK EDGE NEG**



▶ The data signal must vary with the falling edge of the clock signal.

- Connect a dual-channel oscilloscope to the CLOCK socket and DATA socket or BURST socket or X80.32 (LSWI).
- Setting:
  - FILL-LIST DATA "110101110"
  LEV SWCH "110101110"
  BURST "110101110"
  - SOURCE DATA

▶ The data signal "10101110" must be measured with periodic repetitions at the DATA socket, BURST socket and at X80.32. The data signals must be stable with the falling edge of DATACLK.



• Setting: **MODE SINGLE**
EXECUTE SINGLE MODE

▶ After EXECUTE has been set, the data signal "110101110" must appear once as burst at the three outputs.

7.4.8 Testing the Various Digital Modulations

7.4.8.1 GFSK Modulation (DECT)

• Setting: **FREQUENCY 835MHz**
DIGITAL MOD - GFSK - SOURCE PRBS
- PRBS 23 BIT

• Connect spectrum analyzer to X89 (FDDS) and set Center=15 MHz, Span=10 MHz, Res.Bw.= 30kHz, Vid.Bw.=30 Hz.

▶ A continuous spectrum must be seen. The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
200	-1.7+-0.5
400	-5.7+-0.5
700	-20.5+-2
1000	-30.8+-3
1500	-53+-3
2850	-68+-3
4800	-72+-3

• Set Span=4 MHz on the spectrum analyzer.

• Setting: FILTER ...

▶ Depending on FILTER, the relative signal level at 1000 kHz offset frequency must be as follows:

FILTER B*T	DEVIATION	Level in dB
B*T=0.4	DEV=288 kHz	-33.8+-2
B*T=0.5	DEV=288 kHz	-30.8+-2
B*T=0.6	DEV=288 kHz	-28.9+-2
B*T=0.5	DEV=317 kHz	-28.4+-2

- Setting: **- SELECT STANDARD - CT3 (VAR2/REV2 and larger)**

▶ A continuous spectrum must be seen. The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
111	-1.7+-0.5
222	-5.7+-0.5
389	-20.5+-2
556	-30.8+-3
833	-56+-3

7.4.8.2 OPSK Modulation (ADC, JDC, TFTS, TETRA)

- Setting: **FREQUENCY 835MHz**
  DIGITAL MOD - QPSK - SOURCE PRBS
  - PRBS 23 BIT

- Connect spectrum analyzer to X89 (FDDS) and set Center=15 MHz, Span=300 kHz, Res.Bw.=3 kHz, Vid.Bw.=10 Hz.

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
21	-19+-2
30	-19+-2
44	-28+-3
67	-37+-3
100	-46+-3

- Set Span=60 kHz and 2 dB/div. on the spectrum analyzer.

- Setting: **FILTER / ROLL OFF acc. to table**
  BITRATE acc. to table

▶ Depending on FILTER, the following must be indicated:

FILTER /ROLL OFF	BIT RATE in kHz	Offset frequ. in kHz	Level in dB
SQR(COS) / 0.35	48.6	15	-8.6+-2
COS / 0.35	48.6	15	-10.6+-2
SQR(COS) / 0.40	44.2	18	-17.5+-2
SQR(COS) / 0.50	42.0	15	-12.0+-2

- Setting: **SOURCE DATA**
  SELECT STANDARD ADC
  FILL LIST DATA "0111"

▶ Connect spectrum analyzer to X80.9 (CODAM) (50 Ω) and set Center=125 kHz, Span=250 kHz, Res.Bw.=1 kHz, Vid.Bw=100 Hz and DC coupling.

▶ The absolute signal level at 24.3 kHz must be -6+-2 dBm. The levels of the following table must be measured referred to this level:

Absolute frequ. in kHz	Level in dB
2 * 24.3	-17.3+-2
3 * 24.3	-29.0+-2
4 * 24.3	-38.0+-2
5 * 24.3	-47.0+-2
6 * 24.3	-53.7+-2
7 * 24.3	-65.5+-2

7.4.8.3 GMSK Modulation (GSM)

- Setting: **FREQUENCY 835MHz**
  DIGITAL MOD - GMSK - SOURCE PRBS
  - PRBS 23 BIT

- Connect spectrum analyzer to X89 (FDDS) and set Center=15 MHz, Span=1 MHz, Res.Bw.=10 kHz, Vid.Bw.=10 Hz.

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
50	-2+-1
100	-8+-2
150	-20+-3
220	-36+-3
300	-52+-3
450	-75+-3

- Setting: **FILTER B*T ...**

▶ Depending on FILTER, the relative signal level at 250 kHz offset frequency must be as follows:

B*T	Level in dB
0.2	-56.5+-3
0.3	-40.0+-3
0.5	-30.7+-3

- Setting: **- SELECT STANDARD - MOBITEX-8k (VAR2/REV2 and larger)**

- Set spectrum analyzer to Span=20 kHz, Res.Bw.=100 Hz, Vid.Bw.=10 Hz.

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
1.48	-2.0+-1
2.95	-8.6+-2
4.43	-20+-3
6.50	-36+-3
8.86	-52+-3

- Setting: **- SELECT STANDARD - MD36N (VAR2/REV5 and larger)**

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
0.666	-2.0+-1
1.3275	-8.6+-2
2.0	-20+-3
2.925	-36+-3
4.0	-52+-3

7.4.8.4 FFSK Modulation (POCSAG)

- Setting: **FREQUENCY 835MHz**
  DIGITAL MOD - FFSK - SOURCE PRBS
  - PRBS 23 BIT

- Connect spectrum analyzer to X89 (FDDS) and set Center=15 MHz, Span=50 kHz, Res.Bw.=3 kHz, Vid.Bw.=30 Hz.

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
3	-0.9+-0.5
5	-6.6+-0.5
10	-31.7+-3
15	-52.0+-3
25	-69.0+-3

- Setting: **- SOURCE DATA**
  - FILL-LIST DATA "1"

- Connect a modulation analyzer (e.g. FMB) to X89 (FDDS) and activate FM demodulation with the demodulation bandwidth 23 kHz.

▶ A sinewave FM with a peak deviation of 4 kHz+-1% and a modulation frequency of 1200 Hz+-1% must be measured. The distortion factor must be below 1%.

7.4.8.5 4FSK Modulation (ERMES)

- Setting: **FREQUENCY 835MHz**
  DIGITAL MOD - 4FSK - SOURCE PRBS
  - PRBS 23 BIT

- Connect spectrum analyzer to X89 (FDDS) and set Center=15 MHz, Span=50 kHz, Res.Bw.=1 kHz, Vid.Bw.=3 Hz.

▶ The signal level referred to the level at 15 MHz as a function of the offset frequency must be as follows:

Offset frequ. in kHz	Level in dB
2.5	-0.7+-0.5
5	-7.6+-2
10	-35+-3
15	-56+-4

- Setting: **- SOURCE DATA**
  - FILL-LIST DATA "1000"

- Connect a modulation analyzer (e.g. FMB) to X89 (FDDS) and activate FM demodulation with the demodulation bandwidth 23 kHz.

▶ An FM (squarewave signal without overshooting) with a peak deviation of 4.6875 kHz+-1% and a modulation frequency of 1562.5 Hz+-1% must be measured.

7.4.9 Testing COUNTER1 (DELAY)

• Setting: **DIGITAL MOD - QPSK - SOURCE PRBS**
UTILITIES CALIB QPSK DELAY=2620ns

• Connect an oscilloscope to P5 (LOADM) and P6(FMDAT13) and trigger on the positive edge of the signal at P6 (2.5 V threshold voltage).

▶ A pulse delayed by 7*85.7 ns+10 ns=610 ns+-20 ns compared to the positive edge at P6 with a pulse duration of 87.5 ns+-10 ns must be measured at P5.

▶ The delay must depend on DELAY according to the following table:

DELAY/ns	Delay in ns +-20 ns
2620	7*85.7+10=610
2580	6*85.7+10=524
3900	5*85.7+10=439
3700	3*85.7+10=267
3360	15*85.7+10=1296

7.4.10 Testing the Interrupt Function

• Setting: **DIGITAL MOD - GMSK - SOURCE PRBS**

• Remove jumper X215.

▶ The error message "Data coder clock unlocked" must briefly appear and the ERROR message must be permanently displayed. When pressing the ERROR key, the error message must be contained in the error list.

• Replace the jumper. The ERROR indication must disappear.

• Setting: **- SOURCE OFF**

▶ When deactivating the modulation, there must not be any error message.

7.4.11 Testing the Diagnosis

• Setting: **DIGITAL MOD - GFSK - PRBS**
UTILITIES - DIAG - TPOINT

TPOINT	Test point	Factor	Nom. voltage
301	CONTROL VOLTAGE DCOD-VCO	3	6.3+-1 V
302	OSCILLATOR LEVEL DCOD-VCO	1	0.5...1.5 V

7.4.12 Test of the different Standards with the Modulation Analysator FMB

The new realized standards CT2, CT3, MC9, MOBITEX-8000, CITYRUF and POCSAC, implemented in the DM-CODER with the revision VAR2/REV2 can be tested with the FMB. A test of the spectrum is not necessary, because no new eproms are added.

- Setting: **FREQUENCY 900MHz**
  LEVEL 0dBm
  DIGITAL MOD - GFSK - SOURCE DATA
- Connect the modulation analyzer FMB to X89 (FDDS) and activate FM demodulation.
- Edit with the list editor N times "1" und N times "0" (e.g. for N=4 "11110000"):
- Setting: **FILL-LIST DATA "1...10...0"**
- Set the highpass filter of the FMB (HP) to 10Hz. The DIFF ENCODER must be off. Additional settings are listed in the table below.
- For QPSK-Modulation the DATA-pattern should be "0111" (+-135-sequence). For the standard TFTS, the DIFF ENCODER must be set to ADC.

▶ The measured peak deviation should meet the values in the table. The diverge to the nominal deviation comes from overshooting of the FMB lowpass filter.

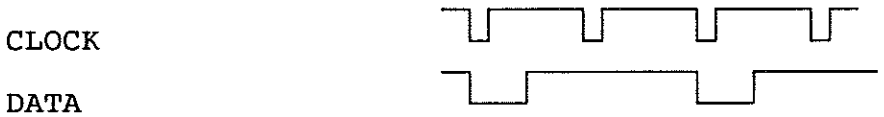
▶ On the right hand side in the table is indicated, from which revision the standard is realized.

Einstellung: Modul./ SEL. STAND.	FMB LP-bandbr. in kHz	N/ DATA	FM-Hub in kHz +-3%	Mod.-frequ. kHz+-1%	VAR	REV
GMSK / GSM	100	N=4	77	33.85	2	1
GMSK / CDPD	100	N=4	4.9	2.4	2	2
GMSK / MC9	23	N=4	2.0	1.0	2	2
GMSK / MOBITEX-8000	23	N=4	2.0	1.0	2	2
GMSK/MD36N	3	N=4	0.92	0.45	2	5
GMSK/BITR.1M /BT=0.4	100	N=32	304	15.625	2	5
GMSK / DSRR	23	N=4	4.03	2.0	2	5
GFSK / DECT	100	N=32	352	18.0	2	1
GFSK / CT2	100	N=4	18.25	9.0	2	2
GFSK / USER BITRATE: 100kbps FIL./DEV: 0.5/20kHz	100	N=4	21 .1	12.5	4	1
GFSK / CT3	100	N=20	195	16.0	2	2
QPSK / ADC	100	0111	37.1	12.1	2	1
QPSK / PDC	100	0111	33.4	10.5	2	1
QPSK/TFTS (D.E. ADC)	100	0111	34.6	11.0	2	1
QPSK / TETRA	100	0111	28.6	9.0	2	1
QPSK / APCO25	23	0111	5.68	2.4	2	5
QPSK / INMARSAT	23	0111	2.76	2.0	4	1
QPSK / MSAT	23	0101	0.517	3.375	4	1
QPSK / USER MOD TYPE: PI/4 QPSK BITRATE: 14kbps FILTER: SQR-COS/0.5 CODING: TFTS	100	11010010	3.59	7.0	4	1
FSK / CITYRUF-1200	23	N=1	4.15	0.6	2	2
FSK / POCSAG-2400	23	N=1	4.63	1.2	2	2
FSK / USER BITRATE: 20kbps HUB: 200kHz FILTER: OFF	100	N=1	247+-10%	10.0	2	1
FSK / FLEX-3200	23	01	4.86	1.6	4	1

4FSK / ERMES	100	0111	1.64	1.5625	2	1
4FSK (C4FM) / APCO25	23	01011111	2.83	1.2	2	5
4FSK / FLEX-6400	23	0010	4.86	1.6	4	1
4FSK / MODACOM	23	01011111	2.5	1.2	4	1
FFSK / POCSAG	3	1111	4.0	1.2	2	1
FFSK / USER BITRATE: 90kbps DEVIATION: 4.5kHz	100	1111	4.8	90	4	1

7.4.13 Test of the mapping correction (for VAR2/REV3 and larger)

- Setting: **DIGITAL MOD - QPSK - SOURCE EXT**
- Following priodic signals must be connected to plug CLOCK and DATA. The DATA-signal has the periodic time of 82.3us. (pattern "0111"; data are latched in with the positiv edge of the clock):



(A SME with option DM-CODER can be used as signal source. With the setting DIGITAL MOD - QPSK - SOURCE DATA and the DATA-pattern "0111", the signals at the DATA- and CLOCK-plug can be used.)

▶ At X215.2 the dc-voltage of 6.9+-0.5V should be measured (testpoint 301).

- Connect a spectrum analyzer at X600 (FDDS, 50Ohm).

▶ On the left and the right side of the carrier at 12.5MHz, two signals with a level of 1.3+-0.2dB above the carrier should be measured.

7.5 Removal and Assembly

After opening the instrument, unlocking the module and loosening the RF connections X81 and X89, the motherboard DSYN can be removed from its location.
After unscrewing the screening cover on the component side, the DATA CODER option can be seen. DCOD can be removed after loosening four screws and three connectors.

7.6 Interface Description

Pin	Name	Inp./Output	Origin/Destination	Value range	Signal description
W3.A17	+5V	Input	A8,DSYN	+4.5...+5.5V 150...250mA 250...400mA	Supply voltage up to VAR2/REV6 for VAR4/REV1 and larger
W3.A16	+15V	Input	A8,DSYN	13.5...16.5V 40...60mA	Supply voltage
W3.A18	-15V	Input	A8,DSYN	-13.5V...-16.5V 25...40mA	Supply voltage
W1.A1	DCOD50	Input	A8,DSYN	50MHz, 5+-1dBm	Reference signal
W3.A5	DATACLK	Inp./Outp.	A8,DSYN	HCT level	Data clock (to CLOCK socket)
W3.A7	DATA	Inp./Outp.	A8,DSYN	HCT level	Data signal (to DATA socket)
W3.A1	BURST	Inp./Outp.	A8,DSYN	HCT level	Control signal from DATA RAM
W3.A3	LSWI	Output	A8,DSYN	HC level	Level switching signal for OPU
W1.A18 FM... W1.A4	FMDAT0 ... FMDAT13	Output ... Output	A8,DSYN ... A8,DSYN	HC level HC level	14bit parallel port for the modulation data to DSYN
W1.A20	LOADM	Output	A8,DSYN	HC level	Strobe to parallel port
W3.A19	CODAM	Output	A8,DSYN	-1V...+1V	AM signal for QPSK modulation
W2.A5	IR1	Output	A8,DSYN	HC level	Interrupt signal
W2.A1	DIAG1	Output	A8,DSYN	0...+5V	Diagnostic voltage
W2.A2	DIAG2	Output	A8,DSYN	0...+5V	Diagnostic voltage
W2.A14	CLOCK1	Input	A8,DSYN	HC level	Serbus clock
W2.A3	SCHREIB1	Input	A8,DSYN	HC level	Serbus strobe
W2.A18	CLOCK2	Input	A8,DSYN	HC level	Serbus clock
W2.A16	SCHREIB2	Input	A8,DSYN	HC level	Serbus strobe
W2.A20	SEROUT	Input	A8,DSYN	HC level	Serbus data
W3.A9	MCLK	Output	A8,DSYN	HC level	DCOD master clock
W3.A11	KSTR	Output	A8,DSYN	HC level	Strobe signal
W2.A6 ... W2.A13	PD0 ... PD7	Output ::: Output	A8,DSYN ::: A8,DSYN	HC level ::: HC level	Module coding Module coding

ROHDE&SCHWARZ

Schaltteillisten
numerisch geordnet
Part lists
in numerical order
Listes des pièces détachées
par numéros de référence

(R 29500 Bl 1)
095 1000 Bl 1

Kennz. Comp. No.	Benennung Designation	Sachnummer Stock No.	Hersteller Manufacturer	Bezeichnung Designation	enthalten in contained in
C10	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C20	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C21	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C22	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C24	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C30	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C34	CC 10PF+-0,25 50VNPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8480.00	MURATA	GRM42-6C0G 100 C50PT	
C40	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C45	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C50	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C60	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C65	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C70	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C80	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C90	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C200	CC 10NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0099.8521.00	MURATA	GRM42-6X7R103K 50PT	
C201	CC 10NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0099.8521.00	MURATA	GRM42-6X7R103K 50PT	
C205	CC 22PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8396.00	MURATA	GRM42-6C0G 220F 50PT	
C208	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C209	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C211	CC 180NF+-10%50V X7R 1210 CERAMIC CHIP CAPACITOR	CC 0007.7452.00	PHILIPS_CO	2222 592 16644	
C212	CC 680NF+-10%50V X7R 2220 CERAMIC CHIP CAPACITOR	CC 0007.7517.00	PHILIPS_CO	2222 595 16652	
C213	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C215	CC 10NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0099.8521.00	MURATA	GRM42-6X7R103K 50PT	
C230	CT 13P-50P 4,5X4 OR SMD CERAMIC CHIP TRIMMER	CT 0008.1264.00	PANASONIC	ECR-JA050M12	
C231	CT 13P-50P 4,5X4 OR SMD CERAMIC CHIP TRIMMER	CT 0008.1264.00	PANASONIC	ECR-JA050M12	
C232	CC 470PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8515.00	PHILIPS_CO	2238 863 18471	
C233	CC 22PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8396.00	MURATA	GRM42-6C0G 220F 50PT	
C235	CC 470PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8515.00	PHILIPS_CO	2238 863 18471	
C236	CC 470PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8515.00	PHILIPS_CO	2238 863 18471	
C237	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C238	CC 2,2PF+-0,25 50VNP01206 CERAMIC CHIP CAPACITOR	CC 0007.8171.00	MURATA	GRM42-6C0G 2R2 C50PT	
C240	CC 1NF+-1% 50V NPO 1206 SMD CERAMIC CAPACITOR	CC 0007.7398.00	PHILIPS_CO	2222 863 *8102	
C245	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C247	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C255	CC 10NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0099.8521.00	MURATA	GRM42-6X7R103K 50PT	
C258	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C279	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C280	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	

Für diese Unterlage behalten wir uns alle Rechte vor.

Kennz. Comp. No.	Benennung Designation	Sachnummer Stock No.	Hersteller Manufacturer	Bezeichnung Designation	enthalten in contained in
C281	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C282	CC 470PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8515.00	PHILIPS_CO	2238 863 18471	
C283	CC 680PF+-1% 50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0007.7375.00	PHILIPS_CO	2222 863 18681	
C284	CC 22PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8396.00	MURATA	GRM42-6C0G 220F 50PT	
C285	CC 100PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8415.00	MURATA	GRM42-6C0G 101F 50PT	
C286	CC 1NF+-1% 50V NPO 1206 SMD CERAMIC CAPACITOR	CC 0007.7398.00	PHILIPS_CO	2222 863 *8102	
C287	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C288	CE 10UF +-10% 25V 7343 TANTALUM SMD-CAPACITOR	CE 0007.7246.00	KEMET	T491D106K025AS	
C289	CC 22PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8396.00	MURATA	GRM42-6C0G 220F 50PT	
C290	CC 1PF+-0,25 50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8667.00	PHILIPS_CO	2238 863 15108	
C291	CC 22PF+-1%50V NPO 1206 CERAMIC CHIP CAPACITOR	CC 0099.8396.00	MURATA	GRM42-6C0G 220F 50PT	
C305	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C308	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C311	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C330	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C331	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C350	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C351	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C352	CC 100NF+-10%50V X7R 1206 CERAMIC CHIP CAPACITOR	CC 0007.5237.00	PHILIPS_CO	2238 581 55649	
C355	CC 1UF+-10% 50V X7R 2220 CERAMIC CAPACITOR	CC 0520.6873.00	AVX	2220 5C 105 KAT**A(F	
C356	CC 1UF+-10% 50V X7R 2220 CERAMIC CAPACITOR	CC 0520.6873.00	AVX	2220 5C 105 KAT**A(F	
C357	CC 1UF+-10% 50V X7R 2220 CERAMIC CAPACITOR	CC 0520.6873.00	AVX	2220 5C 105 KAT**A(F	
D10	BG L5A8843 DMCODER ASIC IC GATE ARRAY	1039.1262.00	LSI_LOGIC	R&S-NR.	
D20	BC TC55417J-25 16KX4 SRAM SRAM 16KX4	1012.9633.00	MATRA-HARR	HMU65789H-5	
D30	HS BF-EPROM (D30)	1036.8795.00			
D40	HS ARCTAN-EPROM (D40)	1036.8808.00			
D45	BL PC74HCT4066T 4XASWITCH ANALOG SWITCH	BL 0007.6862.00	PHILIPS	(PC)74HCT4066(T)	
D50	HS GFSKL-EPROM	1036.8814.00			1036.8850.00
D60	HS GFSKH-EPROM	1036.8820.00			1036.8850.00
D65	BL PC74HCT4066T 4XASWITCH ANALOG SWITCH	BL 0007.6862.00	PHILIPS	(PC)74HCT4066(T)	
D70	HS GMSK-EPROM (D70)	1036.8837.00			
D80	HS DMAP D80	1076.1040.00			
D90	BL PC74HCT14T 6XINV.SCHM INV. SCHMITT-TRIGGER	BL 0007.6204.00	PHILIPS_SE	(PC)74HCT14(D/T)	
D210	BS DG419DY 1XUM ANALOGSCH ANALOG SWITCH	0746.0322.00	SILICONIX	DG419DY	
D280	BJ AD568JQ 1X12B-DAC D/A-CONVERTER	1002.5206.00	ANALOG_DEV	AD568JQ	
D300	BL PC74HCT4094T 8ST.SHREG SHIFT REGISTER	BL 0007.6885.00	PHILIPS	(PC)74HCT4094(D)	
D305	BL PC74HCT161T BIN.COUNT. BINARY COUNTER	BL 0007.6427.00	PHILIPS_SE	(PC)74HCT161(D/T)	
D315	BL PC74HCT4094T 8ST.SHREG SHIFT REGISTER	BL 0007.6885.00	PHILIPS	(PC)74HCT4094(D)	
D330	BL 74ACT14SC 6XINV.SCHM IC HEX SCHMITTTRIGGER	BL 1036.9479.00	HARRIS	CD74ACT14M	
D335	BL 74ACT153SC 2X 4-IN MUX IC DUAL 4INP MULTIPLEX	BL 1012.9404.00	HARRIS	(CD74)ACT153(M)	
L230	LD 22UH 10% 0,14A 1210 SMD-INDUCTOR	LD 0520.7886.00	SIEMENS	B82422-A1223-J(K)100	

wir uns alle Rechte vor.

Kennz. Comp. No.	Benennung Designation	Sachnummer Stock No.	Hersteller Manufacturer	Bezeichnung Designation	enthalten in contained in
L231	LD 22UH 10% 0,14A 1210 SMD-INDUCTOR	LD 0520.7886.00	SIEMENS	B82422-A1223-J(K)100	
L232	LD 3,3UH 5% OR85 0,285A CHOKE	0067.3260.00	DELEVAN	1025-32	
L258	LD 1UH 10% 0,38A 1210 SMD-INDUCTOR	LD 6006.0130.00	SIEMENS	B82422-A1102-J(K)100	
L350	LD 10UH 10% 0,18A 1210 SMD-INDUCTOR	LD 0007.9255.00	SIEMENS	B82422-A1103-J(K)100	
L351	LD 1UH 10% 0,38A 1210 SMD-INDUCTOR	LD 6006.0130.00	SIEMENS	B82422-A1102-J(K)100	
L352	LD 10UH 10% 0,18A 1210 SMD-INDUCTOR	LD 0007.9255.00	SIEMENS	B82422-A1103-J(K)100	
N200	BO OP97FS LP PREC OPAMP OPAMP	1036.4390.00	PMI	OP97F(S)	
N210	BO OP97FS LP PREC OPAMP OPAMP	1036.4390.00	PMI	OP97F(S)	
N220	BO LM2903D 2XLP COMPAR DUAL	0520.7734.00	SIGNETICS	LM2903(D)	
N280	BO NE5534D OPAMP OPERATIONAL AMPLIFIER	0815.7555.00	SIGNETICS	NE5534(D)	
N290	BO NE5534D OPAMP OPERATIONAL AMPLIFIER	0815.7555.00	SIGNETICS	NE5534(D)	
N295	BO NE5534D OPAMP OPERATIONAL AMPLIFIER	0815.7555.00	SIGNETICS	NE5534(D)	
P5	VL LOETSTIFT	0078.1540.00	PRYM-WERKE		
..14					
P40	VL LOETSTIFT	0078.1540.00	PRYM-WERKE		
R20	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R22	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R28	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R30	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R40	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R50	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
..55					
R70	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R85	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R90	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R200	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
..205					
R208	RG 475 OHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5695.00	ROEDERSTEI	D25	
R209	RG 10,0 OHM+-1%TK100 1206 CHIP -RESISTOR	RG 0006.8649.00	PHILIPS_CO	RC02	
R210	RG 2,74KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5766.00	PHILIPS_CO	RC02	
R211	RG 1,62KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.9997.00	ROEDERSTEI	D25	
R212	RG 3,01KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5772.00	ROEDERSTEI	D25	
R213	RG 3,01KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5772.00	ROEDERSTEI	D25	
R215	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R218	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R220	RG 20,0KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5866.00	ROEDERSTEI	D25	
R221	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
R222	RG 100,0KOH+-1%TK100 1206 CHIP RESISTOR	RG 0007.1948.00	ROEDERSTEI	D25	
R223	RG 68,1KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0007.1902.00	ROEDERSTEI	D25	
R224	RG 82,5KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0007.1925.00	ROEDERSTEI	D25	
R225	RG 0-OHM WIDERSTAND-CHIP RESISTOR CHIP 0-OHM	RG 0007.5108.00	DRALORIC	CR 1206	

Für diese Unterlage behalten wir uns alle Rechte vor.

Kennz. Comp. No.	Benennung Designation	Sachnummer Stock No.	Hersteller Manufacturer	Bezeichnung Designation	enthalten in contained in
R237	RG 68,1 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8849.00	ROEDERSTEI	D25	
R238	RG 182 OHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5595.00	ROEDERSTEI	D25	
R239	RG 47,5KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5950.00	ROEDERSTEI	D25	
R242	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
R243	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
R244	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
R245	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R247	RG 3,32KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5789.00	ROEDERSTEI	D25	
R248	RG 221 OHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5614.00	ROEDERSTEI	D25	
R249	RG 10,0KOHM+-1%TK100 1206 RG CHIP RESISTOR	RG 0007.0793.00	PHILIPS_CO	RC02	
R251	RG 15,0KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5843.00	ROEDERSTEI	D25	
R256	RG 68,1 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8849.00	ROEDERSTEI	D25	
R257	RG 6,81KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0007.0758.00	ROEDERSTEI	D25	
R258	RG 221 OHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5614.00	ROEDERSTEI	D25	
R264	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R272	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R273	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R279	RG 82,5 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8861.00	PHILIPS_CO	RC02	
R280	RG 909 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.7265.00	ROEDERSTEI	D25	
R282	RG 2,74KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5766.00	PHILIPS_CO	RC02	
R283	RG 3,32KOHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5789.00	ROEDERSTEI	D25	
R284	RG 1,62KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.9997.00	ROEDERSTEI	D25	
R285	RG 5,62KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0007.0735.00	ROEDERSTEI	D25	
R286	RG 6,81KOHM+-1%TK100 1206 CHIP RESISTOR	RG 0007.0758.00	ROEDERSTEI	D25	
R288	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R289	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R294	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R295	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R296	RG 243 OHM+-1%TK100 1206 RESISTOR CHIP	RG 0007.5620.00	ROEDERSTEI	D25	
R297	RS 0,3W500 OHM+-10%CERMET DEPOS-CARBON POTENTIOMET	RS 0086.7738.00	BOURNS	3296P-001-501	
R299	RG 0-OHM WIDERSTAND-CHIP RESISTOR CHIP 0-OHM	RG 0007.5108.00	DRALORIC	CR 1206	
R300	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R305	RG 100 OHM+-1%TK100 1206 CHIP RESISTOR	RG 0006.8884.00	PHILIPS_CO	RC02	
R306	RG 1,0 KO +-1%TK100 1206 CHIP RESISTOR	RG 0006.7271.00	PHILIPS_CO	RC02	
R335	RG 0-OHM WIDERSTAND-CHIP RESISTOR CHIP 0-OHM	RG 0007.5108.00	DRALORIC	CR 1206	
V208	AE BZV55/10V 0,5W ZDI ZENER DIODE	AE 0006.9880.00	PHILIPS_SE	BZV55C10	
V209	AE BZV55/10V 0,5W ZDI ZENER DIODE	AE 0006.9880.00	PHILIPS_SE	BZV55C10	
V210	AE HSMS2800 SCHOTTKY DIODE	AE 0836.8421.00	HEWLETT_PA	HSMS-2800(#L31)	

wir uns alle Rechte vor.

Kennz. Comp. No.	Benennung Designation	Sachnummer Stock No.	Hersteller Manufacturer	Bezeichnung Designation	enthalten in contained in
V220	AM BSS123 N-E 100V MOSF FET	0815.7961.00	SIEMENS	BSS 123 E-6327	
V230	AE BB212 2X500/22PF CDI TUNNING DIODE	0373.6901.00	PHILIPS_SE	BB212	
V235	AK BC850B N 45V 200MA TRANSISTOR	AK 0007.7969.00	VALVO	BC850B	
V236	AK BC850B N 45V 200MA TRANSISTOR	AK 0007.7969.00	VALVO	BC850B	
V237	AK BC850B N 45V 200MA TRANSISTOR	AK 0007.7969.00	VALVO	BC850B	
V238	AK BCX71J P 45V 200MA TRANSISTOR	AK 0007.2096.00	VALVO	BCX71J GEGURTET	
V239	AE HSMS2800 SCHOTTKY DIODE	AE 0836.8421.00	HEWLETT_PA	HSMS-2800(#L31)	
V240	AK BCX71J P 45V 200MA TRANSISTOR	AK 0007.2096.00	VALVO	BCX71J GEGURTET	
V260	AK BFS17 N 30V 50MA TRANSISTOR	AK 0010.6460.00	VALVO	BFS17	
W1	DY KABEL	1036.8789.00			
W2	DY KABEL	1036.8789.00			
W3	DY KABEL	1036.8789.00			
X215	FP STIFTL.WIN 36P.R2,54 ANGLE PIN CONNECTOR 3-POLIG/3 PINS	FP 0243.3578.00	BINDER	742-5-11-0187-00-36	
X290	FP STIFTL.WIN 36P.R2,54 ANGLE PIN CONNECTOR 2-POLIG/2 PINS	FP 0243.3578.00	BINDER	742-5-11-0187-00-36	

Für diese Unterlage behalten wir uns alle Rechte vor.

ROHDE&SCHWARZ

XY-Liste

XY List

Erklärung der Spaltenbezeichnungen:

Part:	Bauelement-Kennzeichen.
Side:	Leiterplatten-Seite, auf der sich das Bauelement befindet.
X/Y:	Koordinaten (Millimeter) des Bauelementes auf der Leiterplatte bezogen auf den Nullpunkt.
SQR, PG:	Planquadrat und Seite des Schaltbildes für das jeweilige Bauelement.

Explanation of column designations:

Part:	Identification of instrument part.
Side:	Side of the PC board on which instrument part is positioned.
X/Y:	Coordinates (millimeter) of the component on the PC board in reference to zero point.
SQR, PG:	Square and page of the diagram for the respective instrument part.

Nicht-Service-Relevante Bauteile / Non-Service-Relevant Components

Part	Side	X	Y	Sqr	Pg
1	B	73	51		
C10	A	46	88		
C20	A	34	98		
C21	A	69	70		
C22	A	79	86		
C24	A	70	102		
C30	A	37	60		
C34	A	127	105		
C40	A	68	120		
C45	B	13	92		
C50	A	98	97		
C60	A	104	116		
C65	A	105	43		
C70	A	103	64		
C80	A	37	117		
C90	A	11	112		
C200	A	10	62		
C201	A	17	64		
C202	A	11	56		
C205	A	15	50		
C208	B	8	59		
C209	B	24	49		
C211	A	14	43		
C212	A	11	38		
C213	B	21	42		
C215	A	12	24		
C230	B	55	29		
C231	B	56	20		
C232	B	68	19		
C233	B	60	24		
C235	B	56	15		
C236	B	46	12		
C237	B	44	21		
C238	B	39	12		
C240	B	36	16		
C245	B	25	28		
C247	B	24	11		
C255	A	88	113		
C258	A	77	109		
C279	A	65	51		
C280	A	86	52		
C281	A	79	52		
C282	A	44	45		
C283	A	47	51		
C284	B	51	51		
C285	A	55	41		
C286	A	58	49		
C287	B	67	50		
C288	B	56	44		
C289	B	60	51		
C290	B	76	37		
C291	B	79	48		
C292	A	76	41		
C305	A	128	72		
C308	A	127	96		
C311	B	128	53		
C330	A	108	65		
C331	A	127	85		
C336	A	99	86		
C350	A	130	42		
C351	A	127	39		
C352	A	130	36		
C355	A	106	34		
C356	A	117	40		
C357	A	117	34		
D10	B	57	70		
D20	B	30	95		
D30	B	39	62		
D40	B	69	112		
D45	A	8	90		
D50	B	98	97		
D60	B	100	116		
D65	B	109	41		
D70	B	106	66		
D80	B	25	121		
D90	B	10	114		
D210	B	11	38		
D280	B	86	62		
D300	A	118	72		
D305	A	118	85		
D315	B	119	53		
D330	A	99	66		
D335	A	118	97		
L230	B	68	10		
L231	B	64	10		
L232	B	52	30		
L258	A	70	105		
L292	A	70	41		
L350	A	124	41		
L351	A	124	37		
L352	A	124	34		
N200	B	18	53		
N210	B	18	46		
N220	B	30	41		
N280	B	48	43		
N290	B	60	43		
N295	B	75	39		
P5	B	127	108		
P6	B	119	122		
P7	B	4	48		
P8	B	8	55		
P9	B	34	33		
P10	B	27	33		
P11	B	50	17		
P12	B	28	55		
P13	B	90	105		
P14	B	102	57		
P15	B	53	55		
P16	B	100	57		
P17	B	97	57		
P18	B	126	66		
P19	B	30	20		
P30	B	123	113		
P31	B	91	71		
P32	B	126	64		
P33	B	126	61		
P34	B	126	58		
P35	B	126	56		
P40	B	105	57		
R20	A	45	95		
R22	A	15	131		
R26	A	79	83		
R28	A	121	108		
R30	A	36	74		
R40	A	70	112		
R50	A	60	74		
R51	A	62	83		
R52	A	62	77		
R53	A	50	85		
R54	A	66	74		
R55	A	65	70		
R70	A	111	82		
R85	A	30	123		
R90	A	8	107		
R200	A	13	64		
R201	A	21	67		
R202	A	10	59		
R203	A	17	62		
R204	A	17	59		
R205	A	18	53		
R208	A	6	63		
R209	A	22	51		
R210	A	7	50		
R211	A	11	50		
R212	A	7	42		
R213	A	13	46		
R215	A	5	24		
R218	A	37	37		
R220	A	20	43		
R221	A	23	39		
R222	A	20	46		
R223	A	34	45		
R224	A	30	43		
R225	A	34	39		
R237	B	39	25		
R238	B	43	16		
R239	B	39	18		
R242	B	19	20		
R243	B	20	14		

ROHDE & SCHWARZ	-I	Datum Date	XY-Liste für XY-list for	Sach-Nummer Stock-Nr	Blatt Page
	01	16.05.94	ED DATENCODER DM-CODER	1036.8737.01 XY	1+

Part	Side	X	Y	Sqr	Pg
R244	B	13	9		
R245	B	30	23		
R247	B	24	9		
R248	B	24	17		
R249	B	49	22		
R251	B	37	23		
R256	A	80	113		
R257	A	83	110		
R258	A	77	106		
R262	B	128	76		
R263	B	128	78		
R264	B	128	81		
R265	B	128	86		
R270	B	128	83		
R271	B	128	91		
R272	B	128	88		
R273	B	128	93		
R279	A	65	49		
R280	A	53	51		
R282	A	44	51		

Part	Side	X	Y	Sqr	Pg
R283	A	51	42		
R284	A	52	48		
R285	A	58	45		
R286	A	60	43		
R287	A	66	35		
R288	B	55	41		
R289	B	71	47		
R292	A	66	37		
R293	B	41	6		
R294	B	72	36		
R295	B	80	34		
R296	B	80	32		
R297	B	31	6		
R298	B	69	40		
R299	A	67	44		
R300	B	124	69		
R302	A	126	49		
R305	B	128	69		
R306	A	116	96		
R335	A	103	84		

Part	Side	X	Y	Sqr	Pg
R336	A	103	81		
V208	A	4	59		
V209	A	30	51		
V210	B	15	36		
V220	A	27	38		
V230	B	69	23		
V235	B	50	12		
V236	B	59	15		
V237	B	32	17		
V238	B	18	10		
V239	B	30	12		
V240	B	15	16		
V260	A	89	110		
W1	B	132	126		
W2	B	132	93		
W3	B	132	61		
X215	B	6	27		
X290	B	87	34		

ROHDE&SCHWARZ

Stromläufe
Bestückungspläne
Circuit diagrams
Components plans
Schémas de circuit
Plans des composants

(R 29500 BU 4)
095.1800 BL 4